



(12)发明专利

(10)授权公告号 CN 104716132 B

(45)授权公告日 2018.02.06

(21)申请号 201310693635.X

(22)申请日 2013.12.17

(65)同一申请的已公布的文献号

申请公布号 CN 104716132 A

(43)申请公布日 2015.06.17

(73)专利权人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区张江路18号

(72)发明人 甘正浩

(74)专利代理机构 北京市磐华律师事务所

11336

代理人 董巍 高伟

(51)Int.Cl.

H01L 27/02(2006.01)

H01L 21/822(2006.01)

(56)对比文件

US 2007069310 A1,2007.03.29,

US 2002079538 A1,2002.06.27,

US 6433368 B1,2002.08.13,

CN 101764151 A,2010.06.30,

CN 203071073 U,2013.07.17,

CN 203071072 U,2013.07.17,

审查员 赵洋

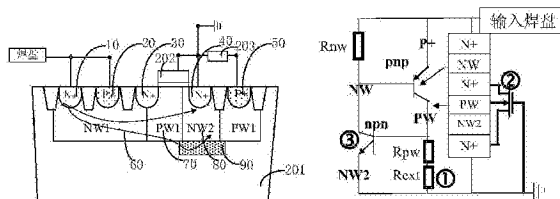
权利要求书1页 说明书7页 附图2页

(54)发明名称

一种低触发电压和高维持电压的硅控整流器及其电路

(57)摘要

本发明涉及一种低触发电压和高维持电压的硅控整流器及其电路,包括:半导体衬底;阱区,包括相邻设置的第一N阱和第一P阱,位于所述半导体衬底中;栅极结构,位于所述半导体衬底上;掺杂区,包括第一N+掺杂区和第一P+掺杂区,间隔设置于所述第一N阱中;第二N+掺杂区和第三N+掺杂区,位于所述栅极结构的两侧,其中所述第一N+掺杂区位于所述第一N阱和第一P阱的交界处,第三N+掺杂区位于所述第一P阱中;第二P+掺杂区,位于所述第一P阱中,并与第三N+掺杂区相邻设置;其中,第一N+掺杂区和第一P+掺杂区与电流输入端相连,所述栅极结构、所述第三N+掺杂区和所述第二P+掺杂区与接地端相连;电阻器,位于所述第二P+掺杂区和所述接地端之间。



1. 一种低触发电压和高维持电压的硅控整流器,包括:

半导体衬底;

阱区,包括相邻设置的第一N阱和第一P阱,位于所述半导体衬底中;

栅极结构,位于所述半导体衬底上;

掺杂区,包括第一N+掺杂区和第一P+掺杂区,间隔设置于所述第一N阱中;第二N+掺杂区和第三N+掺杂区,位于所述栅极结构的两侧,其中所述第二N+掺杂区位于所述第一N阱和第一P阱的交界处,所述第三N+掺杂区位于所述第一P阱中;第二P+掺杂区,位于所述第一P阱中,并与所述第三N+掺杂区相邻设置;

其中,所述第一N+掺杂区和第一P+掺杂区与电流输入端相连,所述栅极结构、所述第三N+掺杂区和所述第二P+掺杂区与接地端相连;

电阻器,位于所述第二P+掺杂区和所述接地端之间;

第二N阱,所述第二N阱位于所述第一P阱中的所述第三N+掺杂区的下方;

深N阱,所述深N阱位于所述第二N阱的下方。

2. 根据权利要求1所述的硅控整流器,其特征在于,所述栅极结构包括栅极介电层和栅极材料层,位于部分所述第一P阱和部分所述第二N阱上方。

3. 根据权利要求1所述的硅控整流器,其特征在于,所述第二N阱的掺杂剂量比所述第三N+掺杂区的掺杂剂量小。

4. 根据权利要求1所述的硅控整流器,其特征在于,所述电流输入端为焊盘输入端。

5. 根据权利要求1所述的硅控整流器,其特征在于,所述第一N+掺杂区和第一P+掺杂区之间设置有隔离结构,所述第一P+掺杂区和所述第二N+掺杂区之间设置有隔离结构,所述第三N+掺杂区和所述第二P+掺杂区之间设置有隔离结构。

6. 一种低触发电压和高维持电压的硅控整流器电路,包括:

第三电阻,用于提升所述硅控整流器的维持电压;

第一晶体管,所述第一晶体管的射极电连接至第一输入端,基极通过第二电阻电连接至所述第一输入端,集极通过第一电阻和所述第三电阻连接至第二输入端;

第二晶体管,所述第二晶体管的射极电连接至所述第二输入端,基极电连接至所述第一晶体管的集极,集极电连接至所述第一晶体管的基极;

第三晶体管,所述第三晶体管的栅极和源极电连接至接地端,漏极电连接至所述第一输入端;

权利要求1至5之一所述的硅控整流器,所述硅控整流器一端电连接至接地端,另一端电连接至所述第一晶体管的第一输入端。

7. 根据权利要求6所述的硅控整流器电路,其特征在于,所述第一输入端为焊盘输入端,所述第二输入端为接地端。

8. 根据权利要求6所述的硅控整流器电路,其特征在于,所述第一晶体管为PNP晶体管,所述第二晶体管为NPN晶体管,所述第三晶体管为NMOS晶体管。

9. 一种静电放电保护器件,其特征在于,所述器件包含权利要求1至5之一所述的硅控整流器,或者所述器件包含权利要求6至8之一所述的硅控整流器电路。

一种低触发电压和高维持电压的硅控整流器及其电路

技术领域

[0001] 本发明涉及静电释放保护领域,具体地,本发明涉及一种低触发电压和高维持电压的硅控整流器及其电路,进一步本发明还涉及包含所述低触发电压和高维持电压的硅控整流器及其电路的静电放电保护器件。

背景技术

[0002] 集成结构工艺的不断发展,集成结构的特征尺寸逐渐减小,诸如短栅长、薄栅氧化层、浅结深、漏区轻掺杂以硅化物掺杂等先进工艺,在提高集成结构性能和集成度的同时却造成内部结构在静电泄放ESD冲击来临时更容易被损坏,ESD是指静电放电(Electrostatic Discharge,简称ESD)。

[0003] 静电在芯片的制造、封装、测试和使用过程中无处不在,积累的静电荷以几安培或几十安培的电流在纳秒到微秒的时间里释放,瞬间功率高达几百千瓦,放电能量可达毫焦耳,对芯片的摧毁强度极大。所以芯片设计中静电保护模块的设计直接关系到芯片的功能稳定性,极为重要。据统计,每年半导体工业因为ESD造成的经济损失以数十亿美元计。因此,在每一个输出端口处设置ESD防护结构便成为预防ESD应力对栅氧化层造成损害的有效办法之一。

[0004] ESD保护结构的设计目的就是要避免工作结构成为ESD的放电通路而遭到损害,保证在任意两芯片引脚之间发生的ESD,都有适合的低阻旁路将ESD电流引入电源线。这个低阻旁路不但要能吸收ESD电流,还要能钳位工作结构的电压,防止工作结构由于电压过载而受损。这条结构通路还需要有很好的工作稳定性,能在ESD发生时快速响应,而且还不能对芯片正常工作结构有影响。

[0005] 为了在各个阶段都能有效保护芯片,人们采用多种片上防静电保护器件。常用的保护器件结构有二极管、双极型三极管、栅接地NMOS管(GGNMOS)和可控硅整流器件(SCR)等。利用SCR对于防止ESD是一种理想的解决方案。横向SCR对相对于其他保护结构来说具有更加优异的性能,特别是在高集成密度的先进器件中。

[0006] 现有技术中基本的SCR如图1a所示,其包括衬底101,位于所述衬底101中的N阱,以及位于N阱中的第一N+掺杂区、第一P+掺杂区,其中,所述第一N+掺杂区、第一P+掺杂区均连接于输入焊盘,其中在所述N阱的一侧所述半导体衬底101中还有第二N+掺杂区和第二P+掺杂区,其中第二N+掺杂区和第二P+掺杂区均接地。

[0007] 其中图1b为图1a中所述SCR的负阻曲线(snapback curve),通过曲线可以看出,所述SCR的激发点(Trigger Point)的电压为20v,其维持电压为1v,因此具有较高的激发电压和较低的维持电压,因此很难应用于防静电保护器件中。

[0008] 为了解决所述问题,对所述SCR进行了改进,如图1c所示,在所述第一P+掺杂区和所述第二N+掺杂区之间增加第三N+掺杂区,所述第三N+掺杂区部分位于所述半导体衬底上,部分位于所述N阱中,进一步在所述半导体衬底上形成有栅极结构,所述栅极结构位于所述第二N+掺杂区和所述第三N+掺杂区之间,所述栅极结构接地,通过所述设置降低了所

述SCR的激发电压,得到低激发电压SCR(Low-voltage-triggered SCR,LVTSCR);但是其维持电压为3v左右,仍然为低的维持电压,当SCR应用于ESD保护时,小的维持电压会带来许多问题,特别是电源钳位结构。这是因为当结构正常工作时,小的维持电压会允许SCR保持触发状态之后的在低阻抗状态,这种现象为ESD事件引起的闩锁(ESD-induced latch up)。因为维持电压小于电源电压,它需要增加维持电压大于电源电压来避免这种风险。

[0009] 因此,虽然现有技术中SCR通过改进可以具有较低的低激发电压,但是仍然具有较低的维持电压,如何对所述SCR进行改进,能够同时使SCR具有低激发电压和较高的维持电压,以便更好地应用在ESD领域中成为目前亟需解决的问题。

发明内容

[0010] 在发明内容部分中引入了一系列简化形式的概念,这将在具体实施方式部分中进一步详细说明。本发明的发明内容部分并不意味着要试图限定出所要求保护的技术方案的关键特征和必要技术特征,更不意味着试图确定所要求保护的技术方案的保护范围。

[0011] 本发明为了克服目前存在问题,提供了一种低触发电压和高维持电压的硅控整流器,包括:

[0012] 半导体衬底;

[0013] 阱区,包括相邻设置的第一N阱和第一P阱,位于所述半导体衬底中;

[0014] 栅极结构,位于所述半导体衬底上;

[0015] 掺杂区,包括第一N+掺杂区和第一P+掺杂区,间隔设置于所述第一N阱中;第二N+掺杂区和第三N+掺杂区,位于所述栅极结构的两侧,其中所述第二N+掺杂区位于所述第一N阱和第一P阱的交界处,所述第三N+掺杂区位于所述第一P阱中;第二P+掺杂区,位于所述第一P阱中,并与所述第三N+掺杂区相邻设置;

[0016] 其中,所述第一N+掺杂区和第一P+掺杂区与电流输入端相连,所述栅极结构、所述第三N+掺杂区和所述第二P+掺杂区与接地端相连;

[0017] 电阻器,位于所述第二P+掺杂区和所述接地端之间。

[0018] 作为优选,所述硅控整流器还进一步包括第二N阱,所述第二N阱位于所述第一P阱中的所述第三N+掺杂区的下方。

[0019] 作为优选,所述硅控整流器还进一步包括深N阱,所述深N阱位于所述第二N阱的下方。

[0020] 作为优选,所述栅极结构包括栅极介电层和栅极材料层,位于部分所述第一P阱和部分所述第二N阱上方。

[0021] 作为优选,所述第二N阱的掺杂剂量比所述第三N+掺杂区的掺杂剂量小。

[0022] 作为优选,所述电流输入端为焊盘输入端。

[0023] 作为优选,所述第一N+掺杂区和第一P+掺杂区之间设置有隔离结构,所述第一P+掺杂区和所述第二N+掺杂区之间设置有隔离结构,所述第三N+掺杂区和所述第二P+掺杂区之间设置有隔离结构。

[0024] 本发明还提供了一种低触发电压和高维持电压的硅控整流器电路,包括:

[0025] 第三电阻,用于提升所述硅控整流器的维持电压;

[0026] 第一晶体管,所述第一晶体管的射极电连接至第一输入端,基极通过第二电阻电

连接至所述第一输入端,集极通过第一电阻和所述第三电阻连接至第二输入端;

[0027] 第二晶体管,所述第二晶体管的射极电连接至所述第二输入端,基极电连接至所述第一晶体管的集极,集极电连接至所述第一晶体管的基极;

[0028] 第三晶体管,所述第三晶体管的栅极和源极电连接至接地端,漏极电连接至所述第一输入端。

[0029] 作为优选,所述第一输入端为焊盘输入端,所述第二输入端为接地端。

[0030] 作为优选,所述第一晶体管为PNP晶体管,所述第二晶体管为NPN晶体管,所述第三晶体管为NMOS晶体管。

[0031] 本发明还提供了一种静电放电保护器件,所述器件上述的硅控整流器,或者上述的硅控整流器电路。

[0032] 本发明为了解决现有技术中存在的问题,在SCR型ESD器件中增加额外的电阻器,所述电阻器具有较大电阻,所述电阻器和所述P阱形成的电阻串联,从而使所述NPN双极结型晶体管(BJT)更加容易导通,以降低所述硅控整流器的激发电压。

[0033] 此外,还在所述第三N+掺杂区的下方设置第二N阱,所述第二N阱的离子掺杂剂量小于所述第三N+掺杂区的离子掺杂剂量,可以有效地控制的NPN晶体管的发射极效率 β (emitter efficiency);通过所述设置所述PNP-NPN的正反馈在一定程度上被削弱,从而使所述硅控整流器的维持电压(the holding voltage, V_{hold})得到提升。

附图说明

[0034] 本发明的下列附图在此作为本发明的一部分用于理解本发明。附图中示出了本发明的实施例及其描述,用来解释本发明的装置及原理。在附图中,

[0035] 图1a-1b为现有技术中低触发电压和高维持电压的硅控整流器及其电路示意图;

[0036] 图1c为现有技术中改进后的低触发电压和高维持电压的硅控整流器的结构示意图;

[0037] 图2a-2b为本发明的实施方式中低触发电压和高维持电压的硅控整流器及其电路示意图。

具体实施方式

[0038] 在下文的描述中,给出了大量具体的细节以便提供对本发明更为彻底的理解。然而,对于本领域技术人员而言显而易见的是,本发明可以无需一个或多个这些细节而得以实施。在其他的例子中,为了避免与本发明发生混淆,对于本领域公知的一些技术特征未进行描述。

[0039] 为了彻底理解本发明,将在下列的描述中提出详细的描述,以说明本发明所述低触发电压和高维持电压的硅控整流器及其电路示意图。显然,本发明的施行并不限于半导体领域的技术人员所熟习的特殊细节。本发明的较佳实施例详细描述如下,然而除了这些详细描述外,本发明还可以具有其他实施方式。

[0040] 应予以注意的是,这里所使用的术语仅是为了描述具体实施例,而非意图限制根据本发明的示例性实施例。如在这里所使用的,除非上下文另外明确指出,否则单数形式也意图包括复数形式。此外,还应当理解的是,当在本说明书中使用术语“包含”和/或“包括”

时,其指明存在所述特征、整体、步骤、操作、元件和/或组件,但不排除存在或附加一个或多个其他特征、整体、步骤、操作、元件、组件和/或它们的组合。

[0041] 现在,将参照附图更详细地描述根据本发明的示例性实施例。然而,这些示例性实施例可以多种不同的形式来实施,并且不应当被解释为只限于这里所阐述的实施例。应当理解的是,提供这些实施例是为了使得本发明的公开彻底且完整,并且将这些示例性实施例的构思充分传达给本领域普通技术人员。在附图中,为了清楚起见,夸大了层和区域的厚度,并且使用相同的附图标记表示相同的元件,因而将省略对它们的描述。

[0042] 本发明为了解决现有技术中所述SCR存在的激发电压过高以及维持电压过低的问题,提供了一种新的可控硅整流器件(SCR),所述SCR包括:

[0043] 半导体衬底;

[0044] 阱区,包括相邻设置的第一N阱和第一P阱,位于所述半导体衬底中;

[0045] 栅极结构,位于所述半导体衬底上;

[0046] 掺杂区,包括第一N+掺杂区和第一P+掺杂区,间隔设置于所述第一N阱中;第二N+掺杂区第三N+掺杂区,位于所述栅极结构的两侧,其中所述第二N+掺杂区位于所述第一N阱和第一P阱的交界处,所述第三N+掺杂区位于所述第一P阱中;第二P+掺杂区,位于所述第一P阱中,并与所述第三N+掺杂区相邻设置;

[0047] 其中,所述第一N+掺杂区和第一P+掺杂区与电流输入端相连,所述栅极结构、所述第三N+掺杂区和所述第二P+掺杂区与接地端相连;

[0048] 电阻器,位于所述第二P+掺杂区和所述接地端之间。

[0049] 其中,所述电阻器连接于所述接地端和所述第一P阱之间,其中所述电阻器具有较大的电阻,所述电阻器和所述第一P阱形成的电阻串联,从而使所述NPN双极结型晶体管(BJT)更加容易导通,以降低所述硅控整流器的激发电压。

[0050] 进一步,所述栅极结构包括位于所述半导体衬底上的栅极介电层以及位于所述栅极介电层之上的栅极材料层,其中在所述栅极结构的两侧分别设置有第二N+掺杂区和第三N+掺杂区,作为所述栅极结构的源漏区,并结合所述栅极结构形成NMOS晶体管。

[0051] 进一步,所述硅控整流器还进一步包括第二N阱,所述第二N阱位于所述半导体衬底中所述第三N+掺杂区的下方,并且所述第二N阱接地,所述第二N阱作为NPN晶体管的基极(Bipolar)。

[0052] 作为进一步的优选,其中,所述第二N阱的离子掺杂剂量小于所述第三N+掺杂区的离子掺杂剂量,可以有效地控制的NPN晶体管的发射极效率 β (emitter efficiency);通过所述设置所述PNP-NPN的正反馈在一定程度上被削弱,从而使所述硅控整流器的维持电压(the holding voltage, V_{hold})得到提升。

[0053] 下面结合附图对本发明所述硅控整流器作进一步的说明。

[0054] 实施例1

[0055] 首先参照图2a-I,在该实施例中提供一种SCR型的ESD器件,其设计原理为在SCR型ESD器件中增加额外的电阻器,所述电阻器具有较大电阻,所述电阻器和所述第一P阱形成的电阻串联,从而使所述NPN双极结型晶体管(BJT)更加容易导通,以降低所述硅控整流器的激发电压。

[0056] 具体地,如图2a所示,所述SCR型ESD器件包括半导体衬底201,其中所述半导体衬

底201可以硅、绝缘体上硅(SOI)、绝缘体上层叠硅(SSOI)、绝缘体上层叠锗化硅(S-SiGeOI)、绝缘体上锗化硅(SiGeOI)以及绝缘体上锗(GeOI)等。

[0057] 在所述半导体衬底201中形成阱区,所述阱区包括依次相邻的第一N阱60、第一P阱70,其中所述阱区还包括第二N阱80,所述第二N阱80位于所述第一P阱70中。在该实施例中所述衬底201选用P型衬底,所述第一N阱60、第一P阱70的形成方法可以选用本领域常用的方法,在此不再赘述。

[0058] 进一步,所述阱区中形成有多个掺杂区,其中所述第一N阱60中设有第一N+掺杂区10和第一P+掺杂区20。所述第一N阱60作为漂移区,其中所述第一N+掺杂区10和第一P+掺杂区20之间间隔设置。

[0059] 其中,在所述第一N阱60和所述第一P阱70之间的界面上设置第二N+掺杂区30,其中所述第二N+掺杂区30位于所述栅极结构202的一侧,作为漏区,用于降低所述SCR的触发电压。

[0060] 其中,在所述第一P阱70和所述第二N阱80的上方设置有栅极结构202,所述栅极结构202包括位于所述半导体衬底201上的栅极介电层以及位于所述栅极介电层之上的栅极材料层,其中在所述栅极结构202的两侧分别设置有第二N+掺杂区30和第三N+掺杂区40,作为所述栅极结构的源漏区,并结合所述栅极结构形成NMOS晶体管。

[0061] 在所述第三N+掺杂区40的下方设置第二N阱80,所述第二N阱80位于所述第一P阱70中,所述第二N阱80的深度可以小于所述第一P阱70或者等于所述第一P阱70的深度,作为优选,所述第一P阱70等于第一P阱70的深度。

[0062] 进一步,所述第二N阱80的离子掺杂剂量小于所述第三N+掺杂区40的离子掺杂剂量,可以有效地控制的NPN晶体管的发射极效率 β (emitter efficiency);通过所述设置所述PNP-NPN的正反馈在一定程度上被削弱,从而使所述硅控整流器的维持电压(the holding voltage, V_{hold})得到提升。

[0063] 进一步,所述第一P阱70中设置有第二P+掺杂区50,结合所述第一N+掺杂区10、第一P+掺杂区20、第二N+掺杂区30和第三N+掺杂区40形成PN结串联的PNPN结构的SCR晶体管。

[0064] 进一步,所述栅极结构202、第二P+掺杂区50和第三N+掺杂区40接地,具体地,所述栅极结构上还设置有栅电极,所述第二P+掺杂区50上设有衬底接触电极,所述第三N+掺杂区40上设有源电极,所述栅极结构、第二P+掺杂区50和第三N+掺杂区40通过所述栅电极、衬底接触电极和源电极接地。

[0065] 所述第一N+掺杂区10和第一P+掺杂区20之间设置有隔离结构,所述第一P+掺杂区20和所述第二N+掺杂区30之间设置有隔离结构,所述第三N+掺杂区40和所述第二P+掺杂区50之间设置有隔离结构。可以通过例如氧化物的绝缘材料形成的STI区进行隔离,但并不局限于上述方式。

[0066] 相对于现有技术在该实施例中增加了额外的电阻器,所述电阻器203设置于所述第一P阱70和接地端之间,所述第一P阱70经所述电阻器203接地,所述电阻器203具有较大电阻,所述电阻器203和所述P阱形成的电阻串联,从而使所述NPN双极结型晶体管(BJT)更加容易导通,以降低所述硅控整流器的激发电压。

[0067] 所述第一N+掺杂区10以及所述第二P+掺杂区50与焊盘相连接,所述焊盘用于将电路中形成的静电放电电流导入所述SCR的ESD器件中,释放所述静电。

[0068] 图2a-II是本发明技术方案提供的SCR ESD器件的等效电路图,与现有的ESD器件相比,新增的晶体管为于所述第二P+掺杂区50和接地端之间,所述晶体管具较大的电阻。

[0069] 具体地,第一P+掺杂区20使得所述SCR型ESD器件的背向形成寄生的SCR晶体管,即本发明的SCR型ESD器件其中包含一个NMOS晶体管和一个PNP晶体管、一个NPN晶体管以及一个额外的第三电阻,用于提升所述硅控整流器的维持电压。

[0070] 其中,所述PNP晶体管中,所述PNP晶体管的射极电连接至焊盘输入端,所述PNP晶体管基极通过第二电阻 R_{nw} 电连接至所述焊盘输入端,集极通过第一电阻和所述第三电阻连接至第二输入端;其中所述 R_{nw} 的电阻是由所述第一N阱提供。

[0071] 在所述NPN晶体管中,所述NPN晶体管的射极电连接至所述接地端,基极电连接至所述PNP晶体管的集极,集极电连接至所述PNP晶体管的基极;

[0072] 在所述NMOS晶体管中,所述NMOS晶体管的栅极和源极电连接至接地端,漏极电连接至所述焊盘输入端。

[0073] 下面对照图2a-II说明本发明的工作原理:在所述静电输入端焊盘输入端发生ESD冲击时,所述SCR型ESD器件的中NMOS的崩溃电压由于相对于PNP晶体管以及NPN晶体管的崩溃电压都小,NMOS晶体管首先被触发,即当NMOS晶体管漏区pn结承受的电场强度大于其雪崩击穿临界电场时,漏区载流子在电场加速下获得足够多的能量而发生雪崩倍增效应,产生大量电子空穴对,使漏区电流急剧增加。增大的漏区电流流过 R_{pw} 上产生压降,帮助NPN管开启,进而帮助PNP管开启,NPN晶体管和PNP晶体管形成正反馈。而作用在所述PNP晶体管的电流将加速所述NPN晶体管的电流传导作用,最后则进入闭锁状态,此时,大部分的电流由焊盘输入端流经所述额外晶体管、所述PNP晶体管、所述NPN晶体管到接地端,从而释放所述静电电流。在此过程中由于增加了所述额外晶体管,而且所述晶体管具有较大电阻,因此可以保证所述SCR保持较高的维持电压。

[0074] 此外,还在所述第三N+掺杂区的下方设置第二N阱,所述第二N阱的离子掺杂剂量小于所述第三N+掺杂区的离子掺杂剂量,可以有效地控制的NPN晶体管的发射极效率 β (emitter efficiency);通过所述设置所述PNP-NPN的正反馈在一定程度上被削弱,从而使所述硅控整流器的维持电压(the holding voltage, V_{hold})得到提升。

[0075] 实施例2

[0076] 在所述实施例2中在所述第二N阱80的下方还设置有深N阱90,如图2b-I所示,其中2b-II为其等效电路图,其中所述深N阱90位于所述半导体衬底中所述第二N阱80的正下方,其为焊盘输入端的电流提供了另外的放电路径,例如通过第一N+掺杂区10/第一N阱60/第一P阱70/ D_{NW} /第二N阱80/第三N+掺杂区40的BJT。

[0077] 在高电流区域,通过表面以及更深的BJT的两个电流通道可以进一步加宽所述ESD的路径,由于更多的电流被传导,由于电导率的调制(conductivity modulation),所述半导体衬底的电阻降低,需要更大的衬底电流来维持所述BJT处于通路状态,同样需要一个更高的维持电压以确保所述BJT处于通路状态。

[0078] 除了上述差别以外,其他部分可以参照实施例1中的SCR组成、等效电路以及工作原理,在此不再赘述。

[0079] 本发明为了解决现有技术中存在的问题,在SCR型ESD器件中增加额外的电阻器,所述电阻器具有较大电阻,所述电阻器和所述P阱形成的电阻串联,从而使所述NPN双极结

型晶体管 (BJT) 更加容易导通, 以降低所述硅控整流器的激发电压。

[0080] 此外, 还在所述第三N+掺杂区的下方设置第二N阱, 所述第二N阱的离子掺杂剂量小于所述第三N+掺杂区的离子掺杂剂量, 可以有效地控制的NPN晶体管的发射极效率 β (emitter efficiency); 通过所述设置所述PNP-NPN的正反馈在一定程度上被削弱, 从而使所述硅控整流器的维持电压 (the holding voltage, V_{hold}) 得到提升。

[0081] 本发明已经通过上述实施例进行了说明, 但应当理解的是, 上述实施例只是用于举例和说明的目的, 而非意在将本发明限制于所描述的实施例范围内。此外本领域技术人员可以理解的是, 本发明并不局限于上述实施例, 根据本发明的教导还可以做出更多种的变型和修改, 这些变型和修改均落在本发明所要求保护的范围内。本发明的保护范围由附属的权利要求书及其等效范围所界定。

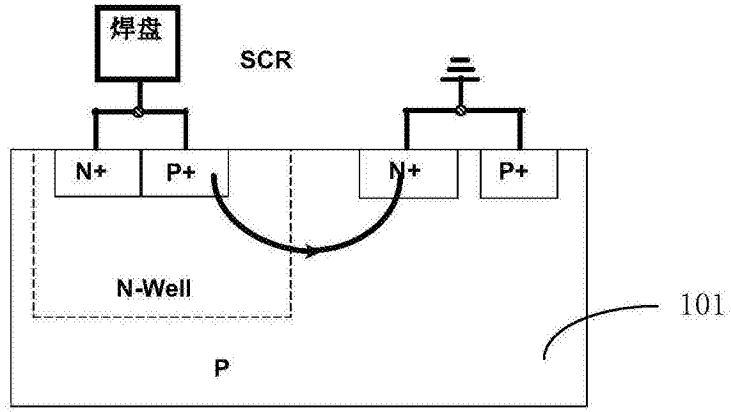


图1a

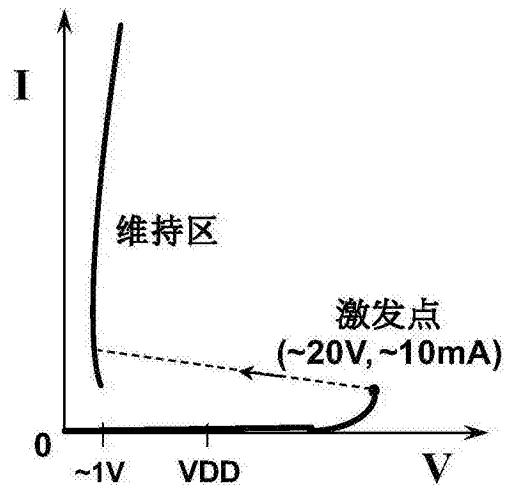


图1b

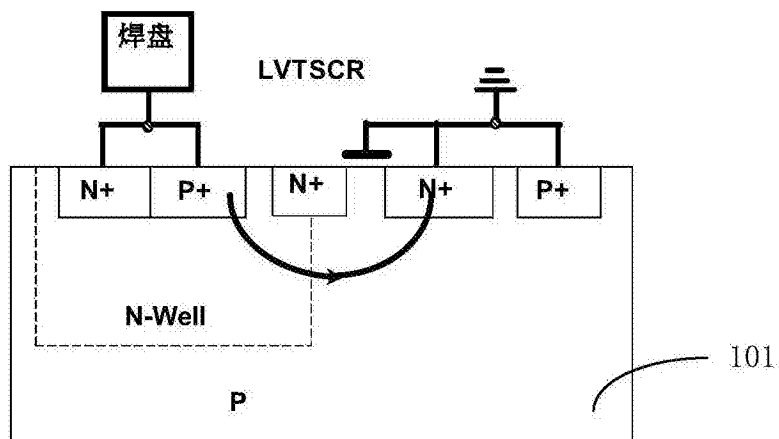


图1c

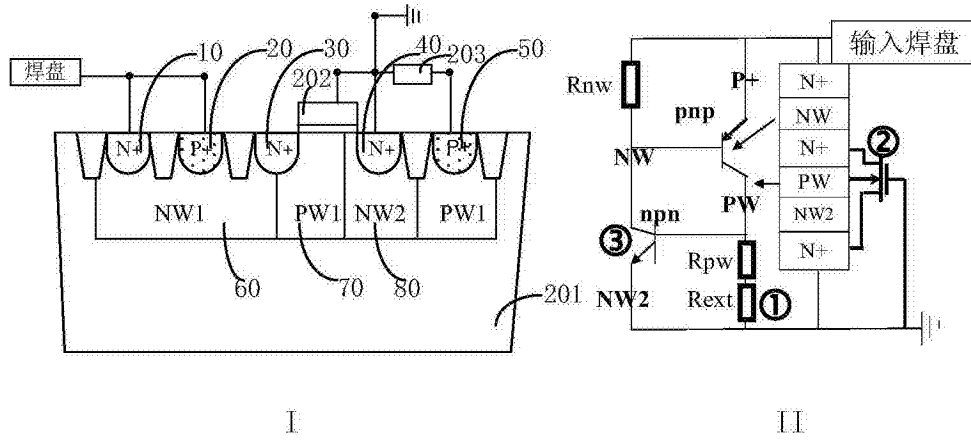


图2a

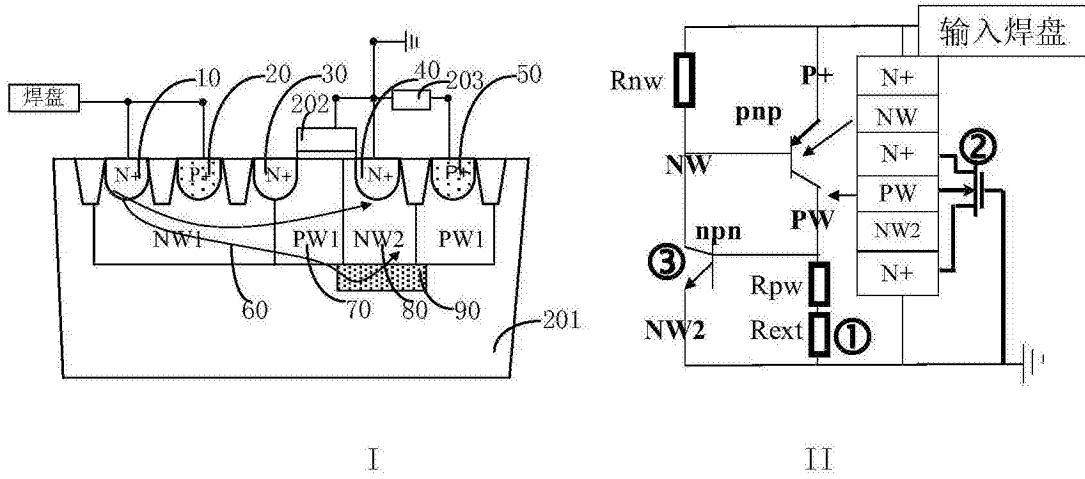


图2b