

(12) 发明专利申请

(10) 申请公布号 CN 102779780 A

(43) 申请公布日 2012. 11. 14

(21) 申请号 201210259010. 8

(22) 申请日 2012. 07. 25

(71) 申请人 上海华力微电子有限公司

地址 201210 上海市浦东新区张江高科技园
区高斯路 568 号

(72) 发明人 杨渝书 李程 陈玉文

(74) 专利代理机构 上海新天专利代理有限公司
31213

代理人 王敏杰

(51) Int. Cl.

H01L 21/768(2006. 01)

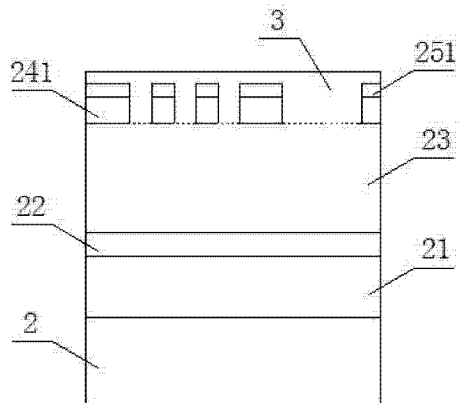
权利要求书 2 页 说明书 5 页 附图 6 页

(54) 发明名称

一种形成无负载效应大尺寸沟槽的方法

(57) 摘要

本发明涉及半导体制造领域, 尤其涉及一种形成无负载效应大尺寸沟槽的方法。本发明提出一种形成无负载效应大尺寸沟槽的方法, 通过在金属硬掩膜刻蚀工艺之后沉积介质层充满大、小尺寸接触孔沟槽, 并利用研磨工艺于大尺寸沟槽上形成碟陷区域, 从而消除具有较大差别尺寸的沟槽在刻蚀时形成的负载效应, 有效的避免了大尺寸沟槽内由于负载效应而造成的残留引起的连接失效, 不仅提高了产品良率, 还扩大了刻蚀工艺窗口, 进一步提高刻蚀工艺性能。



1. 一种形成无负载效应大尺寸沟槽的方法,其特征在于,包括以下步骤:

步骤 S1:在一半导体结构上,从下至上顺序依次沉积层间介质层、阻挡层、低介电常数介质层、金属硬掩膜和氧化物层后,继续光刻工艺,于所述氧化物层的上表面形成光阻;

步骤 S2:以所述光阻为掩膜,依次刻蚀所述氧化物层和所述金属硬掩膜至所述低介电常数层,去除光阻后,形成小尺寸和大尺寸的接触孔凹槽;

步骤 S3:沉积介质层充满所述接触孔凹槽并覆盖剩余氧化物层,采用研磨工艺去除部分所述介质层至所述剩余氧化物层的上表面,并继续研磨去除所述剩余氧化物层和部分剩余金属硬掩膜,以在具有大尺寸的接触孔凹槽内剩余的介质层的上表面形成碟陷;

步骤 S4:继续单大马士革沟槽刻蚀工艺,以形成无负载效应的大尺寸沟槽。

2. 根据权利要求 1 所述的形成无负载效应大尺寸沟槽的方法,其特征在于,所述单大马士革沟槽刻蚀工艺依次包括主刻蚀工艺、过刻蚀工艺、阻挡层刻蚀工艺和刻蚀后处理工艺;

所述主刻蚀工艺为以研磨剩余金属硬掩膜为掩膜,依次刻蚀去除剩余的介质层、位于小尺寸接触孔凹槽下方的低介电常数介质层和部分所述金属阻挡层及部分位于大尺寸接触孔凹槽下方的低介电常数介质层,形成底部位于剩余阻挡层中的第一小尺寸接触孔凹槽和底部位于剩余低介电常数介质层中的第一大尺寸接触孔凹槽;

所述过刻蚀工艺为继续以研磨剩余金属硬掩膜为掩膜,去除位于所述第一大尺寸接触孔凹槽下方的剩余低介电常数介质层和部分位于所述第一小尺寸接触孔凹槽下方剩余的金属阻挡层,形成底部位于再次刻蚀剩余阻挡层中的第二小尺寸接触孔凹槽和底部位于再次刻蚀剩余阻挡层上表面的第二大尺寸接触孔凹槽;

所述阻挡层刻蚀工艺为继续以研磨剩余金属硬掩膜为掩膜,依次去除位于所述第二小尺寸接触孔凹槽和所述第二大尺寸接触孔凹槽下方的再次刻蚀剩余阻挡层、部分层间介质层,形成底部位于剩余层间介质层中的小尺寸接触孔和大尺寸接触孔。

3. 根据权利要求 1 或 2 所述的形成无负载效应大尺寸沟槽的方法,其特征在于,所述阻挡层的材质为 SiN。

4. 根据权利要求 1 或 2 所述的形成无负载效应大尺寸沟槽的方法,其特征在于,所述低介电常数介质层的材质为含 F 的氧化硅。

5. 根据权利要求 1 或 2 所述的形成无负载效应大尺寸沟槽的方法,其特征在于,所述金属硬掩膜的材质为 TiN。

6. 根据权利要求 1 或 2 所述的形成无负载效应大尺寸沟槽的方法,其特征在于,所述氧化物层的材质为氧化硅。

7. 根据权利要求 1 或 2 所述的形成无负载效应大尺寸沟槽的方法,其特征在于,所述步骤 S3 中采用化学气相沉积工艺进行所述介质层的沉积工艺。

8. 根据权利要求 7 所述的形成无负载效应大尺寸沟槽的方法,其特征在于,所述介质层的材质为含 F 的氧化硅。

9. 根据权利要求 1 或 2 所述的形成无负载效应大尺寸沟槽的方法,其特征在于,所述步骤 S3 中采用化学机械研磨工艺去除所述剩余氧化物层和部分剩余金属硬掩膜,以在具有大尺寸的接触孔凹槽内剩余的介质层的上表面形成碟陷;其中,利用金属硬掩膜的信号来控制研磨终点,并通过调节研磨液对介质层和金属硬掩膜的研磨选择比、研磨时间控制所

述碟陷的深度。

10. 根据权利要求 1 或 2 所述的形成无负载效应大尺寸沟槽的方法,其特征在于,采用等离子干法刻蚀工艺进行单大马士革沟槽刻蚀工艺。

一种形成无负载效应大尺寸沟槽的方法

技术领域

[0001] 本发明涉及半导体制造领域,尤其涉及一种形成无负载效应大尺寸沟槽的方法。

背景技术

[0002] 金属硬掩膜单大马士革沟槽刻蚀工艺是芯片后段铜线互联工艺中的关键步骤,当刻蚀完成的沟槽进行铜的填充和研磨后形成第一层铜线,并与下层的接触孔(contact)相连,其刻蚀主体一般为低介电常数的氧化硅或含 F 氧化硅(FSG)薄膜。

[0003] 图 1-5 是本发明背景技术中金属硬掩膜单大马士革沟槽刻蚀的工艺流程结构示意图;如图 1-5 所示,在含 F 氧化硅薄膜的单大马士革沟槽刻蚀工艺中,在层间介质层(inter layer dielectric,简称 ILD)11 上从下至上顺序依次制备氮化硅(SiN)层 12、FSG 层 13、金属硬掩膜层(TiN)14 和氧化硅层 15,旋涂光刻胶曝光、显影后去除剩余光刻胶形成光阻,并以该光阻为掩膜依次刻蚀氧化硅层 15 和金属硬掩膜层(TiN)14 至 FSG 层 13,去除光刻胶后,形成小关键尺寸(critical dimension,简称 CD)的凹槽 16 和大 CD 的凹槽 17;然后,再以剩余的金属硬掩膜层(TiN)141 和氧化硅层 151 为掩膜依次进行主刻蚀(main etch,简称 ME)工艺、过刻蚀(over etch,简称 OE)工艺和阻挡层刻蚀(Liner Remove,简称 LRM)工艺,最后进行刻蚀后处理(post etch treatment,简称 PET)工艺,以形成最终的互联结构;其中,ME 是完成 FSG 层 13 的刻蚀,而 OE 则是利用氮化硅层 12 的高刻蚀选择比,使不同沟槽尺寸的刻蚀深度基本达到一致,保证所有刻蚀区域的 FSG 均刻蚀干净,LRM 是对氮化硅阻挡层 12 的刻蚀,要求其刻蚀干净,并保证一定的 ILD 损失;最后进行的 PET 是去除含 F 聚合物,避免其与 TiN 反应生成难以去除的聚合物,成为刻蚀缺陷。

[0004] 但是,单大马士革沟槽刻蚀工艺会产生负载效应,其主要体现在两个方面:第一,在氧化硅沟槽刻蚀时,大尺寸刻蚀区域(如凹槽 17)刻蚀剂浓度比小尺寸刻蚀区域(如凹槽 16)的刻蚀剂浓度小,刻蚀速率慢,尺寸差别越大,这种差异越突出;第二,在氧化硅沟槽刻蚀时,由于使用生成聚合物较多的低氟碳比的气体来保证刻蚀侧壁形貌,如 C_4F_8 , C_4F_6 等气体,会使大尺寸刻蚀区域由于刻蚀反应更剧烈,生成的聚合物更多,刻蚀速率变慢,加上大尺寸刻蚀区域边缘的离子反射作用从而造成大尺寸刻蚀区域形成中间高,两边低的刻蚀形貌。在这两种效应的共同作用下,使得小尺寸沟槽刻蚀速度最快,大尺寸沟槽两边刻蚀速率其次,中间刻蚀速率最慢,尺寸差别越大,这种刻蚀速率差别就越明显和难以克服。为了保证小尺寸沟槽的 ILD 损失不能太大,就需要控制过刻蚀的时间,为了保证大尺寸沟槽的中间氮化硅能刻蚀干净,过刻蚀的时间又必须足够,如果大小尺寸沟槽的刻蚀速率差别太大,则这种工艺调试的窗口会很小,极端情况会导致大尺寸沟槽中间的氮化硅的残留,从而引起连接失效。

[0005] 如图 3 所示,在进行主刻蚀工艺后,形成的小尺寸通孔 161 的底部已经部分刻蚀至剩余的氮化硅(SiN)层 121 中,而大尺寸通孔 171 的底部还位于剩余 FSG 层 131 中,且形成中间凸起的残余 FSG 18;如图 4 所示,继续进行过刻蚀工艺后,形成的大尺寸通孔 172 的底部虽然部分刻蚀至剩余的氮化硅(SiN)层 122,但仍存在残留 FSG 181,此时,形成的小尺寸

通孔 162 的底部已经刻蚀至较深的剩余氮化硅(SiN)层 122 中;如图 5 所示,最后进行刻蚀阻挡层刻蚀工艺后,形成的小尺寸通孔 163 位于剩余的层间介质层 111,而大尺寸通孔 173 的底部则还残留有氮化硅 19,从而引起连接失效,造成产品良率的降低。

发明内容

[0006] 本发明公开了一种形成无负载效应大尺寸沟槽的方法,其中,包括以下步骤:

步骤 S1:在一半导体结构上,从下至上顺序依次沉积层间介质层、阻挡层、低介电常数介质层、金属硬掩膜和氧化物层后,继续光刻工艺,于所述氧化物层的上表面形成光阻;

步骤 S2:以所述光阻为掩膜,依次刻蚀所述氧化物层和所述金属硬掩膜至所述低介电常数层,去除光阻后,形成小尺寸和大尺寸的接触孔凹槽;

步骤 S3:沉积介质层充满所述接触孔凹槽并覆盖剩余氧化物层,采用研磨工艺去除部分所述介质层至所述剩余氧化物层的上表面,并继续研磨去除所述剩余氧化物层和部分剩余金属硬掩膜,以在具有大尺寸的接触孔凹槽内剩余的介质层的上表面形成碟陷;

步骤 S4:继续单大马士革沟槽刻蚀工艺,以形成无负载效应的大尺寸沟槽。

[0007] 上述的形成无负载效应大尺寸沟槽的方法,其中,所述单大马士革沟槽刻蚀工艺依次包括主刻蚀工艺、过刻蚀工艺、阻挡层刻蚀工艺和刻蚀后处理工艺;

所述主刻蚀工艺为以研磨剩余金属硬掩膜为掩膜,依次刻蚀去除剩余的介质层、位于小尺寸接触孔凹槽下方的低介电常数介质层和部分所述金属阻挡层及部分位于大尺寸接触孔凹槽下方的低介电常数介质层,形成底部位于剩余阻挡层中的第一小尺寸接触孔凹槽和底部位于剩余低介电常数介质层中的第一大尺寸接触孔凹槽;

所述过刻蚀工艺为继续以研磨剩余金属硬掩膜为掩膜,去除位于所述第一大尺寸接触孔凹槽下方的剩余低介电常数介质层和部分位于所述第一小尺寸接触孔凹槽下方剩余的金属阻挡层,形成底部位于再次刻蚀剩余阻挡层中的第二小尺寸接触孔凹槽和底部位于再次刻蚀剩余阻挡层上表面的第二大尺寸接触孔凹槽;

所述阻挡层刻蚀工艺为继续以研磨剩余金属硬掩膜为掩膜,依次去除位于所述第二小尺寸接触孔凹槽和所述第二大尺寸接触孔凹槽下方的再次刻蚀剩余阻挡层、部分层间介质层,形成底部位于剩余层间介质层中的小尺寸接触孔和大尺寸接触孔。

[0008] 上述的形成无负载效应大尺寸沟槽的方法,其中,所述阻挡层的材质为 SiN。

[0009] 上述的形成无负载效应大尺寸沟槽的方法,其中,所述低介电常数介质层的材质为含 F 的氧化硅。

[0010] 上述的形成无负载效应大尺寸沟槽的方法,其中,所述金属硬掩膜的材质为 TiN。

[0011] 上述的形成无负载效应大尺寸沟槽的方法,其中,所述氧化物层的材质为氧化硅。

[0012] 上述的形成无负载效应大尺寸沟槽的方法,其中,所述步骤 S3 中采用化学气相沉积工艺进行所述介质层的沉积工艺。

[0013] 上述的形成无负载效应大尺寸沟槽的方法,其中,所述介质层的材质为含 F 的氧化硅。

[0014] 上述的形成无负载效应大尺寸沟槽的方法,其中,所述步骤 S3 中采用化学机械研磨工艺去除所述剩余氧化物层和部分剩余金属硬掩膜,以在具有大尺寸的接触孔凹槽内剩余的介质层的上表面形成碟陷;其中,利用金属硬掩膜的信号来控制研磨终点,并通过调节

研磨液对介质层和金属硬掩膜的研磨选择比、研磨时间控制所述碟陷的深度。

[0015] 上述的形成无负载效应大尺寸沟槽的方法,其中,采用等离子干法刻蚀工艺进行单大马士革沟槽刻蚀工艺。

[0016] 综上所述,由于采用了上述技术方案,本发明提出一种形成无负载效应大尺寸沟槽的方法,通过在金属硬掩膜刻蚀工艺之后沉积介质层充满大、小尺寸接触孔沟槽,并利用研磨工艺于大尺寸沟槽上形成碟陷区域,从而消除具有较大差别尺寸的沟槽在刻蚀时形成的负载效应,有效的避免了大尺寸沟槽内由于负载效应而造成的残留引起的连接失效,不仅提高了产品良率,还扩大了刻蚀工艺窗口,进一步提高刻蚀工艺性能。

附图说明

[0017] 图 1-5 是本发明背景技术中金属硬掩膜单大马士革沟槽刻蚀的工艺流程结构示意图;

图 6-12 是本发明形成无负载效应大尺寸沟槽的方法的工艺流程结构示意图。

[0018] 具体实施方式

下面结合附图对本发明的具体实施方式作进一步的说明:

图 6-12 是本发明形成无负载效应大尺寸沟槽的方法的工艺流程结构示意图;

如图 6-12 所示,首先,在半导体结构 2 上从下至上顺序依次沉积厚度为 300A 的层间介质层(inter layer dielectric,简称 ILD)21、厚度为 2500A 材质为 SiN 的阻挡层 22、厚度为 400A 材质为含 F 的氧化硅(FSG)的低介电常数介质层 23、厚度为 50A 材质为 TiN 的金属硬掩膜 24 和材质为二氧化硅(SiO_2)的氧化物层 25;其中,层间介质层 21 覆盖半导体结构 2 的上表面,阻挡层 22 覆盖层间介质层 21 的上表面,低介电常数介质层 23 覆盖阻挡层 22 的上表面,金属硬掩膜 24 覆盖低介电常数介质层 23 的上表面,氧化物层 25 覆盖金属硬掩膜 24 的上表面。

[0019] 其次,旋涂光刻胶覆盖氧化物层 25 的上表面,曝光、显影后,去除多余的光刻胶以形成光阻,以该光阻为研磨依次刻蚀氧化物层 24 和金属硬掩膜 25 至低介电常数层 23 的上表面,去除光阻后,形成关键尺寸(Critical Dimension,简称 CD)为 70nm 的小尺寸的接触孔凹槽 26 和 CD 为 600nm 的大尺寸接触孔凹槽 27。

[0020] 之后,采用化学气相沉积工艺(Chemical Vapor Deposition,简称 CVD)沉积厚度为 500A 材质为含 F 的氧化硅的介质层 3,该介质层 3 充满小尺寸的接触孔凹槽 26 和大尺寸接触孔凹槽 27,并覆盖剩余氧化物层 251 的上表面;采用化学机械研磨工艺去除部分介质层 3 至剩余氧化物层 251 的上表面,并继续研磨去除剩余氧化物层 251 及部分剩余金属硬掩膜 241,以在大尺寸接触孔凹槽 27 内的剩余介质层 31 的上表面形成碟陷,即靠近研磨剩余金属硬掩膜 242 的介质层高于远离研磨剩余金属硬掩膜 242 的介质层(接触孔凹槽的中间研磨损失多,四周研磨损失少),从而形成介质层中间部位凹形的碟陷现象;其中,在对剩余介质层 31 进行化学机械研磨工艺时,利用剩余金属硬掩膜 241 信号来控制研磨终点,并通过调节研磨液对剩余介质层 31 和剩余金属硬掩膜 241 的研磨选择比、研磨时间控制形成碟陷区域的深度,使得碟陷深度达到 300A 左右,以符合后续的工艺需求。

[0021] 然后,采用等离子干法刻蚀工艺进行后续的单大马士革沟槽刻蚀工艺,以形成无负载效应的大尺寸沟槽;其中,单大马士革沟槽刻蚀工艺依次包括主刻蚀工艺、过刻蚀工

艺、阻挡层刻蚀工艺和刻蚀后处理工艺。

[0022] 进一步的,上述主刻蚀工艺是采用 20sccm 的 C_4F_8 、180sccm 的 CF_4 和 200sccm 的 Ar 构成的混合气体,在压力为 150mT、源功率为 300W、偏压功率为 900W 及上电极温度为 60℃、腔壁温度为 60℃和下电极温度为 20℃的环境条件下,以剩余金属硬掩膜 242 为掩膜,采用等离子干法刻蚀工艺依次刻蚀去除剩余介质层 31、位于小尺寸接触孔凹槽下方的低介电常数介质层和部分所述金属阻挡层及部分位于大尺寸接触孔凹槽下方的低介电常数介质层,由于在氧化硅沟槽刻蚀时,大尺寸刻蚀区域的刻蚀剂浓度比小尺寸刻蚀区域的刻蚀剂浓度小,造成大尺寸刻蚀区域的刻蚀速率慢,且由于使用生成聚合物较多的低氟碳比的气体来保证刻蚀侧壁形貌如 C_4F_8 , C_4F_6 等气体,会使大尺寸刻蚀区域由于刻蚀反应较为剧烈,生成的聚合物则更多,相应的使得刻蚀速率变慢,再加上大尺寸刻蚀区域边缘的离子反射作用从而造成大尺寸刻蚀区域中间刻蚀速率慢,周边刻蚀速率较快。在这两种效应的共同作用下,使得小尺寸沟槽刻蚀速度最快,大尺寸沟槽两边刻蚀速率其次,而大尺寸沟槽中间刻蚀速率最慢,且因为大尺寸沟槽中碟陷区域的存在,进而形成底部位于剩余阻挡层 221 中的第一小尺寸接触孔凹槽 261 和底部平整且位于剩余低介电常数介质层 231 中的第一大尺寸接触孔凹槽 271。

[0023] 进一步的,上述过刻蚀工艺是采用 10sccm 的 C_4F_8 和 600sccm 的 Ar 构成的混合气体,在压力为 50mT、源功率为 300W、偏压功率为 600W 及上电极温度为 60℃、腔壁温度为 60℃和下电极温度为 20℃的环境条件下,继续以剩余金属硬掩膜 242 为掩膜,同样采用等离子干法刻蚀工艺去除位于第一大尺寸接触孔凹槽 271 下方的剩余低介电常数介质层和部分位于所述第一小尺寸接触孔凹槽下方剩余的金属阻挡层,形成底部位于再次刻蚀剩余阻挡层 222 中的第二小尺寸接触孔凹槽 262 和底部位于再次刻蚀剩余阻挡层 222 上表面的第二大尺寸接触孔凹槽 272。

[0024] 进一步的,上述阻挡层刻蚀工艺为采用 10sccm 的 O_2 、40sccm 的 CHF_3 和 400sccm 的 Ar 构成的混合气体,在压力为 30mT、源功率为 800W、偏压功率为 200W 及上电极温度为 60℃、腔壁温度为 60℃和下电极温度为 20℃的环境条件下,继续以剩余金属硬掩膜 242 为掩膜,同样采用等离子干法刻蚀工艺依次去除位于所述第二小尺寸接触孔凹槽 262 和所述第二大尺寸接触孔凹槽 272 下方的再次刻蚀剩余阻挡层、部分层间介质层,并采用 100sccm 的 CO 和 350sccm 的 N_2 构成的混合气体,在压力为 200mT、源功率为 400W 及上电极温度为 60℃、腔壁温度为 60℃和下电极温度为 20℃的环境条件下,继续刻蚀后处理工艺后,在层间介质层损失小于 300Å 的情况下,形成底部位于剩余层间介质层 211 中的小尺寸接触孔 263 和大尺寸接触孔 273。

[0025] 综上所述,由于采用了上述技术方案,本发明实施例提出一种形成无负载效应大尺寸沟槽的方法,通过在金属硬掩膜刻蚀工艺之后沉积介质层充满大、小尺寸接触孔沟槽,并利用研磨工艺于大尺寸沟槽上形成碟陷区域,从而消除具有较大差别尺寸的沟槽在刻蚀时形成的负载效应,有效的避免了大尺寸沟槽内由于负载效应而造成的残留引起的连接失效,不仅提高了产品良率,还扩大了刻蚀工艺窗口,进一步提高刻蚀工艺性能。

[0026] 通过说明和附图,给出了具体实施方式的特定结构的典型实施例,基于本发明精神,还可作其他的转换。尽管上述发明提出了现有的较佳实施例,然而,这些内容并不作为局限。

[0027] 对于本领域的技术人员而言,阅读上述说明后,各种变化和修正无疑将显而易见。因此,所附的权利要求书应看作是涵盖本发明的真实意图和范围的全部变化和修正。在权利要求书范围内任何和所有等价的范围与内容,都应认为仍属本发明的意图和范围内。

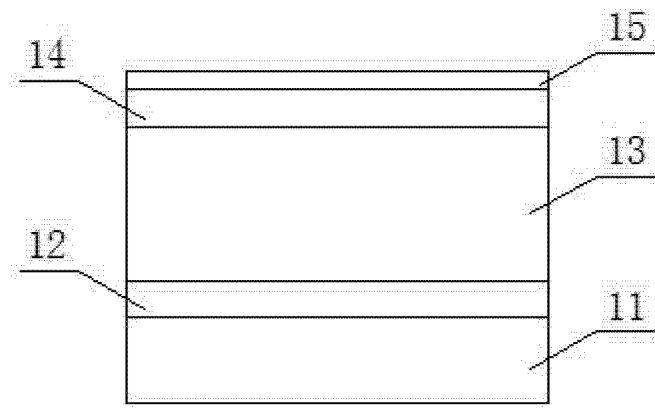


图 1

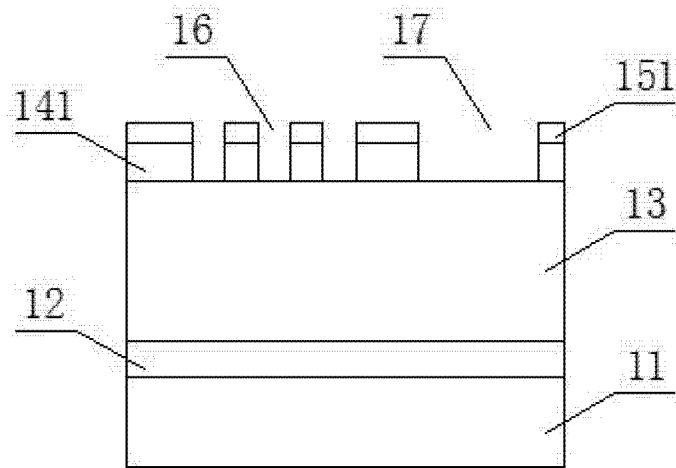


图 2

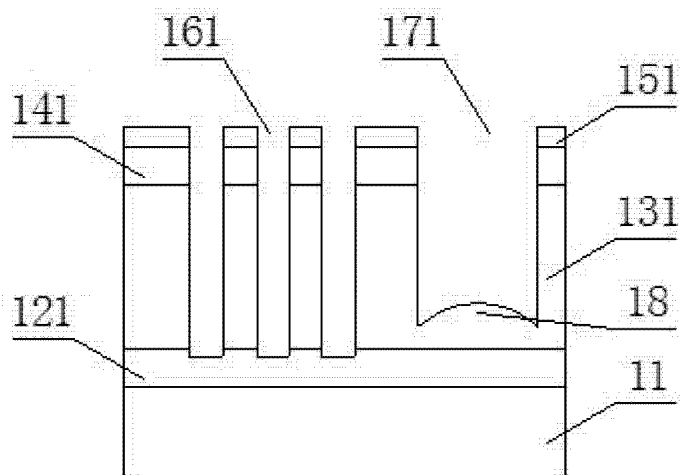


图 3

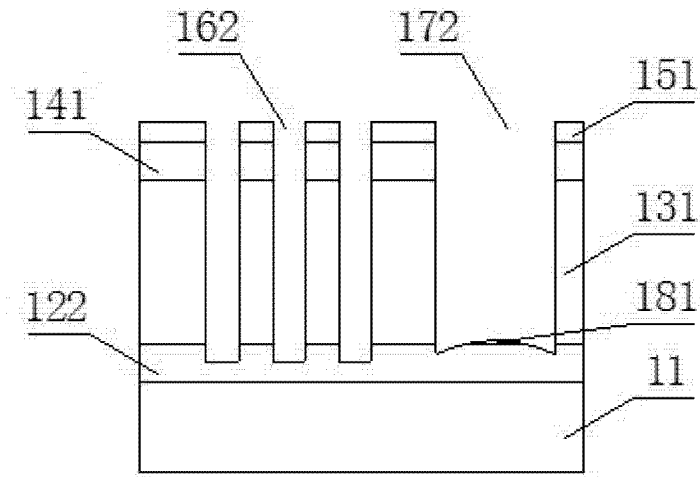


图 4

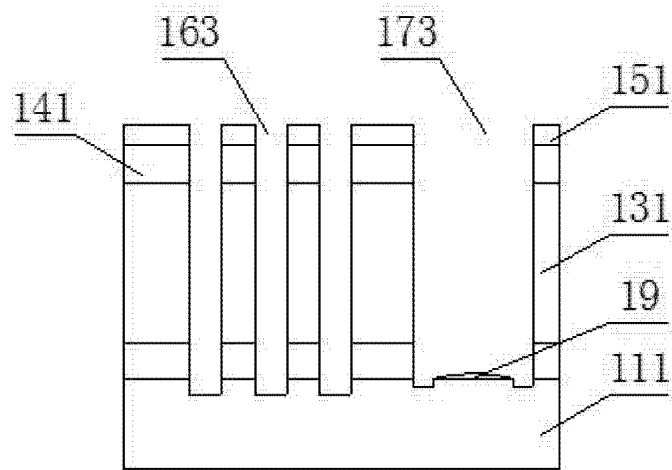


图 5

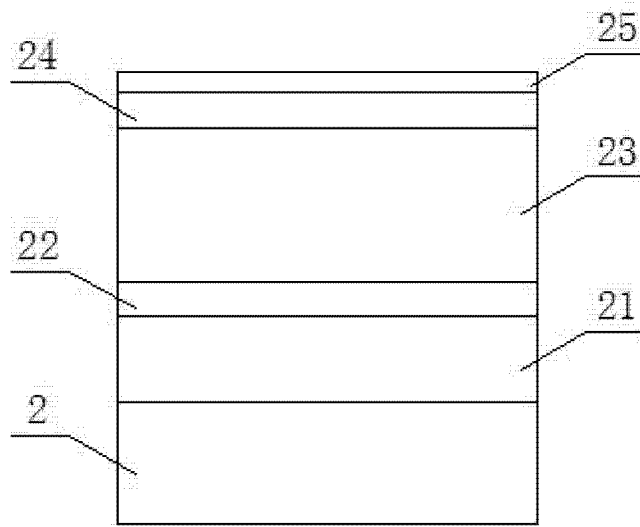


图 6

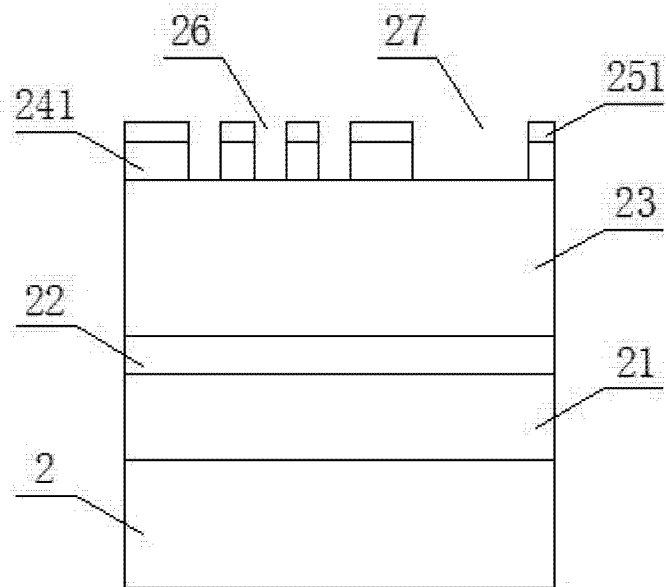


图 7

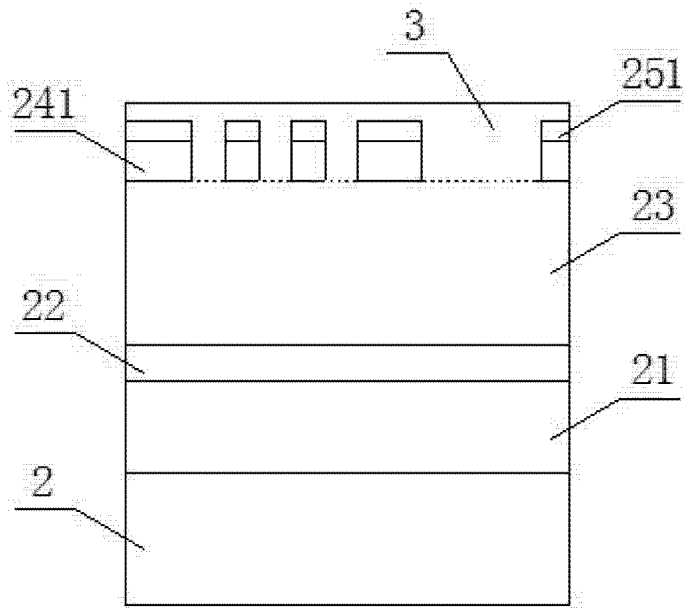


图 8

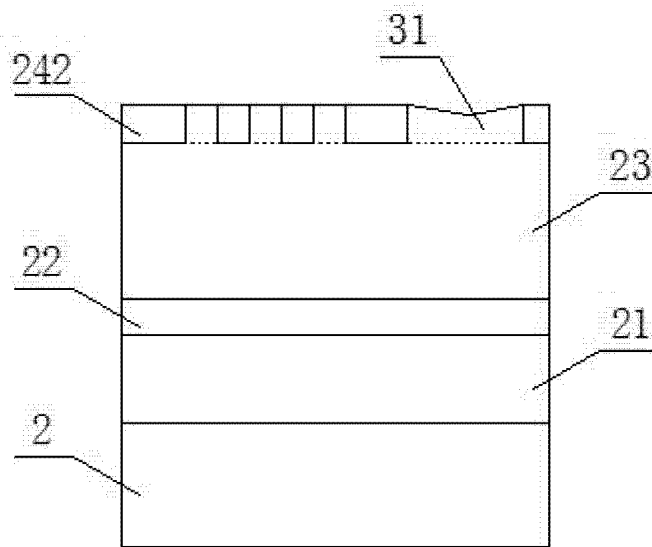


图 9

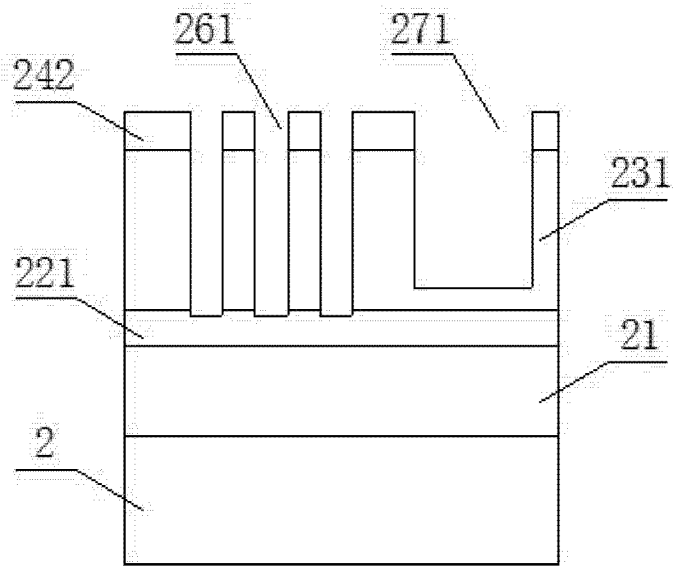


图 10

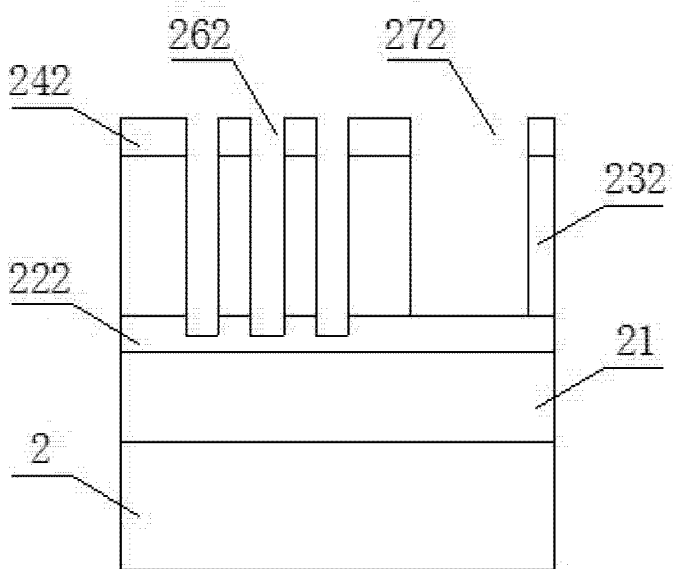


图 11

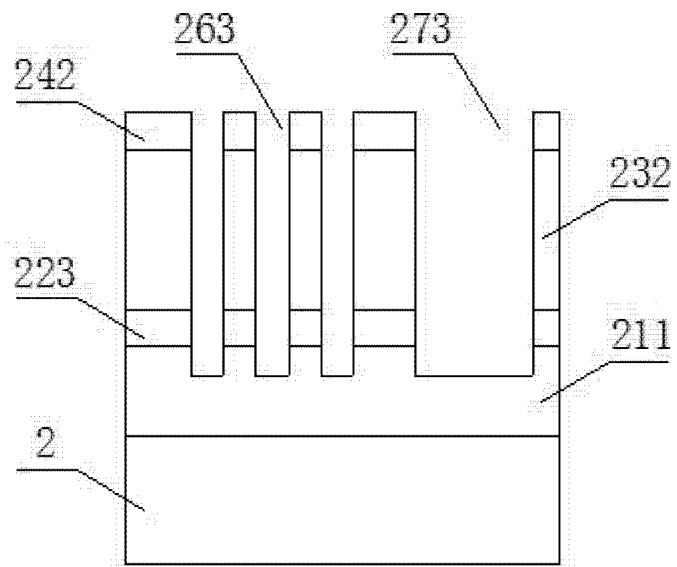


图 12