



(12) 发明专利申请

(10) 申请公布号 CN 103137563 A

(43) 申请公布日 2013.06.05

(21) 申请号 201310054749.X

(22) 申请日 2013.02.20

(71) 申请人 上海华力微电子有限公司

地址 201210 上海市浦东新区张江高科技园
区高斯路 568 号

(72) 发明人 顾经纶

(74) 专利代理机构 上海申新律师事务所 31272

代理人 竺路玲

(51) Int. Cl.

H01L 21/8247(2006.01)

H01L 21/336(2006.01)

H01L 27/115(2006.01)

H01L 29/792(2006.01)

B82Y 10/00(2011.01)

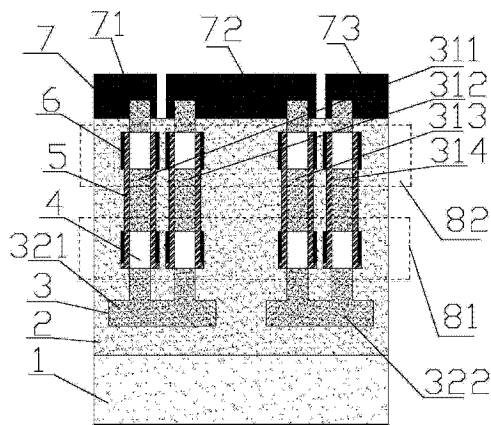
权利要求书2页 说明书6页 附图6页

(54) 发明名称

一种在垂直硅纳米线上实现的闪存结构及其
制造方法

(57) 摘要

本发明涉及一种在垂直硅纳米线上实现的闪存结构及其制造方法。包括如下步骤：在一硅衬底的上表面依次沉积底部氧化物层和硅层；对硅层进行刻蚀形成垂直硅纳米线结构；制备第一掩埋氧化层覆盖垂直硅纳米线的底部；向暴露的上部结构进行主杂质离子注入，形成至少两层主杂质硅层；在第一掩埋氧化层的上表面和暴露的上部纵向结构的表面制备 ONO 层；在 ONO 层的表面制备多晶硅层；对多晶硅层进行刻蚀，保留位于主杂质硅层内的区域；对 ONO 层进行刻蚀；制备氧化层覆盖所有的主杂质硅层；在暴露的上部纵向结构的表面制备金属结构。本发明将 SONOS 结构在垂直硅纳米线上实现，能够超越现有闪存的存储容量极限。



1. 一种实现闪存结构的方法,其特征在于,包括如下步骤:

在一硅衬底的上表面依次沉积底部氧化物层和硅层;

部分去除所述硅层,于所述底部氧化物层的上表面形成至少一个垂直硅纳米线结构;

制备第一掩埋氧化层覆盖所述底部连接结构,且部分所述上部纵向结构被埋于所述第一掩埋氧化层之中;

对暴露的所述上部纵向结构进行主杂质离子注入工艺,于暴露的所述上部纵向结构中形成至少两层主杂质硅层;

制备氧化物-氮化物-氧化物层,覆盖所述第一掩埋氧化层的上表面和暴露的所述上部纵向结构的表面;

制备多晶硅层,覆盖所述氧化物-氮化物-氧化物层的表面;

部分去除所述多晶硅层和所述氧化物-氮化物-氧化物层,于所述主杂质硅层的两侧壁上形成多晶硅栅极,且剩余的所述氧化物-氮化物-氧化物层覆盖所述主杂质硅层的表面和位于所述主杂质硅层之间的所述上部纵向结构的表面;

制备第二掩埋氧化层,覆盖所述第一掩埋氧化层的上表面,且该第二掩埋氧化层还掩埋所述主杂质硅层;

对剩余的所述上部纵向结构进行顶端金属化工艺。

2. 如权利要求1所述的实现闪存结构的方法,其特征在于,所述硅衬底的材质与所述主杂质硅层的材质类型相同,所述硅层的材质与所述硅衬底的材质类型不同。

3. 如权利要求1所述的实现闪存结构的方法,其特征在于,每个所述垂直硅纳米线结构均包括两个上部纵向结构和一个底部连接结构,所述两个上部纵向结构通过所述底部连接结构连接,且位于不同的所述垂直硅纳米线结构中的两个相邻所述上部纵向结构通金属连接结构连接。

4. 如权利要求1所述的实现闪存结构的方法,其特征在于,采用高密度等离子体化学气相淀积工艺制备所述底部氧化物层、所述第一掩埋氧化层和所述第二掩埋氧化层。

5. 如权利要求1所述的实现闪存结构的方法,其特征在于,采用低压化学气相淀积工艺来制备所述氧化物-氮化物-氧化物层。

6. 如权利要求1所述的实现闪存结构的方法,其特征在于,依次采用离子注入工艺和光刻工艺形成所述垂直硅纳米线结构。

7. 一种闪存结构,其特征在于,所述闪存结构包括硅衬底、掩埋氧化层、多个金属连接结构和至少两个垂直硅纳米线结构;

所述掩埋氧化层覆盖所述硅衬底的上表面,所述金属连接结构位于所述掩埋氧化层的上表面,且所述底部连接结构设置于所述掩埋氧化层的内部,位于所述底部连接结构上表面的所述上部纵向结构部分暴露于所述掩埋氧化层;

位于所述掩埋氧化层内部的所述上部纵向结构上设置有多层存储单元结构。

8. 如权利要求7所述的闪存结构,其特征在于,每个所述垂直硅纳米线均结构包括两个上部纵向结构和一个底部连接结构,所述两个上部纵向结构通过所述底部连接结构连接,且位于不同的所述垂直硅纳米线结构中的两个相邻所述上部纵向结构通过所述金属连接结构连接。

9. 如权利要求7所述的闪存结构,其特征在于,每个所述存储单元结构包括多个主杂

质硅区、氧化物-氮化物-氧化物层和多晶硅层；

其中，每个所述主杂质区的侧壁上均设置有所述多晶硅层，且于所述多晶硅层与所述主杂质硅区之间还设置有所述氧化物-氮化物-氧化物层，该氧化物-氮化物-氧化物层覆盖所述主杂质硅区以及相邻所述主杂质硅区之间的所述上部纵向结构的表面。

10. 如权利要求 7 所述的闪存结构，其特征在于，所述掩埋氧化层的材质为二氧化硅。

一种在垂直硅纳米线上实现的闪存结构及其制造方法

技术领域

[0001] 本发明涉及硅半导体器件制造工艺,尤其涉及在垂直硅纳米线上实现的闪存结构及其制造方法。

背景技术

[0002] 现有的闪存的存储单元一般使用多晶硅作为信息存储介质的浮栅晶体管(floating gate transistor),它的信息存储原理是通过热电子注入或者FN隧穿效应使电子作为信息的载体存储在浮栅的多晶硅中。当电子注入并存储于浮栅中时,代表信息“0”;当电子从浮栅中被擦除时,代表信息“1”。浮栅晶体管的闪存技术存在着固有缺陷,如 NOR(与非)芯片在 45 纳米技术节点以下、NAND(或非)芯片在 32 纳米技术节点以下,由于过薄的介电层会引起漏电,导致数据相互干扰,并出现芯片失效的问题。随着技术的进步,浮栅的材料有所变化,SONOS 是一种使用氮化硅(Si_3N_4)作为信息存储介质的闪存结构,其各方面性能比多晶硅作为浮栅的闪存结构更为优越,比如它有更低的编程电压,更高的擦写耐久度等。SONOS 主要是利用氮化硅绝缘层界面陷阱捕捉和释放电荷的方式来存取数据,它十分适用于大容量闪存芯片上,具有芯片内晶元(cell)更小、操作电压更低等优点。

[0003] NOR 和 NAND 是两种不同的非易失性存储器单元阵列结构。一般用于代码存储的 NOR 闪存和一般用于大的数据存储的 NOR 闪存各自具有其优势。现在闪存技术的不断发展遇到的挑战是存储容量的限制——继续在现有技术和结构上增加存储容量变得越来越困难。如何采用新的技术和结构来突破存储容量的极限对业界来说是一个巨大的挑战。

[0004] 传统的结构是在硅衬底上做成单个存储结构,是平面的结构,而且如果增加层数的话,需要不断重复这种结构叠加在原先的结构上,所以会有工艺成本不断增加的问题出现。为了增大 NAND 闪存的存储容量,一种是增加堆栈,另一种是工艺上尽可能把器件做小,来增加存储结构的密度。增加堆栈层数会使闪存的体积增大,而工艺上的器件尺寸缩小则并不那么容易,所以现在业界在寻找新的 NAND 闪存结构能够使存储单元的密度尽可能的增大而不需要通过更难的工艺(尺寸缩小)来达到。如果能成功开发出新的更好的 NAND 闪存结构,能够缩减存储单元所占用的空间尺寸大小,再加上使用增加叠层来增大容量,将会使闪存的存储容量大大提升。

[0005] 硅纳米线晶体管是一种新型器件结构。目前国内外初步报道的硅纳米线结构晶体管拥有优异的亚阈值特性、载流子迁移率以及关态特性,能够很好的抑制短沟道效应。较之传统的硅平面器件,一维准弹道运输的纳米线 MOSFET 表现出很强的缩小尺寸优势,如果其现有的一些制造技术中的问题得到逐步解决,纳米线晶体管对实现半导体路线图的既定目标将表现出极大的潜力。

[0006] 硅纳米线的制备技术按其导电沟道平行或垂直于衬底分为平面和垂直两种。垂直型的一个主要的优势在于其沟道长度不是靠光刻来定义,而是使用像外延生长技术或者层沉积技术(layer deposition)这样的能够在纳米级尺度很好的控制膜厚的技术来定义。

[0007] 中国专利(申请号:CN102086024A)公开了一种硅纳米线的制备方法,包括如下步

骤：在单晶硅衬底上沉积第一二氧化硅层；光刻定义硅纳米线的宽度，刻蚀第一二氧化硅层，刻蚀剩余的第一二氧化硅层为掩膜刻蚀单晶硅衬底形成硅纳米线条；沉积第二二氧化硅层和氮化硅层；刻蚀氮化硅层，是刻蚀剩余的氮化硅层形成硅纳米线条的侧墙；刻蚀第二二氧化硅层直至硅纳米线条的底部暴露；去除硅纳米线条的氮化硅侧墙；刻蚀硅纳米线条底部暴露的硅，使得硅纳米线条的底部被镂空形成悬空的硅纳米线；去除硅纳米线四周剩余的第一、第二二氧化硅层。本发明的硅纳米线的制备方法能够在单晶硅衬底上自顶向下制备硅纳米线。

[0008] 如果将技术上很有优势的 SONOS 结构的闪存在新型的硅纳米线结构之上实现，就能够将两者的优势结合起来，得到具有优越特性的硅纳米线 SONOS 闪存结构，突破上述的浮栅晶体管以及现有的大容量 NAND 闪存的存储容量有限的技术瓶颈，极大超越现有闪存的存储容量极限。

发明内容

[0009] 鉴于上述问题，本发明提供一种在垂直硅纳米线上实现的闪存结构及其制造方法。

[0010] 本发明解决技术问题所采用的技术方案为：

[0011] 一种实现闪存结构的方法，其中，包括如下步骤：

[0012] 在一硅衬底的上表面依次沉积底部氧化物层和硅层；

[0013] 部分去除所述硅层，于所述底部氧化物层的上表面形成至少一个垂直硅纳米线结构；

[0014] 制备第一掩埋氧化层覆盖所述底部连接结构，且部分所述上部纵向结构被埋于所述第一掩埋氧化层之中；

[0015] 对暴露的所述上部纵向结构进行主杂质离子注入工艺，于暴露的所述上部纵向结构中形成至少两层主杂质硅层；

[0016] 制备氧化物-氮化物-氧化物层，覆盖所述第一掩埋氧化层的上表面和暴露的所述上部纵向结构的表面；

[0017] 制备多晶硅层，覆盖所述氧化物-氮化物-氧化物层的表面；

[0018] 部分去除所述多晶硅层和所述氧化物-氮化物-氧化物层，于所述主杂质硅层的两侧壁上形成多晶硅栅极，且剩余的所述氧化物-氮化物-氧化物层覆盖所述主杂质硅层的表面和位于所述主杂质硅层之间的所述上部纵向结构的表面；

[0019] 制备第二掩埋氧化层，覆盖所述第一掩埋氧化层的上表面，且该第二掩埋氧化层还掩埋所述主杂质硅层；

[0020] 对剩余的所述上部纵向结构进行顶端金属化工艺。

[0021] 所述的实现闪存结构的方法，其中，所述硅衬底的材质与所述主杂质硅层的材质类型相同，所述硅层的材质与所述硅衬底的材质类型不同。

[0022] 所述的实现闪存结构的方法，其中，每个所述垂直硅纳米线结构均包括两个上部纵向结构和一个底部连接结构，所述两个上部纵向结构通过所述底部连接结构连接，且位于不同的所述垂直硅纳米线结构中的两个相邻所述上部纵向结构通金属连接结构连接。

[0023] 所述的实现闪存结构的方法，其中，采用高密度等离子体化学气相沉积工艺制备

所述底部氧化物层、所述第一掩埋氧化层和所述第二掩埋氧化层。

[0024] 所述的实现闪存结构的方法,其中,采用低压化学气相淀积工艺来制备所述氧化物-氮化物-氧化物层。

[0025] 所述的实现闪存结构的方法,其中,依次采用离子注入工艺和光刻工艺形成所述垂直硅纳米线结构。

[0026] 一种闪存结构,其中,所述闪存结构包括硅衬底、掩埋氧化层、多个金属连接结构和至少两个垂直硅纳米线结构;

[0027] 所述掩埋氧化层覆盖所述硅衬底的上表面,所述金属连接结构位于所述掩埋氧化层的上表面,且所述底部连接结构设置于所述掩埋氧化层的内部,位于所述底部连接结构上表面的所述上部纵向结构部分暴露于所述掩埋氧化层;

[0028] 位于所述掩埋氧化层内部的所述上部纵向结构上设置有多层存储单元结构。

[0029] 所述的闪存结构,其中,每个所述垂直硅纳米线均结构包括两个上部纵向结构和一个底部连接结构,所述两个上部纵向结构通过所述底部连接结构连接,且位于不同的所述垂直硅纳米线结构中的两个相邻所述上部纵向结构通过所述金属连接结构连接。

[0030] 所述的闪存结构,其中,每个所述存储单元结构包括多个主杂质硅区、氧化物-氮化物-氧化物层和多晶硅层;

[0031] 其中,每个所述主杂质区的侧壁上均设置有所述多晶硅层,且于所述多晶硅层与所述主杂质硅区之间还设置有所述氧化物-氮化物-氧化物层,该氧化物-氮化物-氧化物层覆盖所述主杂质硅区以及相邻所述主杂质硅区之间的所述上部纵向结构的表面。

[0032] 所述的闪存结构,其中,所述掩埋氧化层的材质为二氧化硅。

[0033] 上述技术方案具有如下优点或有益效果:

[0034] 本发明通过将现有的 SONOS 闪存结构做在垂直硅纳米线上,将 SONOS 和硅纳米线的技术优势结合起来,从而得到具有优越性的硅纳米线 SONOS 闪存结构,解决目前的浮栅晶体管和现有的大容量 NAND 闪存存储容量有限的技术瓶颈,极大地超越了现有的闪存存储容量的极限。

附图说明

[0035] 参考所附附图,以更加充分的描述本发明的实施例。然而,所附附图仅用于说明和阐述,并不构成对本发明范围的限制。

[0036] 图 1 是本发明实施例中在硅层上进行磷离子注入的结构示意图;

[0037] 图 2 是本发明实施例中垂直硅纳米线的结构示意图;

[0038] 图 3 是本发明实施例中主杂质硅层的结构示意图;

[0039] 图 4 是本发明实施例中淀积 ONO 层和多晶硅层的结构示意图;

[0040] 图 5 是本发明实施例中存储单元的结构示意图;

[0041] 图 6 是本发明实施例中闪存结构的示意图;

[0042] 图 7 是现有技术 NAND 型闪存的电路结构示意图;

[0043] 图 8 是本发明实施例中 SONOS 的等效电路示意图。

具体实施方式

[0044] 本发明是一种在垂直硅纳米线上实现的闪存结构及其制造方法,本发明方法的具体实施方式如下:

[0045] 本发明是在垂直硅纳米线上实现闪存结构的,具体方法为:

[0046] 在一半导体器件衬底上进行如图 1 至图 6 所示的步骤,其中该半导体衬底为 P 型衬底 1,在其表面覆盖有底部氧化物层 2,在底部氧化物层 2 的表面覆盖有硅层,该硅层是与衬底类型相反的硅层,在本实施例中由于选用的衬底 1 为 P 型衬底,因此,此处的硅层采用 N 型硅层 3。

[0047] 如图 1 所示,在 N 型硅层 3 上进行磷离子的注入,如图 2 所示,并通过光刻工艺对 N 型硅层 3 进行光刻,从而形成垂直硅纳米线,其中,垂直硅纳米线包括底部连接结构 32 和上部纵向结构 31,从左至右将其分别定义为第一上部纵向结构 311、第二上部纵向结构 312、第三上部纵向结构 313 和第四上部纵向结构 314;底部连接结构 32 为两根横向的纳米线,分别连接第一上部纵向结构 311 和第二上部纵向结构 312 的底部以及第三上部纵向结构 313 和第四上部纵向结构 314 的底部;其中第二上部纵向结构 312 和第三上部纵向结构 313 底部不相连。对底部掩埋氧化层 1 进行高密度等离子体(HDP)氧化物淀积,在底部氧化物层 2 上形成第一掩埋氧化层 21,从而使原本的底部掩埋氧化层 1 的厚度进一步增加,并且第一掩埋氧化层 21 掩埋第一上部纵向结构 311 和第二上部纵向结构 312 的底部连接结构 32,且部分掩埋第一上部纵向结构 311 的下方部分和第二上部纵向结构 312 的下方部分;同时第一掩埋氧化层 21 也掩埋第三上部纵向结构 313 和第四上部纵向结构 314 的底部连接结构 32,且部分掩埋第三上部纵向结构 313 的下方部分和第四上部纵向结构 314 的下方部分。

[0048] 上述步骤之后,在形成的垂直硅纳米线上的预定位置处进行 P 类型主杂质的注入形成主杂质硅层 4,其中,预定的位置是在后续工艺中形成存储单元的位置。

[0049] 如图 3 所示,在上部纵向结构 31 暴露于第一掩埋氧化层 21 之外的上部纵向结构中,选取预定位置进行主杂质的注入,在进行主杂质注入后的区域形成主杂质硅 4,其中,形成的主杂质硅层 4 至少为两层,且相邻的主杂质硅层 4 之间相隔一定距离。在本发明的实施例中,存储单元为两层,因此在本步骤中的预定位置也为两层,对应所形成的主杂质硅层 4 也为两层,其中首层主杂质硅层 41 与第一掩埋氧化层表面 21 相接,第二层主杂质硅层 42 位于首层主杂质硅层 41 的上方,在首层主杂质硅层 41 与第二层主杂质硅层 42 之间相隔一个 F 的距离,F 为纳米工艺的关键尺寸。

[0050] 如图 4 所示,对暴露的上部纵向结构 31 表面和暴露的第一掩埋氧化层 21 表面进行氮化层-氧化层-氮化层介质层(ONO 层)5 的淀积,以形成氮化层-氧化层-氮化层的三层复合结构介质层 5,其中 ONO 层 5 的淀积可采用低压化学气相淀积工艺(LPCVD)。

[0051] 在 ONO 层 5 的表面再淀积一层多晶硅层(poly)6,该多晶硅层覆盖于之前形成的 ONO 层 5 的表面。

[0052] 如图 5 和图 6 所示,对多晶硅层 6 进行刻蚀,保留其位于首层主杂质硅层 41 内的第一多晶硅层 61 和第二层主杂质硅层内的第二多晶硅层 62。对 ONO 层 5 进行刻蚀,将位于首层主杂质硅层 41 底部之下的 ONO 层 5 和位于第二层主杂质硅层 42 顶部之上的 ONO 层 5 刻蚀掉。在上述步骤之后,继续采用高密度等离子体化学气相淀积的工艺对第一掩埋氧化层 21 进行淀积,形成第二掩埋氧化层 22,从而使第二掩埋氧化层掩埋所有主杂质硅层。此时,首层主杂质硅层 41 底部和顶部之间形成一个包含主杂质硅区、ONO 层 5、第一多晶硅层

61 以及第二掩埋氧化层 22 的首层存储单元结构 81 ;同样的,第二层主杂质硅层 42 底部和顶部之间形成一个包含主杂质硅区、ONO 层 5、第二多晶硅层 62 以及第二掩埋氧化层 22 的第二层存储单元结构 82。

[0053] 在上述步骤完成之后,在垂直硅纳米线的上部纵向结构 31 的暴露部分表面制备金属连接结构 7,使整个结构的顶端金属化,其中,金属连接结构 7 分为三个区域,分别覆盖不同位置的垂直硅纳米线端部,如图 6 所示,在第一上部纵向结构 311 的暴露区域表面覆盖有第一金属连接结构 71,第二上部纵向结构 312 的暴露区域和第三上部纵向结构 313 的暴露区域表面覆盖有第二金属连接结构 72,第四上部纵向结构 314 的暴露区域表面覆盖有第三金属连接结构 73,其中第一金属连接结构 71、第二金属连接结构 72 和第三金属连接结构 73 之间不相连。

[0054] 需要特别指出的是,在本发明的实施例中的存储单元为两层,在实际生产过程中,根据实际需要可将存储单元的层数进行相应的增加,与之对应的步骤也进行相应的改变。

[0055] 本发明还公开了一种闪存结构,包括硅衬底、掩埋氧化层、金属连接结构、至少两个互相独立的垂直硅纳米线结构。

[0056] 每个垂直硅纳米线均结构包括两个上部纵向结构和一个底部连接结构,两个上部纵向结构通过底部连接结构连接,且位于不同的垂直硅纳米线结构中的两个相邻上部纵向结构通过金属连接结构连接。

[0057] 其中,掩埋氧化层覆盖硅衬底,底部连接结构位于掩埋氧化层内,上部纵向结构部分位于掩埋氧化层内,部分位于金属连接结构内;位于掩埋氧化层内的上部纵向结构中多个存储单元结构,存储单元结构包括多个主杂质硅区、氧化物-氮化物-氧化物层、多晶硅层。

[0058] 下面结合附图和具体实例加以阐述。

[0059] 在本实施例中采用的衬底类型为 P 型衬底,相应的垂直硅纳米线结构采用 N 型硅,主杂质型硅为 P 型硅,并且在本实施例中的垂直硅纳米线结构为两个,存储单元结构也为两层。

[0060] 如图 6 所示,该结构包括 P 型衬底 1、掩埋氧化层 2、金属连接结构 7、两个互相独立的垂直硅纳米线结构 3 和多层存储单元结构 81 (82),其中,掩埋氧化层 2 位于 P 型衬底 1 上,金属连接结构 7 位于掩埋氧化层 2 上,多层存储单元结构 81 (82)位于掩埋氧化层 2 内部,垂直纳米线结构的顶部的一部分位于金属连接结构 7 中,垂直纳米线结构其余部分位于掩埋氧化层 2 中。

[0061] 垂直硅纳米线结构包括上部纵向结构 31 和底部连接结构 32,其中,上部纵向结构包括第一上部纵向结构 311、第二上部纵向结构 312、第三上部纵向结构 313 和第四上部纵向结构 314 ;底部连接结构包括第一底部连接结构 321 和第二底部连接结构 322 ;第一上部纵向结构 311 与第二上部纵向结构 312 通过第一底部连接结构 321 连接,第三上部纵向结构 313 和第四上部纵向结构 314 通过第二底部连接结构 322 连接。

[0062] 金属连接结构 7 包括第一金属连接结构 71、第二金属连接结构 72 和第三金属连接结构 73,其中,第一金属连接结构 71、第二金属连接结构 72 和第三金属连接结构 73 彼此之间不相连,第一金属连接结构 71 覆盖第一上部纵向结构 311 的顶部,第二金属连接结构 72 覆盖第二上部纵向结构 312 的顶部和第三上部纵向结构 313 的顶部,第三金属连接结构 73

覆盖第四上部纵向结构 314 的顶部。

[0063] 如图 6 所示,存储单元结构 81 (82) 包括主杂质硅区 4、ONO 层 5 和 poly 层 6,其中,主杂质硅区 4 分别位于第一上部纵向结构 311、第二上部纵向结构 312、第三上部纵向结构 313 和第四上部纵向结构 314 内,且处于同一水平位置,每个主杂质硅区 4 的两侧表面覆盖有 ONO 层 5,每个 ONO 层 5 的表面覆盖有 poly 层 6。

[0064] 具有上述结构的闪存能够比传统的 NAND 型闪存具有更大的存储容量。

[0065] 图 7 是传统的 NAND 型闪存结构电路图,图 8 是垂直沟道的 SONOS 的等效电路图,从图 7 中可知,传统的 NAND 型闪存结构的总尺寸为 $2F \times 8 = 16F$,如图 8 所示,垂直沟道的 SONOS 闪存的总尺寸为 $3F \times 4 = 12F$,其中, F 代表纳米工艺的关键尺寸,可见,采用上述的工艺流程制造的垂直沟道的 SONOS 闪存,能够形成比传统 NAND 型闪存结构更大的单位比特密度,从而实现闪存存储容量的突破。

[0066] 对于本领域的技术人员而言,阅读上述说明后,各种变化和修正无疑将显而易见。因此,所附的权利要求书应看作是涵盖本发明的真实意图和范围的全部变化和修正。在权利要求书范围内任何和所有等价的范围与内容,都应认为仍属本发明的意图和范围内。

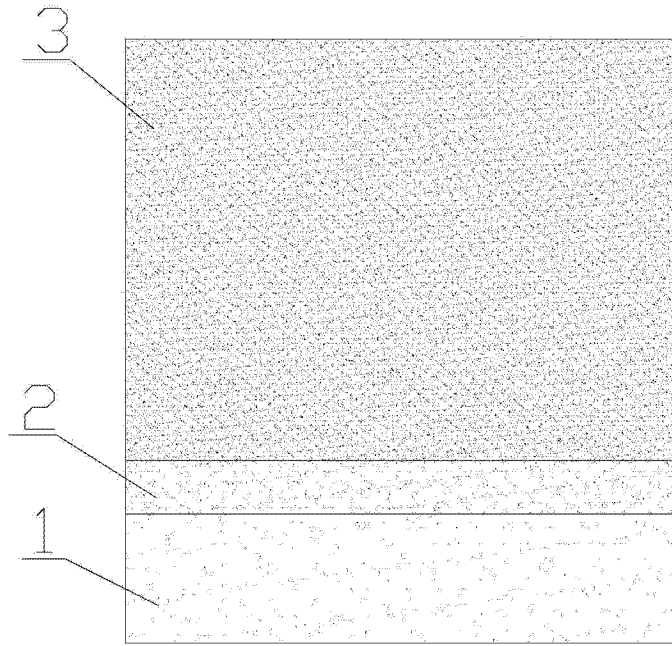


图 1

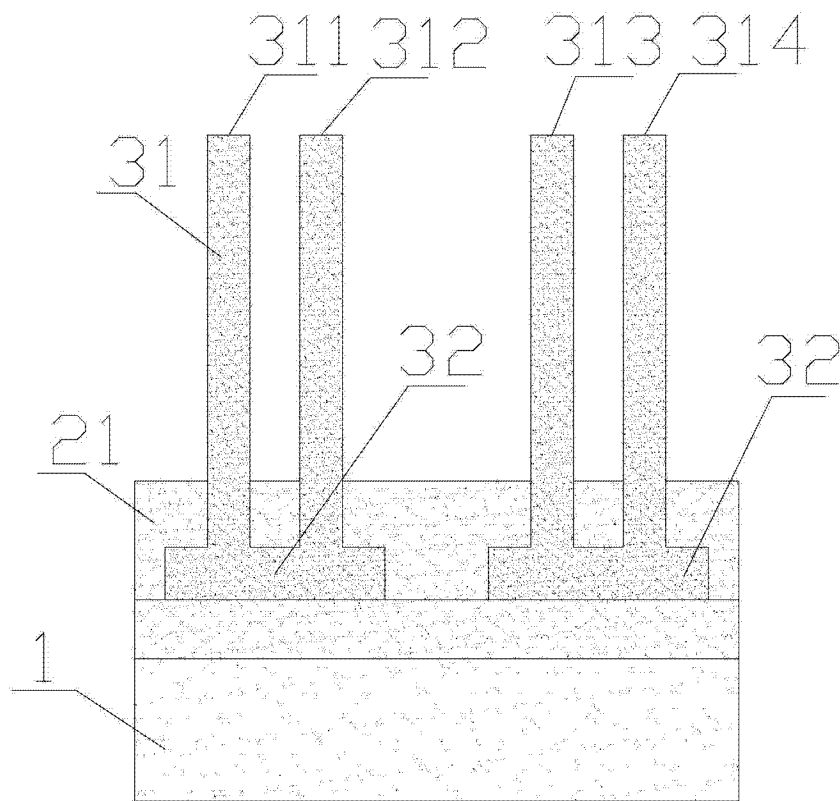


图 2

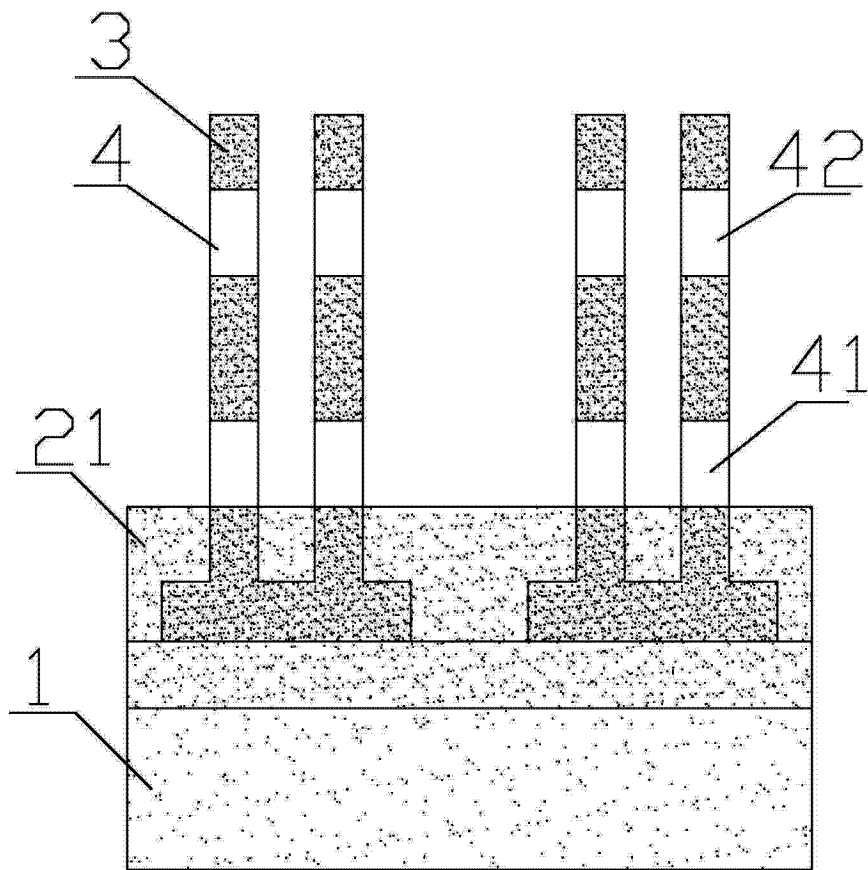


图 3

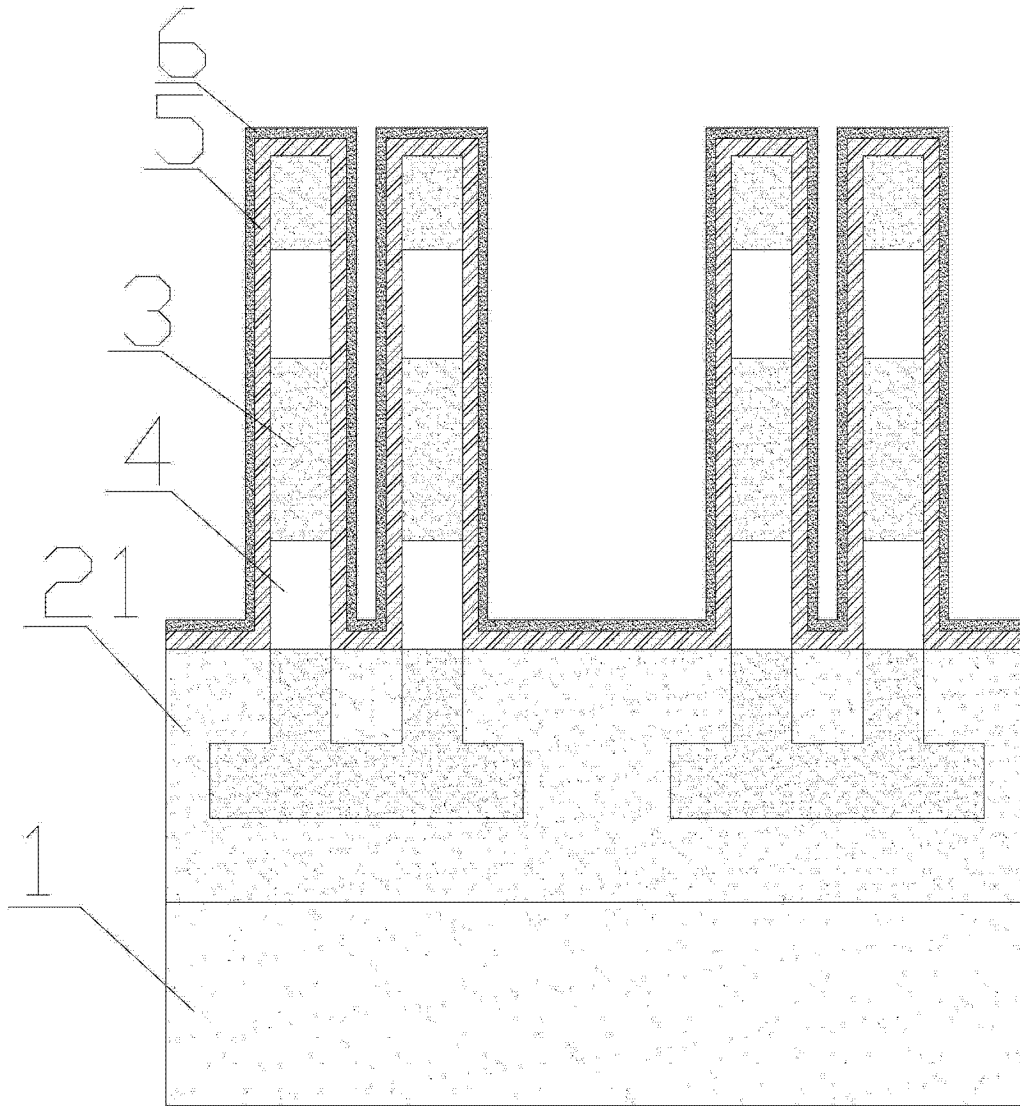


图 4

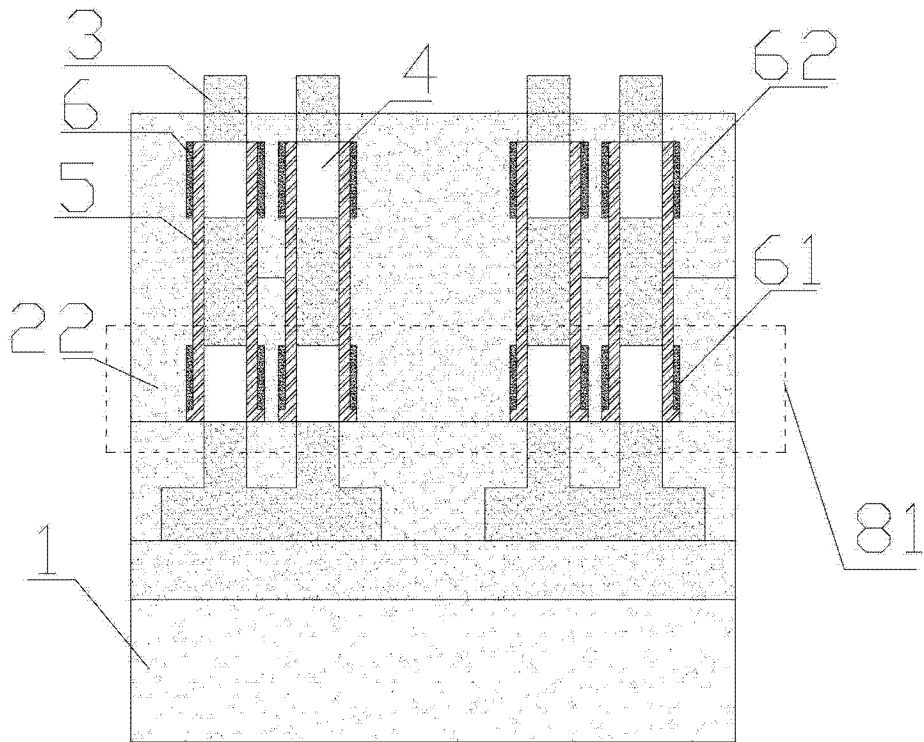


图 5

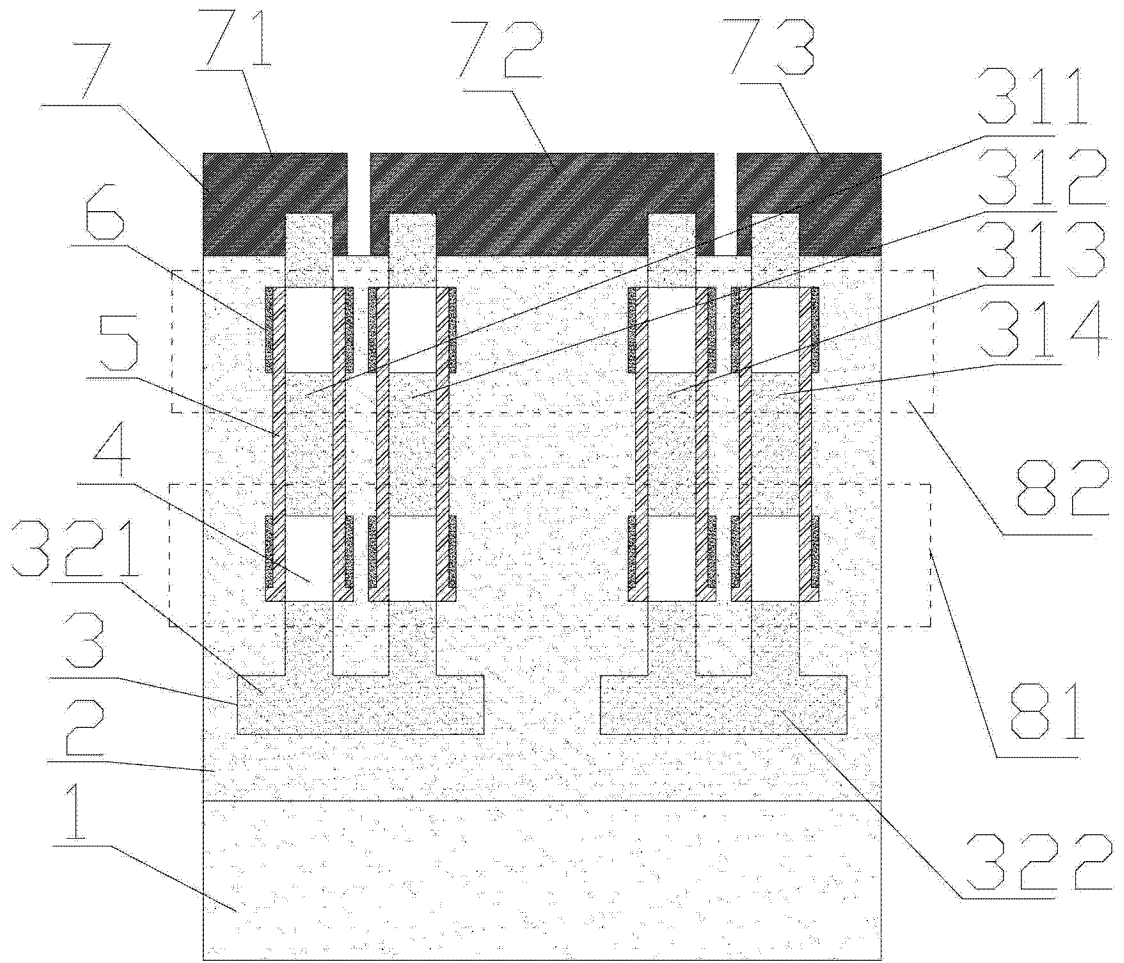


图 6

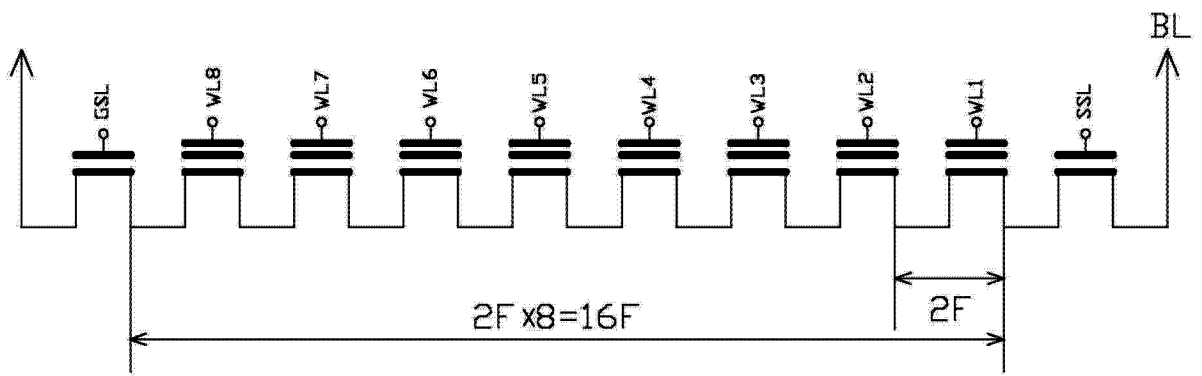


图 7

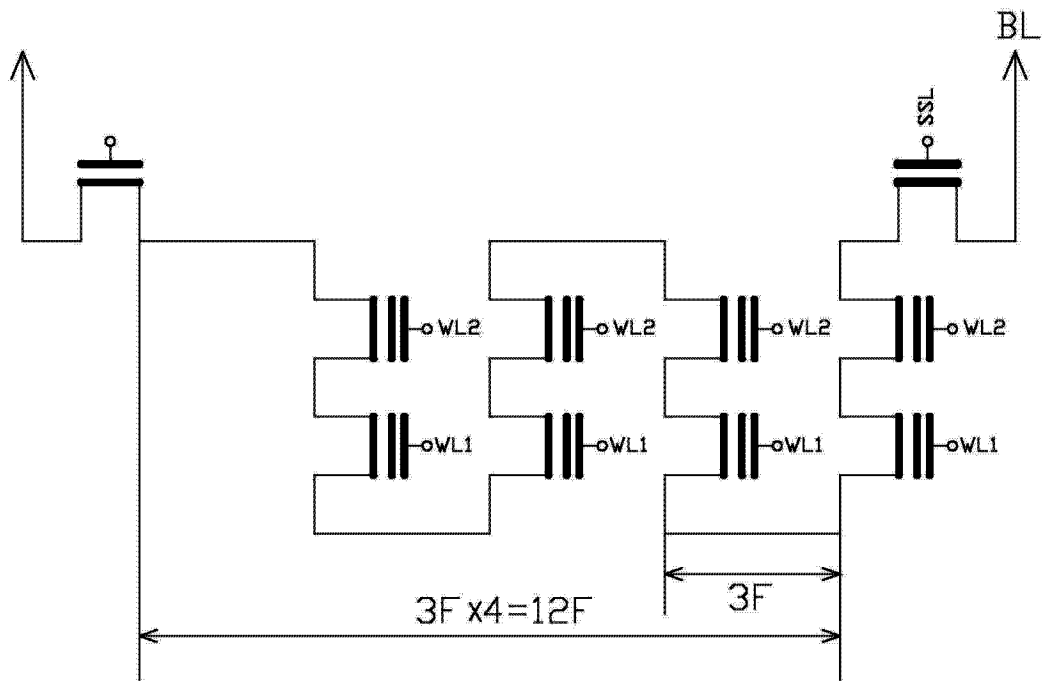


图 8