

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-22902
(P2004-22902A)

(43) 公開日 平成16年1月22日(2004.1.22)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 29/78	HO 1 L 29/78 3 O 1 G	5 F O 4 8
HO 1 L 21/318	HO 1 L 21/318 M	5 F O 5 8
HO 1 L 21/8238	HO 1 L 27/08 3 2 1 D	5 F 1 4 0
HO 1 L 27/092		

審査請求 未請求 請求項の数 8 O L (全 16 頁)

(21) 出願番号	特願2002-177506 (P2002-177506)	(71) 出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号
(22) 出願日	平成14年6月18日 (2002. 6. 18)	(74) 代理人	100070150 弁理士 伊東 忠彦
		(72) 発明者	山口 晃央 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		Fターム(参考)	5F048 AA01 AA07 AB01 AC03 BB05 BB11 BB12 BC06 BD04 BE03 DA25 5F058 BA20 BD01 BD04 BD10 BF04 BF23 BF30 BF37 BH16 BJ01 BJ10
			最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

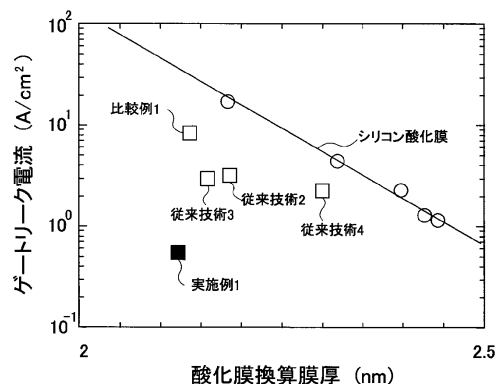
(57) 【要約】

【課題】リーク電流の低減を可能とし、さらに薄膜化が可能な絶縁膜を備えた半導体装置を提供する。

【解決手段】基板上に、シリコン酸化膜、シリコン窒化膜を形成した後、20 から600 の温度範囲で加熱して、シリコン窒化膜のプラズマ窒化処理を行う。さらに非酸化性ガス雰囲気中で熱処理を行う。これらの処理により、このような積層からなるゲート絶縁膜のゲートリーク電流を極めて低減でき、酸化膜換算膜厚を大きく低減することができる。

【選択図】 図9

ゲートリーク電流と酸化膜換算膜厚との関係を示した図



【特許請求の範囲】

【請求項 1】

シリコン基板上にシリコンと酸素を含む絶縁膜を形成する工程と、
前記絶縁膜上にシリコン窒化膜を堆積する工程と、
プラズマ窒化処理により前記シリコン窒化膜を改質する工程とを含むことを特徴とする半
導体装置の製造方法。

【請求項 2】

シリコン基板上のゲート領域を覆うようにシリコンと酸素を含む絶縁膜を形成する工程と
、
前記絶縁膜上にシリコン窒化膜を堆積する工程と、
プラズマ窒化処理により前記シリコン窒化膜を改質する工程と、
さらにゲート電極を形成する工程とを含むことを特徴とする半導体装置の製造方法。

10

【請求項 3】

請求項 1 または 2 記載の半導体装置の製造方法において、
前記絶縁膜はシリコン酸化膜であることを特徴とする半導体装置の製造方法。

【請求項 4】

請求項 1 ~ 3 のうち、いずれか一項記載の半導体装置の製造方法において、
前記プラズマ窒化処理は、マイクロ波リモートプラズマ処理装置を使って行われることを
特徴とする半導体装置の製造方法。

【請求項 5】

請求項 1 ~ 4 のうち、いずれか一項記載の半導体装置の製造方法において、
前記シリコン窒化膜を改質する工程は、前記シリコン窒化膜表面に少なくとも窒素ラジカ
ルを供給する工程を含むことを特徴とする半導体装置の製造方法。

20

【請求項 6】

請求項 1 ~ 5 のうち、いずれか一項記載の半導体装置の製造方法において、
前記プラズマ窒化処理を行う工程の後に、非酸化性ガス雰囲気中で熱処理を行う工程をさ
らに備えたことを特徴とする半導体装置の製造方法。

【請求項 7】

請求項 6 記載の半導体装置の製造方法において、
前記プラズマ窒化処理を行う工程と前記非酸化性ガス雰囲気中で熱処理を行う工程との間
に、酸化性ガス雰囲気中で熱処理を行う工程をさらに備えたことを特徴とする半導体装置
の製造方法。

30

【請求項 8】

請求項 1 ~ 7 のうち、いずれか一項記載の半導体装置の製造方法において、
前記絶縁膜にプラズマ窒化処理を行い、前記絶縁膜をシリコン酸窒化膜に変換する工程を
さらに備えたことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は一般に半導体装置に係り、特にシリコン窒化膜よりなるゲート絶縁膜を有する超
高速半導体装置およびその製造方法に関する。

40

【0002】

【従来の技術】

超高速動作が要求される CMOS - LSI などの半導体集積回路装置では、半導体集積回
路装置を構成する電界効果型トランジスタ (MOSFET) が非常に短いゲート長を有す
ることが要求されており、このため MOSFET の微細化に対して多大の努力がなされて
いる。

【0003】

このように微細化された MOSFET では、スケーリング則による要請からゲート長の減
少に伴ってゲート絶縁膜の膜厚に対しても制限が加えられ、例えばゲート長が 0.1 μm

50

を切るような半導体装置では、ゲート絶縁膜の膜厚を酸化膜厚換算で2nm程度以下に減少させることが求められている。

【0004】

従来、ゲート絶縁膜としては、一般にリーク電流特性が良好で界面準位密度の低いシリコン酸化膜が使用されている。しかしシリコン酸化膜よりなる従来のゲート絶縁膜では、ゲート絶縁膜の物理膜厚の減少に伴い直接トンネル電流が増加してしまい、このためゲート絶縁膜の膜厚が上記の値よりもさらに減少すると、トンネル電流によるゲートリーク電流が大きな問題になる。ゲートリーク電流が増大すると、例えばゲートオフ時において実質的なリーク電流が生じ、半導体装置の回路が正常に動作しない、あるいは消費電力が増加する等の物理法則に起因する本質的な問題が生じてしまう。

10

【0005】

これに対し、従来よりシリコン酸化膜に換えて、ゲート絶縁膜として、物理膜厚が大きくても電気的な換算膜厚が小さいことを特徴とする高誘電率の採用が提案されている。

【0006】

ゲート容量Cは、一般に、 $C = \epsilon_0 \epsilon_k A / d_k$ と表される。ただし ϵ_0 は真空の誘電率、 ϵ_k は絶縁膜の比誘電率、Aは絶縁膜の面積、 d_k は絶縁膜の膜厚である。ここでシリコン酸化膜より高い比誘電率 ϵ_p を有する高誘電体膜をゲート絶縁膜として採用すると、前記高誘電体膜がシリコン酸化膜と同じゲート容量を実現する膜厚 d_p は、 $d_p = \epsilon_p / \epsilon_{ox} \times d_{ox}$ と表される。ただし ϵ_{ox} 、 d_{ox} は、それぞれシリコン酸化膜の比誘電率および膜厚である。そこで、このような高誘電体膜をゲート絶縁膜に使うことにより、シリコン酸化膜の比誘電率 ϵ_{ox} に対する絶縁膜の比誘電率 ϵ_p の比を係数として、厚さが d_{ox} のシリコン酸化膜と同等の電気特性を有するゲート絶縁膜を、物理膜厚 d_p の高誘電体膜を使って、 $d_{ox} = \epsilon_{ox} / \epsilon_p \times d_p$ の関係により実現することが可能になる。なお、絶縁膜の膜厚 d_p をこの式を用いて、シリコン酸化膜の膜厚 d_{ox} に換算したものを酸化膜換算膜厚という。

20

【0007】

例えば、ゲート長が0.1 μ mを切るような超高速CMOS(Complementary MOS)素子を構成するMOSトランジスタのゲート絶縁膜として、比誘電率がシリコン酸化膜に対して2倍のシリコン窒化(Si_3N_4)膜を用いることが考えられる。シリコン窒化膜は、 Al_2O_3 や ZrO_2 、 Ta_2O_5 等の金属酸化膜系の絶縁膜と比較して、CMOS製造工程との整合性がよく、ゲート絶縁膜への適用が容易であるという特長を有している。これにより、例えばゲート絶縁膜の物理膜厚2nm以上であっても2nm以下の酸化膜換算膜厚を実現でき、半導体装置の動作速度を向上させることができると同時に、トンネル効果によるゲートリーク電流を抑制することが可能になる。

30

【0008】

一方、シリコン基板にシリコン窒化膜を直接積層した場合には、シリコン基板とシリコン窒化膜との界面に窒素が濃集し、チャンネル領域を高速で輸送されるキャリアの散乱を生じてしまう現象が知られている。すなわち、このような構成では界面における窒素によりキャリア移動度が劣化し、また同時にシリコン窒化膜中のダングリングボンドによるキャリアの捕獲などにより、半導体装置の閾値特性が不安定になってしまう。

40

【0009】

例えばシリコン窒化膜の形成はCVD(化学気相蒸着)法により行われることが多いが、CVD法により形成されたシリコン窒化膜は膜内部に多量の欠陥やダングリングボンド、およびこれらを終端する水素を含んでおり、キャリアが高速で輸送されるチャンネル領域に形成されるゲート絶縁膜として適当な膜質を得るのは困難である。またこのような欠陥を解消するために窒素雰囲気中での熱処理を行った場合、窒素原子がシリコン基板との界面にまで拡散してしまい、先に説明したようなキャリアの散乱および移動度の劣化を生じてしまう。さらにダングリングボンドにキャリアが捕獲されることにより、半導体装置の閾値特性が変化してしまう。

【0010】

50

このような窒素雰囲気中での熱処理に伴う問題を回避すべく、酸化雰囲気中でCVDシリコン窒化膜を熱処理することも考えられるが、この場合には酸素原子がシリコン基板との界面にまで拡散し、せっかく形成した窒化膜の誘電率を低下させるのみならず、シリコン基板とゲート絶縁膜との界面に酸化膜を形成してしまう。このような酸化膜の形成は、高誘電率のシリコン窒化膜を使った効果を相殺してしまうため、可能な限り抑制する必要がある。

【0011】

これに対し従来より、シリコン酸化膜表面をプラズマ窒化処理してシリコン窒化膜、より正確にはシリコン酸窒化膜を形成手法が提案されている。例えばVLSIシンポジウム2001セッションT7A-4を参照。この手法によれば、形成された酸窒化膜内部において窒素原子と酸素原子とが混在し、シリコン基板と酸窒化膜との界面における窒素原子の偏析は生じていない。

10

【0012】

図1は、このような酸化膜のプラズマ窒化処理による高誘電率ゲート絶縁膜の形成工程を示す。

【0013】

図1(A)を参照するに、シリコン基板201上には熱酸化膜202が例えば2nmの膜厚に形成されており、図1(B)の工程で前記熱酸化膜202に対してプラズマ窒化処理を行うことにより、熱酸化膜202が窒素ラジカルN*により窒化され、図1(C)に示すように酸窒化膜に改変される。

20

【0014】

先にも説明したように、このようにして形成された酸窒化膜中においては酸素原子と窒素原子とが混合して存在しており、シリコン基板との界面における窒素原子の偏析は生じない。このため、このようにして形成された酸窒化膜をゲート絶縁膜に使うことにより、チャネル領域を高速で輸送されるキャリアがゲート絶縁膜とシリコン基板との界面に偏析した窒素原子により散乱される問題は生じない。

【0015】

【発明が解決しようとする課題】

しかしながら、この従来技術においては、ゲート絶縁膜として形成される膜203が酸窒化膜(SiON膜)であり、シリコン窒化膜と比べると比誘電率が小さく、酸化膜換算膜厚の大幅な減少は望めない。すなわち酸窒化膜の比誘電率は膜中の窒素濃度により左右されるが、SiO₂膜を窒化処理した場合、膜中には元々酸素原子が存在しているため、窒素原子の導入量には限界がある。

30

【0016】

本発明は、上記の問題点を鑑みてなされたもので、本発明の目的は、ゲート絶縁膜のリーク電流の低減を可能とし、ゲート絶縁膜の酸化膜換算膜厚のさらなる減少が可能な半導体装置の製造方法を提供することである。

【0017】

【課題を解決するための手段】

本発明の一観点によれば、基板上にシリコンと酸素を含む絶縁膜を形成する工程と、前記絶縁膜上にシリコン窒化膜を形成する工程と、プラズマ窒化処理により前記シリコン窒化膜を改質する工程とを含む半導体装置の製造方法が提供される。

40

【0018】

本発明によれば、基板上にシリコンと酸素とを含む絶縁膜を形成することにより、基板と前記絶縁膜との界面における窒素原子の偏析を抑制することができ、しかも前記絶縁膜上に比誘電率の大きいシリコン窒化膜を形成することにより、前記絶縁膜とシリコン窒化膜とを含めた膜全体の酸化膜換算膜厚を大きく低減することが可能になる。特に前記シリコンと酸素とを含む絶縁膜の膜厚をシリコン窒化膜の膜厚と比較して小さく抑制することにより、小さな酸化膜換算膜厚を実現することができる。

【0019】

50

シリコン窒化膜中には、一般にダングリングボンドや格子欠陥等が多量に存在するが、本発明では形成されたシリコン窒化膜に対してプラズマ窒化処理を行うことにより、活性な窒素ラジカルがシリコン窒化膜中に侵入し、ダングリングボンドや格子欠陥を終端する。その結果、シリコン窒化は Si_3N_4 の理想的な化学量論組成に近い組成を有し、酸化膜換算膜厚がさらに減少する。その結果、このような膜をゲート絶縁膜に使うことにより、トンネル効果によるゲートリーク電流を抑制しつつ、同時にゲート長の縮小に合わせてゲート絶縁膜の酸化膜換算膜厚を減少させることが可能になる。また、このような構成のゲート絶縁膜は、過加速された電子などのキャリアが侵入してもトラップが少ないため、半導体装置の閾値特性が変動することが少ない。

【0020】

なお本発明の半導体装置の製造方法は、比較的大きな物理膜厚で小さな酸化膜換算膜厚、あるいは実効膜厚を実現できるため、DRAMなどのキャパシタンスの形成に適用した場合、トンネル効果によるリーク電流を抑制しつつ、大きなキャパシタンスを実現することが可能である。

【0021】

図2は、本発明の原理を説明する。ただし図2中、先に説明した部分には同一の参照符号を付し、説明を省略する。

【0022】

図2(A)を参照するに、シリコン基板201上にはシリコン酸化膜やシリコン酸窒化膜などの非常に薄い絶縁膜212が形成されており、図2(B)の工程において、図2(A)の構造上にシリコン窒化膜213が堆積される。なお図2(A)の工程において前記絶縁膜212は、Siと酸素とを含み、シリコン基板との界面に界面準位を形成しない、また元素の偏析が生じないような膜でなければならない。一方、前記シリコン窒化膜213は、CVD法などにより堆積することができる。

【0023】

このようにして堆積したシリコン窒化膜213は一般に内部にxで概略的に示す多量のダングリングボンドや欠陥を含んでおり、その結果、シリコン窒化膜213の化学量論組成 Si_3N_4 から離れた組成を有することが多い。そこで本発明では図2(C)の工程において前記シリコン窒化膜213に対してプラズマ窒化処理をさらに行い、形成されたシリコン窒化膜213中にN*で概略的に示す窒素ラジカルを導入する。導入された窒素ラジカルは前記シリコン窒化膜213中の欠陥やダングリングボンドを終端し、その結果、前記シリコン窒化膜213は、理想的な化学量論組成 Si_3N_4 に近い組成を有し、欠陥やダングリングボンドの濃度が減少した高い品質のシリコン窒化膜214に改質される。

【0024】

本発明では、図2(C)の工程においてプラズマ窒化処理により窒素ラジカルを発生させている。このようにして形成された窒素ラジカルは密度の高いシリコン窒化膜213中であって効率よく侵入でき、所望の改質を生じる。その際、一部はその下の絶縁膜212に到達し、これを窒化する。その結果、膜212および214を合わせた膜全体の比誘電率が向上する。一方、このようにして導入された窒素ラジカルは、前記絶縁膜212と基板201との間の界面に窒素の偏析を生じることなく、従って、このような膜をチャネル長の短い超高速半導体装置のゲート電極に使った場合にも、偏析した窒素原子によるキャリアの散乱が生じることはない。

【0025】

【発明の実施の形態】

以下、図面に基づいて本発明の実施例を説明する。

(実施例1)

本発明による実施例1は、基板上に熱酸化によりシリコン酸化膜を形成し、次いで、CVD法により成膜したシリコン窒化膜をプラズマ窒化処理し、次いで、非酸化性ガス雰囲気中で熱処理を行うものである。

【0026】

10

20

30

40

50

図3(A)～(D)および図4(E)～(F)は、一導電型半導体基板、例えばp型シリコン基板を用いたCMOSデバイスの製造工程を示す図である。

【0027】

図3(A)を参照するに、p型のシリコン基板11上には、LOCOS(Local Oxidation of Silicon)法やSTI(Shallow Trench Isolation)法等により素子分離領域12が形成されており、これにより素子領域13A、13Bが画成される。さらにレジストプロセス(図示せず)により一方の素子領域、例えば素子領域13Bをマスクした状態でイオン注入を行うことにより、 B^+ などのp型ドーパントイオンを素子領域13Aに打込み、p型ウェル領域15を形成する。同様に、他方の素子領域13Bに As^+ 、 P^+ などのn型ドーパントイオンを打込み、n型ウェル領域17を形成する。

10

【0028】

次に図3(B)の工程においてレジストプロセス(図示せず)により一方の素子領域13Bをマスクし、イオン注入法により先にp型ウェル15が形成された素子領域13Aに B^+ または In^+ などのp型ドーパントイオンを打ち込み、nMOSのチャネルドープ領域16Aを形成する。次に、同様にn型ウェル17が形成された素子領域13Bに P^+ または As^+ などのn型ドーパントイオンを打込み、pMOSのチャネルドープ領域16Bを形成する。

【0029】

図3(B)の工程では、さらに前記シリコン基板11表面のシリコン自然酸化膜をHF処理などによって除去し、さらに熱酸化処理を行うことにより、厚さが1.5nm以下、より好ましくは0.8nm以下のシリコン酸化膜18を形成する。前記熱酸化処理工程は、例えば600～1100の温度で1分間～20分間行われる。その結果、チャネル領域16A、16Bの表面には熱酸化により、厚さが0.5nm～1.5nmのシリコン酸化膜18が形成される。本実施例では、酸素ガス圧を10Pa、窒素ガス圧を10Paに設定し、850の温度で8分間のアニールを行い、厚さが1.0nmのシリコン酸化膜18を形成した。

20

【0030】

次に図3(C)の工程でシリコン酸化膜18および素子分離領域12上に、シリコン窒化膜19を、例えば、減圧CVD法により、CVD装置のチャンバー内圧力を1Pa～100Pa、基板温度を600～800に設定し、シリコン原料としてジクロロシランガスを1sccm～100sccmの流量で、また窒素原料としてアンモニアガスを1sccm～1000sccmの流量で供給する。前記原料ガスを0.5分間～30分間供給することにより、図3(B)の構造上に、図3(C)に示すように厚さが0.5nm～1.5nmのシリコン窒化膜19を形成する。本実施例では、例えばチャンバー内の圧力を20Pa、ジクロロシランガスの流量を30sccm、アンモニアガスの流量を150sccm、基板を650に設定して、混合ガスを3分間流し、厚さ1.3nmのシリコン窒化膜19を形成した。

30

【0031】

このようにしてCVD法により作製されたシリコン窒化膜19には、一般に多量の欠陥、すなわちダングリングボンド(図3(C)に模式的に「x」で示す)が存在している。

40

【0032】

そこで本実施例では図3(D)の工程において、図3(C)のシリコン窒化膜19に対してプラズマ窒化処理を行う。本実施例では、リモートプラズマ窒化装置を用いた。

【0033】

図5は、リモートプラズマ窒化処理装置の要部構成を示した図である。

【0034】

図5を参照するに、リモートプラズマ窒化装置100は、基板103を処理する処理チャンバー102と、前記処理チャンバー102の外に配置されるリモートプラズマ発生装置101とより構成されている。リモートプラズマ発生装置101には窒素ガスが供給され

50

、マイクロ波によりこれを励起することで窒素ラジカルおよび窒素イオンが形成される。形成された窒素ラジカルおよび窒素イオンは前記処理チャンパー 102 に送られ、ステージ 104 上に配置された基板 103 の表面を窒化処理する。

【0035】

例えば、0.5 kW ~ 3 kW のマイクロ波パワーにより発生されたプラズマに N₂ ガスと He ガスを、例えば、それぞれ 1000 sccm、2000 sccm 供給し、窒素ラジカルおよび窒素イオンを発生させる。形成された窒素ラジカルおよび窒素イオンは、20 ~ 600 の温度範囲で加熱された基板上においてシリコン窒化膜 19 に到達し、これを改質する。その際、基板温度が 600 を超えると、窒素がシリコン窒化膜 19 から拡散し、シリコン酸化膜 18 とシリコン基板 11 の界面に達し、MOS トランジスタのキャリア移動度を劣化させてしまう。本実施例では、3 kW の出力でプラズマを発生させ、窒素ラジカルおよび窒素イオンを 60 秒間流し、基板温度を 550 としている。

10

【0036】

このプラズマ窒化処理により、シリコン窒化膜 19 に侵入した窒素ラジカルおよび窒素イオンがシリコン窒化膜 19 のダングリングボンドを終端する。したがって、シリコン酸化膜 18 およびシリコン窒化膜 19 よりなるゲート絶縁膜のリーク電流を低減することができ、さらなるゲート絶縁膜の酸化膜換算膜厚の低減が可能となる。

【0037】

図 3 (D) の工程では、さらに前記窒化処理の後、例えば N₂ ガス、あるいは He、Ne、Ar、Kr、Xe などの不活性ガスよりなる非酸化性ガス雰囲気中で基板を熱処理する。

20

【0038】

より具体的には、前記熱処理は、非酸化性ガス雰囲気中で基板を 600 ~ 1100 の温度範囲に加熱し、5 ~ 180 秒間の範囲でアニールを行う。熱処理は、これらの条件の範囲内で、より高温で短時間に熱処理を行うことが好ましい。このような制御された条件下で熱処理を行うことにより、シリコン窒化膜 19 中などの窒素原子の基板界面への拡散を抑制しつつ、シリコン窒化膜 19 中における結晶格子の乱れを除去することができる。この熱処理は、短時間で所望の基板温度に到達することができる、ハロゲンランプを用いた RTP (Rapid Thermal Process) 装置やファーネス RTP 装置などを用いて行うことが好ましい。本実施例では、N₂ ガス雰囲気中で、1050 に加熱して、10 秒間アニールを行った。

30

【0039】

この熱処理により、シリコン窒化膜 19 にプラズマ窒化処理によって生じた損傷、例えば結晶格子の乱れが除去されるとともに、過剰に残留している窒素がシリコン窒化膜 19 の外部に放出される。したがって、シリコン窒化膜 19 が緻密化され、ゲート絶縁膜のリーク電流をさらに低減することができる。

【0040】

図 4 (E) を参照するに、次に、基板を別の CVD 装置のチャンパーに移し、シリコン窒化膜 19 上に、ポリシリコン膜 20 を形成する。例えば、減圧 CVD 法により、チャンパー内の圧力を 10 Pa ~ 50 Pa、基板を 600 ~ 650 の範囲で加熱して、モノシランガスの流量を 50 sccm ~ 300 sccm に設定する。モノシランガスを 5 分間 ~ 60 分間流し、厚さ 20 nm ~ 200 nm のポリシリコン膜 20 を形成する。本実施例では、チャンパー内の圧力を 40 Pa、基板温度を 620、モノシランガスの流量 200 sccm に設定した。モノシランガスを 20 分間流し、厚さ 110 nm のポリシリコン膜 20 を形成した。

40

【0041】

図 4 (F) を参照するに、次に、前記ポリシリコン膜 20 をフォトリソグラフィ法によりパターンニングし、前記絶縁膜 18 およびシリコン窒化膜 19 上にポリシリコンゲート膜 20 を有するゲート電極構造 21 を形成する。次に、イオン注入法により前記ゲート電極構造 21 をマスクに前記 n チャネル領域 13 A に As イオン、p チャネル領域 13 B に B イ

50

オンを打込み、LDD (Lightly Doped Drain) 領域 22 を、前記シリコン基板 11 中、前記ゲート電極構造 21 の両側に形成する。

【0042】

次に、ゲート電極 21 の両側壁面上にCVD法およびエッチバック法により、例えばSiO₂から構成されるサイドウォール絶縁膜 23 を形成する。

【0043】

次に、イオン注入法により前記nチャネル領域 13AにAsイオンを打込み、pチャネル領域 13BにBイオンを打込み、ソース/ドレイン領域 24 を形成する。

【0044】

以上により、図4(F)に示すように、シリコン酸化膜 18、シリコン窒化膜 19がこの順に積層されたゲート絶縁膜が形成され、CMOSデバイスが形成される。 10

【0045】

上述したように、シリコン酸化膜 18上に形成されたシリコン窒化膜 19は、シリコン窒化膜 19中のダングリングボンドが、プラズマ窒化処理により窒素ラジカルや窒素イオンで終端され安定化される。したがってゲート絶縁膜のリーク電流を低減することができる。よって、さらなるゲート絶縁膜の薄膜化が可能となる。また、非酸化性ガス雰囲気中で熱処理を行うことにより、プラズマ窒化処理によって生じた損傷を除去することができ、シリコン窒化膜 19が緻密化され、ゲート絶縁膜のリーク電流をさらに低減することができる。

【0046】

(実施例2)

本発明による実施例2は、実施例1の処理に加え、シリコン酸化膜 18に対してもプラズマ窒化処理を行うものである。 20

【0047】

図6および図7は、一導電型半導体基板、例えばp型基板を用いたCMOSデバイスの製造工程を示す図である。図中、先に説明した部分に対応する部分には同一の参照符号を付し、説明を省略する。

【0048】

図6(A)および(B)を参照するに、実施例1と同様にして、n型のシリコン基板 11上に、素子分離領域 12を設け、素子領域 13A、13Bを形成し、一方の素子領域 13Aにpウェル領域 15、他方の素子領域 13Bにnウェル領域 17を形成する。そして、素子領域 13A、13Bにそれぞれチャネルドープ領域 16A、16Bを形成し、熱酸化によりシリコン酸化膜 18を形成する。本実施例では、850℃で8分間のアニールを行い、厚さ1.0nmのシリコン酸化膜 18を形成した。 30

【0049】

本実施例では次に図6(C)の工程において前記シリコン酸化膜 18に対してプラズマ窒化処理を、図8に示すリモートプラズマ窒化装置を用いて行う。

【0050】

図8は、リモートプラズマ窒化装置の要部構成を示した図である。

【0051】

図8を参照するに、リモートプラズマ窒化装置 110は、図5に示すリモートプラズマ窒化装置 100のプラズマ発生装置 101にイオンフィルタ 111を設けた構成となっており、それ以外は同様の構成を有する。イオンフィルタ 111は、金属などの導電性のメッシュで構成され、さらに接地されている。イオンフィルタ 111は、プラズマ発生装置 101で発生した窒素ラジカルおよび窒素イオンの流路に設けられ、荷電粒子である窒素イオンのみをトラップする。したがって、窒素ラジカルのみがチャンバーに流れるようになっている。 40

【0052】

例えば、0.5kW~3kWのマイクロ波パワーにより発生されたプラズマ中にN₂ガスとHeガスをそれぞれ1000sccm、2000sccmの流量で供給し、窒素ラジカ 50

ルおよび窒素イオンを発生させる。その際、このようにして発生した窒素ラジカルおよび窒素イオンはイオンフィルタ111を通され、その結果、窒素イオンが除去される。従って、本実施例では処理チャンバ102内の基板表面には窒素ラジカルN^{*}のみが供給される。

【0053】

そこで基板を200～600の温度範囲に加熱し、窒素ラジカルN^{*}を前記シリコン酸化膜18と反応させる。本実施例では、3kWの出力でプラズマを発生させ、窒素ラジカルのみを60秒間流し、基板温度を550とした。この処理により、シリコン酸化膜18の表面側の厚さ0.5nmをシリコン酸窒化膜31に変換した。シリコン酸窒化膜31はシリコン酸化膜18より比誘電率が高いので酸化膜換算膜厚を低減することができ、この処理はゲート絶縁膜の薄膜化に好適である。

10

【0054】

本実施例では、図8に示すようにイオンフィルタ111によりイオンを除去しているため、チャンネル領域に直接に隣接するシリコン酸化膜18をプラズマ窒化する際に、荷電粒子が膜中に導入されることがなく、半導体装置の閾値特性が安定する。

【0055】

図6(D)を参照するに、シリコン酸窒化膜31上に、実施例1と同様にして、シリコン窒化膜19を形成する。本実施例では基板を650に加熱して混合ガスを1分間流し、厚さ1.0nmのシリコン窒化膜19を形成した。

【0056】

図7(E)を参照するに、次に、シリコン窒化膜19に対して、実施例1と同様にして、プラズマ窒化処理を行う。本実施例では、3kWの出力でプラズマを発生させ、窒素ラジカルのみを60秒間流し、基板温度を550とした。このプラズマ窒化処理により、シリコン窒化膜19のダングリングボンドに窒素が結合し、良質なシリコン窒化膜19が形成される。

20

【0057】

次に、実施例1と同様にして、非酸化性ガス雰囲気中で基板をアニールする。本実施例では、N₂ガス雰囲気中で、1050に加熱して、10秒間アニールを行った。

【0058】

図7(F)を参照するに、次に、シリコン窒化膜19上に、実施例1と同様にして、ポリシリコン膜20を形成する。本実施例では、基板を620で加熱して、モノシランガスを20分間流し、厚さ110nmのポリシリコン膜20を形成した。

30

【0059】

図7(G)を参照するに、次に、実施例1と同様にして、ゲート電極領域21、LDD領域22、サイドウォール23、およびソース/ドレイン領域24を形成する。

【0060】

以上により、図7(G)に示すように、シリコン酸化膜18、シリコン酸窒化膜31、シリコン窒化膜19がこの順に積層されたゲート絶縁膜が形成され、CMOSデバイスが形成される。

【0061】

上述したように、シリコン酸化膜18の一部をシリコン窒化処理によりシリコン酸窒化膜31に変換したことにより、シリコン酸窒化膜はシリコン酸化膜より非誘電率が高いので、酸化膜換算膜厚を低減することができる。またプラズマ窒化処理により、シリコン窒化膜19のダングリングボンドが窒素ラジカルで終端され膜質が改善される。したがって、ゲートリーク電流を低減することができ、さらなるゲート絶縁膜の薄膜化が可能となる。

40

【0062】**(実施例3)**

本発明による実施例3は、実施例1の処理に加え、プラズマ窒化処理と非酸化性ガス雰囲気中の熱処理との間に、シリコン窒化膜19に対して酸化性ガス雰囲気中で熱処理を行う例である。実施例1と重複する処理については、説明を省略する。

50

【0063】

実施例1において、シリコン窒化膜19にプラズマ窒化処理をした後、酸化性ガス雰囲気中で、基板を熱処理する。酸化性ガスは、例えば、NO、N₂O、O₂などである。基板を700 ~ 1100 の温度範囲に加熱し、3秒間 ~ 60秒間の範囲で熱処理を行う。熱処理装置は、例えば、RTP装置等が用いられる。

【0064】

次に、実施例1と同様の処理を行い、シリコン酸化膜、シリコン窒化膜がこの順に積層されたゲート絶縁膜が形成され、CMOSデバイスが形成される。

【0065】

実施例3によれば、プラズマ窒化処理がされたシリコン窒化膜19の最表面には、Si原子とN原子とが未結合のダングリングボンドがなおも存在する。かかるダングリングボンドは、MOSトランジスタのフラットバンドシフトを発生させ、また、MOSトランジスタの閾値電圧の分布を大きくしてしまう。このシリコン窒化膜19を酸化性ガス雰囲気中で熱処理することにより、かかるダングリングボンドを酸素により終端でき、シリコン窒化膜19をより安定化することができる。したがって、MOSトランジスタ等のフラットバンドシフトを補償しつつ、リーク電流をさらに低減することができる。

【0066】

図9は、ゲートリーク電流と酸化膜換算膜厚との関係を示した図である。図9には、本発明による実施例1、本発明によらない比較例1、「従来の技術」の欄で示した従来技術2 ~ 4、およびシリコン酸化膜のみのゲート絶縁膜の例を示した。比較例1は、実施例1においてプラズマ窒化処理および非酸化性ガス雰囲気中でのアニールを行っていない例である。

【0067】

図9を参照するに、ゲートリーク電流と酸化膜換算膜厚の関係は、シリコン酸化膜のみからなるゲート絶縁膜のデータが示すように、酸化膜換算膜厚が厚くなる程、ゲートリーク電流は低くなっている。プラズマ窒化処理および非酸化性ガス雰囲気中でのアニールを行っていない比較例1は、ゲートリーク電流が9 A / cm² に対して、ほぼ同様の酸化膜換算膜厚を有する実施例1は、ゲートリーク電流が0.6 A / cm² となっており、ゲートリーク電流が極めて低いことがわかる。

【0068】

また、実施例1は、従来技術2 ~ 4あるいはシリコン酸化膜のみのゲート絶縁膜に対しても、酸化膜換算膜厚の相違を考慮すると、ゲートリーク電流が極めて低いことがわかる。すなわち実施例1のゲート絶縁膜は、ゲートリーク電流が極めて低減されており、ゲート絶縁膜として極めて好適であることがわかる。さらに、実施例1のゲート絶縁膜は薄膜化が可能であり、スケーリング則に沿ったさらなるCMOSデバイスの小型化が実現できる。

【0069】

以上本発明の好ましい実施例について詳述したが、本発明は係る特定の実施形態に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。本実施例では、ゲート絶縁膜に適用した場合について説明したが、本発明によるゲート絶縁膜の製造方法は、例えば、DRAM (Dynamic Random Access Memory) 等のキャパシタの製造方法にも適用することができる。

【0070】

また、実施例2と実施例3を組み合わせてもよい。さらに、実施例1から3においてシリコン窒化膜19に対して、窒素イオンおよび窒素ラジカルによるプラズマ処理について説明したが、窒素ラジカルのみでの処理でもよい。

【0071】

以上、本発明を好ましい実施例について説明したが、本発明は特許請求の範囲に記載された要旨内で様々な変形・変更が可能である。

10

20

30

40

50

(付記1) シリコン基板上にシリコンと酸素を含む絶縁膜を形成する工程と、前記絶縁膜上にシリコン窒化膜を堆積する工程と、プラズマ窒化処理により前記シリコン窒化膜を改質する工程とを含むことを特徴とする半導体装置の製造方法。

(付記2) シリコン基板上のゲート領域を覆うようにシリコンと酸素を含む絶縁膜を形成する工程と、前記絶縁膜上にシリコン窒化膜を堆積する工程と、プラズマ窒化処理により前記シリコン窒化膜を改質する工程と、さらにゲート電極を形成する工程とを含むことを特徴とする半導体装置の製造方法。

(付記3) 付記1または2記載の半導体装置の製造方法において、前記絶縁膜はシリコン酸化膜であることを特徴とする半導体装置の製造方法。 10

(付記4) 付記1~3のうち、いずれか一項記載の半導体装置の製造方法において、前記絶縁膜はシリコン熱酸化膜であることを特徴とする半導体装置の製造方法。

(付記5) 付記1~4のうち、いずれか一項記載の半導体装置の製造方法において、前記プラズマ窒化処理は、マイクロ波リモートプラズマ処理装置を使って行われることを特徴とする半導体装置の製造方法。

(付記6) 付記1~5のうち、いずれか一項記載の半導体装置の製造方法において、前記シリコン窒化膜を改質する工程は、前記シリコン窒化膜表面に少なくとも窒素ラジカルを供給する工程を含むことを特徴とする半導体装置の製造方法。

(付記7) 付記1~6のうち、いずれか一項記載の半導体装置の製造方法において、前記シリコン窒化膜を改質する工程は、前記シリコン窒化膜表面に窒素ラジカルと窒素イオンとを供給する工程を含むことを特徴とする半導体装置の製造方法。 20

(付記8) 付記1~7のうち、いずれか一項に記載の半導体装置の製造方法において、前記プラズマ窒化処理を行う工程の後に、非酸化性ガス雰囲気中で熱処理を行う工程をさらに備えたことを特徴とする半導体装置の製造方法。

(付記9) 付記8記載の半導体装置の製造方法において、前記プラズマ窒化処理を行う工程と前記非酸化性ガス雰囲気中で熱処理を行う工程との間に、酸化性ガス雰囲気中で熱処理を行う工程をさらに備えたことを特徴とする半導体装置の製造方法。

(付記10) 付記1~9のうち、いずれか一項記載の半導体装置の製造方法において、前記絶縁膜にプラズマ窒化処理を行い、前記絶縁膜をシリコン酸窒化膜に変換する工程をさらに備えたことを特徴とする半導体装置の製造方法。 30

(付記11) 付記10記載の半導体装置の製造方法において、前記絶縁膜のプラズマ窒化処理は、マイクロ波リモートプラズマ処理装置を使い、発生した窒素ラジカルを、イオンフィルタを介して前記基板表面に供給する工程を含むことを特徴とする半導体装置の製造方法。

(付記12) 付記8または9記載の半導体装置の製造方法において、前記非酸化性ガス雰囲気中での熱処理は、600 から1100 の範囲の基板温度で実行されることを特徴とする半導体装置の製造方法。

(付記13) 付記1~12のうち、いずれか1項記載の半導体装置の製造方法において、前記シリコン窒化膜は、化学気相蒸着法により堆積されることを特徴とする半導体装置の製造方法。 40

(付記14) 付記1~13のうち、いずれか1項記載の半導体装置の製造方法において、前記プラズマ窒化処理は、20 から600 の範囲の基板温度で実行されることを特徴とする半導体装置の製造方法。

【0072】

【発明の効果】

本発明によれば、基板上にシリコンと酸素とを含む絶縁膜を形成することにより、基板と 50

前記絶縁膜との界面における窒素原子の偏析を抑制することができ、しかも前記絶縁膜上に比誘電率の大きいシリコン窒化膜を形成することにより、前記絶縁膜とシリコン窒化膜とを含めた膜全体の酸化膜換算膜厚を大きく低減することが可能になる。特に前記シリコンと酸素とを含む絶縁膜の膜厚をシリコン窒化膜の膜厚と比較して小さく抑制することにより、小さな酸化膜換算膜厚を実現することができる。

【図面の簡単な説明】

【図 1】(A) ~ (C) は、従来のプラズマ窒化処理によるシリコン酸化膜の改質処理を示す図である。

【図 2】(A) ~ (C) は、本発明の原理を説明する図である。

【図 3】(A) ~ (D) は、実施例 1 の CMOS デバイスの製造工程 (その一) を示す図である。 10

【図 4】(E) ~ (F) は、実施例 1 の CMOS デバイスの製造工程 (その二) を示す図である。

【図 5】実施例 1 のリモートプラズマ窒化装置の要部構成を示した図である。

【図 6】(A) ~ (D) は、実施例 2 の CMOS デバイスの製造工程 (その一) を示す図である。

【図 7】(E) ~ (G) は、実施例 2 の CMOS デバイスの製造工程 (その二) を示す図である。

【図 8】実施例 2 のリモートプラズマ窒化装置の要部構成を示した図である。

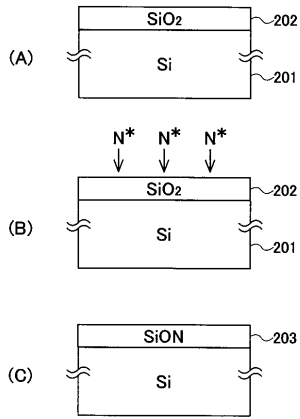
【図 9】ゲートリーク電流と酸化膜換算膜厚との関係を示した図である。 20

【符号の説明】

- 1 1 シリコン基板
- 1 2 素子分離領域
- 1 3 A、1 3 B 素子領域
- 1 5 p ウェル領域
- 1 6 A、1 6 B チャンネルドープ領域
- 1 7 n ウェル領域
- 1 8 シリコン酸化膜
- 1 9 シリコン窒化膜
- 2 0 ポリシリコン膜 30
- 2 1 ゲート電極
- 2 2 LDD 領域
- 2 3 サイドウォール絶縁膜
- 2 4 ソース/ドレイン領域
- 3 1 シリコン酸窒化膜
- 1 0 0、1 1 0 リモートプラズマ窒化装置

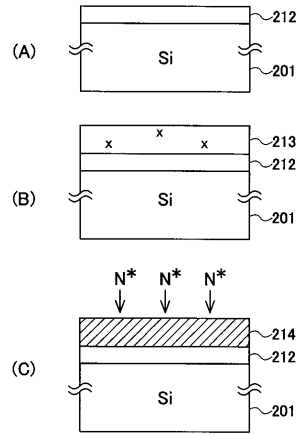
【 図 1 】

(A)~(C)は、従来のプラズマ窒化処理によるシリコン酸化膜の改質処理を示す図



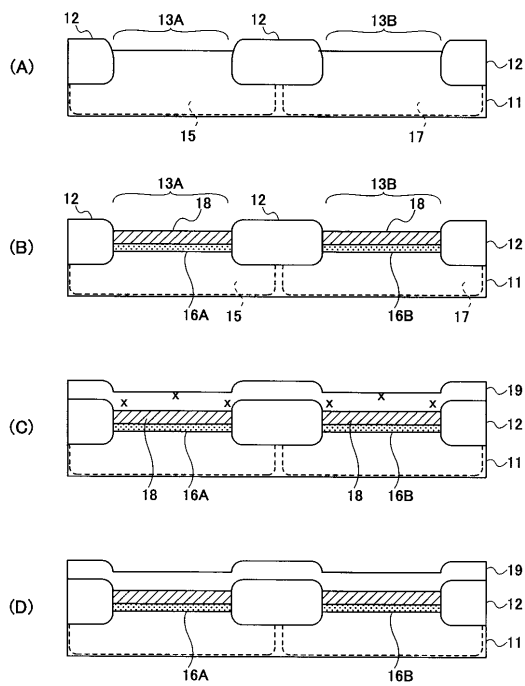
【 図 2 】

(A)~(C)は、本発明の原理を説明する図



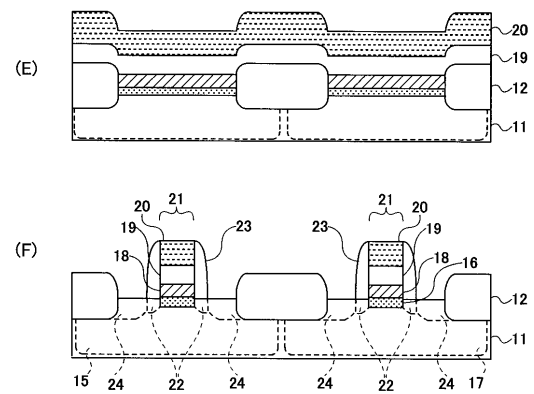
【 図 3 】

(A)~(D)は、実施例1のCMOSデバイスの製造工程(その一)を示す図



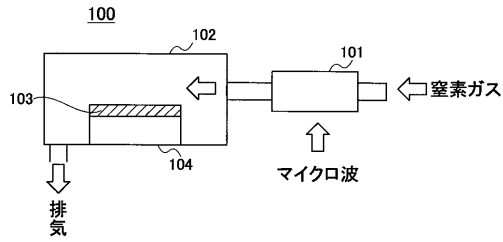
【 図 4 】

(E)~(F)は、実施例1のCMOSデバイスの製造工程(その二)を示す図



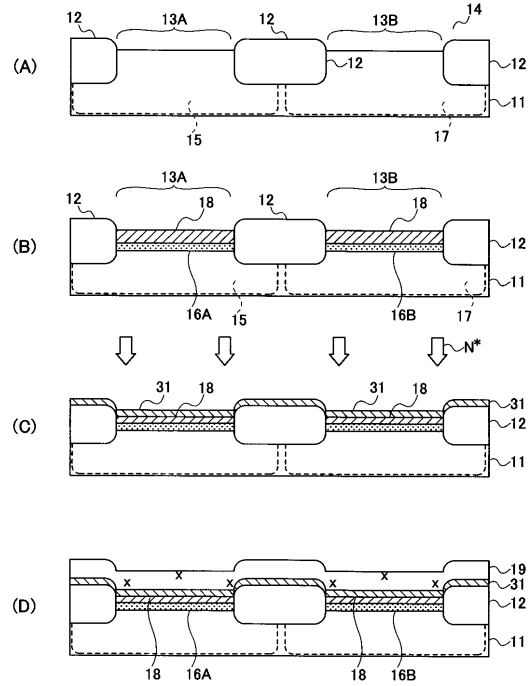
【 図 5 】

実施例1のリモートプラズマ窒化装置の要部構成を示した図



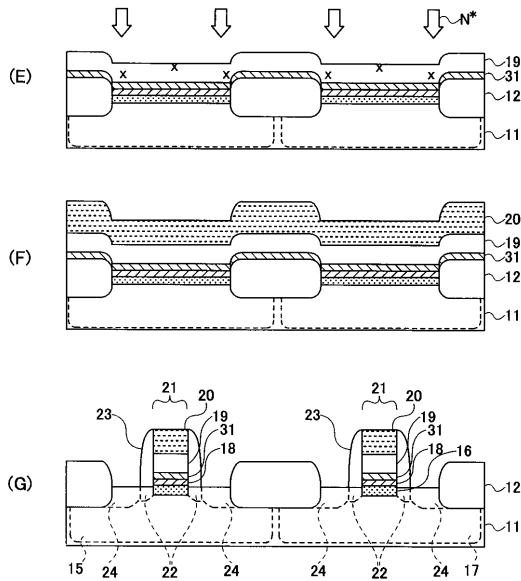
【 図 6 】

(A)~(D)は、実施例2のCMOSデバイスの製造工程(その一)を示す図



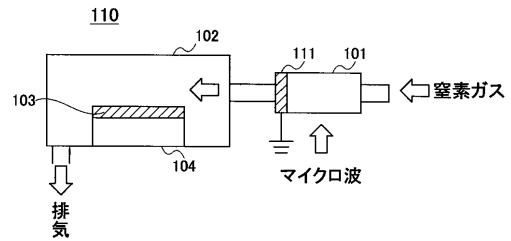
【 図 7 】

(E)~(G)は、実施例2のCMOSデバイスの製造工程(その二)を示す図

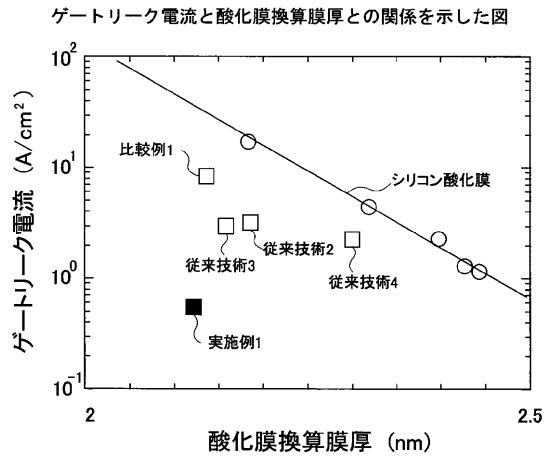


【 図 8 】

実施例2のリモートプラズマ窒化装置の要部構成を示した図



【 図 9 】



フロントページの続き

Fターム(参考) 5F140 AA24 AA39 AB03 BA01 BC06 BD01 BD02 BD05 BD07 BD09
BD10 BE02 BE05 BE07 BE08 BE10 BE13 BE16 BE17 BE19
BF01 BF04 BG08 BG12 BG28 BG52 BG53 BH15 BK02 BK13
CB01 CB04 CB08