



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0133031  
(43) 공개일자 2023년09월19일

- |  |  |
|--|--|
| (51) 국제특허분류(Int. Cl.)<br>G11C 11/406 (2006.01) G11C 11/4072 (2006.01)<br>G11C 11/408 (2006.01) G11C 8/18 (2015.01)<br>(52) CPC특허분류<br>G11C 11/40611 (2013.01)<br>G11C 11/4072 (2018.05)<br>(21) 출원번호 10-2022-0030039<br>(22) 출원일자 2022년03월10일<br>심사청구일자 없음 | (71) 출원인<br>에스케이하이닉스 주식회사<br>경기도 이천시 부발읍 경충대로 2091<br>(72) 발명자<br>김경목<br>경기도 이천시 부발읍 경충대로 2091<br>(74) 대리인<br>신성특허법인(유한) |
|--|--|

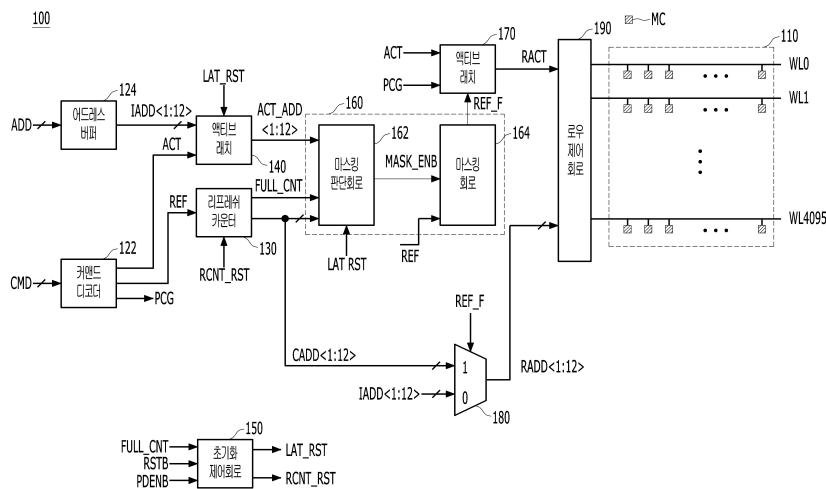
전체 청구항 수 : 총 24 항

(54) 발명의 명칭 리프레쉬 제어 장치를 포함하는 메모리 장치 및 메모리 시스템

(57) 요약

제안 발명의 실시예에 따른 메모리 장치는, 리프레쉬 커맨드에 따라 순차적으로 증가하는 카운팅 어드레스를 생성하는 리프레쉬 카운터; 액티브 커맨드에 따라 입력 어드레스에 대응하는 액티브 어드레스를 생성하는 액티브 래치; 및 상기 리프레쉬 커맨드에 따라 제 1 리프레쉬 구간 및 제 2 리프레쉬 구간을 반복하여 수행하며, 상기 제 1 리프레쉬 구간 동안 상기 액티브 어드레스의 하나 이상의 하이 비트를 토대로 선택된 상기 카운팅 어드레스에 대응되는 하나 이상의 워드 라인들이 선택적으로 리프레쉬 되도록 제어하고, 상기 제 2 리프레쉬 구간 동안 상기 카운팅 어드레스에 대응되는 모든 워드 라인들이 리프레쉬 되도록 제어하는 리프레쉬 제어 회로를 포함할 수 있다.

대표도



(52) CPC특허분류

*G11C 11/4085* (2013.01)

*G11C 8/18* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

리프레쉬 커맨드에 따라 순차적으로 증가하는 카운팅 어드레스를 생성하는 리프레쉬 카운터;  
 액티브 커맨드에 따라 입력 어드레스에 대응하는 액티브 어드레스를 생성하는 액티브 래치; 및  
 상기 리프레쉬 커맨드에 따라 제 1 리프레쉬 구간 및 제 2 리프레쉬 구간을 반복하여 수행하며, 상기 제 1 리프레쉬 구간 동안 상기 액티브 어드레스의 하나 이상의 하이 비트를 토대로 선택된 상기 카운팅 어드레스에 대응되는 하나 이상의 워드 라인들이 선택적으로 리프레쉬 되도록 제어하고, 상기 제 2 리프레쉬 구간 동안 상기 카운팅 어드레스에 대응되는 모든 워드 라인들이 리프레쉬 되도록 제어하는 리프레쉬 제어 회로를 포함하는 메모리 장치.

#### 청구항 2

제 1 항에 있어서,  
 상기 리프레쉬 제어 회로는,  
 상기 제 1 리프레쉬 구간 동안, 상기 액티브 어드레스의 하이 비트가 K 번째 비트인 경우, 최상위 하이 비트가 K 번째 비트인 카운팅 어드레스에 대응되는 하나 이상의 워드 라인들만 리프레쉬하고 나머지 워드 라인들의 리프레쉬는 생략되도록 제어하는 메모리 장치.

#### 청구항 3

제 1 항에 있어서,  
 상기 액티브 래치는,  
 상기 입력 어드레스의 비트들에 각각 대응하는 비트들로 구성된 상기 액티브 어드레스를 생성하며, 상기 액티브 커맨드가 입력될 때마다 상기 입력 어드레스의 비트들 중 최상위 하이 비트를 상기 액티브 어드레스의 대응하는 비트로 저장하는 메모리 장치.

#### 청구항 4

제 1 항에 있어서,  
 상기 액티브 래치는,  
 상기 입력 어드레스의 비트들에 각각 대응되어 상기 액티브 어드레스의 비트들을 저장하는 다수의 단위 래치들을 포함하고,  
 상기 각 단위 래치는,  
 상기 대응하는 비트가 최상위 하이 비트인 경우 활성화되는 입력 제어 신호를 생성하는 입력 제어부;  
 상기 액티브 커맨드에 따라 상기 입력 제어 신호를 제 1 셋 신호로 입력받는 입력부; 및  
 상기 제 1 셋 신호에 따라 셋되고, 파워-다운 신호, 리셋 모드 신호 또는 상기 리프레쉬 카운터의 풀-카운팅 신호에 따라 리셋되는 SR 래치

를 포함하는 메모리 장치.

#### 청구항 5

제 4 항에 있어서,  
 상기 입력 제어부는,  
 상기 대응하는 비트보다 상위에 위치한 비트들을 로직 노아 연산하는 제 1 로직 게이트; 및  
 상기 제 1 로직 게이트의 출력과 상기 대응하는 비트를 로직 앤드 연산하는 제 2 로직 게이트  
 를 포함하는 메모리 장치.

#### 청구항 6

제 1 항에 있어서,  
 상기 리프레쉬 카운터의 폴-카운팅에 따라 상기 리프레쉬 카운터를 초기화시키는 제 1 초기화 신호를 활성화시키는 제 1 초기화 회로; 및  
 파워-다운 신호, 리셋 모드 신호 및 상기 제 1 초기화 신호 중 하나라도 활성화되면 상기 액티브 래치를 초기화시키는 제 2 초기화 신호를 활성화시키는 제 2 초기화 회로  
 를 더 포함하는 메모리 장치.

#### 청구항 7

제 1 항에 있어서,  
 상기 리프레쉬 제어 회로는,  
 상기 리프레쉬 커맨드에 따라 상기 제 1 리프레쉬 구간 및 상기 제 2 리프레쉬 구간을 구분하는 구간 제어 신호를 생성하고, 상기 구간 제어 신호에 따라 상기 액티브 어드레스와 상기 카운팅 어드레스를 비교하여 마스킹 신호를 생성하는 마스킹 판단 회로; 및  
 상기 마스킹 신호에 따라 상기 리프레쉬 커맨드를 선택적으로 마스킹하여 최종 리프레쉬 커맨드를 출력하는 마스킹 회로  
 를 포함하는 메모리 장치.

#### 청구항 8

제 7 항에 있어서,  
 상기 마스킹 판단 회로는,  
 상기 리프레쉬 커맨드에 따라 상기 구간 제어 신호를 생성하되, 상기 리프레쉬 커맨드의 입력 횟수가 예정된 리프레쉬 횟수에 도달할 때마다 상기 구간 제어 신호의 로직 레벨을 변경하는 구간 제어 회로;  
 상기 카운팅 어드레스의 비트들에 각각 대응되는 검색 비트들을 생성하며, 상기 카운팅 어드레스의 비트들 중 최상위 하이 비트에 대응되는 검색 비트를 하이 비트로 생성 및 저장하는 비트 검색 회로; 및  
 상기 구간 제어 신호에 따라 상기 검색 비트들과 상기 액티브 어드레스의 비트들을 각각 비교하여 상기 마스킹 신호를 생성하는 마스킹 제어 회로

를 포함하는 메모리 장치.

### 청구항 9

제 8 항에 있어서,

상기 비트 검색 회로는,

상기 카운팅 어드레스의 비트들에 각각 대응되는 다수의 비트 디텍터들을 구비하며,

각 비트 디텍터는,

상기 카운팅 어드레스의 비트들 중 대응하는 비트가 최상위 하이 비트인 경우 활성화되는 제 2 셋 신호를 생성하는 셋 신호 생성부;

상기 대응하는 비트의 다음 상위 비트 또는 제 2 초기화 신호에 따라 리셋 신호를 생성하는 리셋 신호 생성부; 및

상기 제 2 셋 신호에 따라 셋되고, 상기 리셋 신호에 따라 리셋되는 SR 래치

를 포함하는 메모리 장치.

### 청구항 10

제 8 항에 있어서,

상기 마스크 제어 회로는,

상기 검색 비트들과 상기 액티브 어드레스의 비트들을 각각 비교하여 다수의 비교 비트들을 출력하는 다수의 비교 로직들; 및

상기 구간 제어 신호가 제 1 로직 레벨인 경우 상기 비교 비트들에 따라 상기 마스크 신호를 선택적으로 비활성화시키고, 상기 구간 제어 신호가 제 2 로직 레벨인 경우 상기 마스크 신호를 비활성화시켜 출력하는 신호 출력부

를 포함하는 메모리 장치.

### 청구항 11

제 1 항에 있어서,

상기 리프레쉬 제어 회로로부터 출력되는 최종 리프레쉬 커맨드에 따라 상기 카운팅 어드레스 또는 상기 입력 어드레스 중 하나를 선택하여 로우 어드레스로 출력하는 선택 회로;

상기 액티브 커맨드 또는 상기 최종 리프레쉬 커맨드에 따라 활성화되는 로우 액티브 신호를 생성하는 액티브 제어 회로; 및

상기 로우 액티브 신호에 따라 상기 로우 어드레스에 대응되는 적어도 하나의 워드 라인을 활성화시키는 로우 제어 회로

를 더 포함하는 메모리 장치.

### 청구항 12

제 1 리프레쉬 구간 및 제 2 리프레쉬 구간 동안 각각 기 설정된 개수의 리프레쉬 커맨드를 제공하거나 액티브 커맨드와 함께 어드레스를 제공하는 메모리 컨트롤러; 및

상기 액티브 커맨드에 따라 상기 어드레스에 대응되는 액티브 어드레스를 생성하고, 상기 리프레쉬 커맨드에 따

라 순차적으로 증가하는 카운팅 어드레스를 생성하고, 상기 제 1 리프레쉬 구간 동안 상기 액티브 어드레스의 적어도 하나의 하이 비트를 토대로 선택된 상기 카운팅 어드레스에 대응되는 하나 이상의 워드 라인들을 선택적으로 리프레쉬하고, 상기 제 2 리프레쉬 구간 동안 상기 카운팅 어드레스에 대응되는 모든 워드 라인들을 리프레쉬하는 메모리 장치

를 포함하는 메모리 시스템.

### 청구항 13

제 12 항에 있어서,

상기 메모리 장치는,

상기 제 1 리프레쉬 구간 및 상기 제 2 리프레쉬 구간을 반복적으로 수행하는 메모리 시스템.

### 청구항 14

제 12 항에 있어서,

상기 메모리 장치는,

상기 제 1 리프레쉬 구간 동안, 상기 액티브 어드레스의 하이 비트가 K 번째 비트인 경우, 최상위 하이 비트가 K 번째 비트인 카운팅 어드레스들에 대응되는 워드 라인들만 리프레쉬하고 나머지 워드 라인들의 리프레쉬는 생략되도록 제어하는 메모리 시스템.

### 청구항 15

제 12 항에 있어서,

상기 메모리 장치는,

제 1 초기화 신호에 따라 초기화되며, 상기 리프레쉬 커맨드에 따라 순차적으로 증가하는 상기 카운팅 어드레스를 생성하는 리프레쉬 카운터;

제 2 초기화 신호에 따라 초기화되며 상기 어드레스의 비트들에 각각 대응하는 비트들로 구성된 상기 액티브 어드레스를 생성하며, 상기 액티브 커맨드가 입력될 때마다 상기 어드레스의 비트들 중 최상위 하이 비트를 상기 액티브 어드레스의 대응하는 비트로 저장하는 액티브 래치;

상기 리프레쉬 커맨드에 따라 상기 제 1 리프레쉬 구간 및 상기 제 2 리프레쉬 구간을 구분하는 구간 제어 신호를 생성하고, 상기 구간 제어 신호에 따라 상기 액티브 어드레스와 상기 카운팅 어드레스를 비교하여 마스킹 신호를 생성하는 마스킹 판단 회로; 및

상기 마스킹 신호에 따라 상기 리프레쉬 커맨드를 선택적으로 마스킹하여 최종 리프레쉬 커맨드를 출력하는 마스킹 회로

를 포함하는 메모리 시스템.

### 청구항 16

제 15 항에 있어서,

상기 액티브 래치는,

상기 어드레스의 비트들에 각각 대응되어 상기 액티브 어드레스의 비트들을 저장하는 다수의 단위 래치들을 포함하고,

상기 각 단위 래치는,  
 상기 대응하는 비트가 최상위 하이 비트인 경우 활성화되는 입력 제어 신호를 생성하는 입력 제어부;  
 상기 액티브 커맨드에 따라 상기 입력 제어 신호를 제 1 셋 신호로 입력받는 입력부; 및  
 상기 제 1 셋 신호에 따라 셋되고, 상기 제 2 초기화 신호에 따라 리셋되는 SR 래치  
 를 포함하는 메모리 시스템.

**청구항 17**

제 15 항에 있어서,  
 상기 메모리 장치는,  
 상기 리프레쉬 카운터의 풀-카운팅에 따라 상기 제 1 초기화 신호를 활성화시키는 제 1 초기화 회로; 및  
 파워-다운 신호, 리셋 모드 신호 및 상기 제 1 초기화 신호 중 하나라도 활성화되면 상기 제 2 초기화 신호를  
 활성화시키는 제 2 초기화 회로  
 를 더 포함하는 메모리 시스템.

**청구항 18**

제 15 항에 있어서,  
 상기 마스크 판단 회로는,  
 상기 리프레쉬 커맨드에 따라 상기 구간 제어 신호를 생성하되, 상기 리프레쉬 커맨드의 입력 횟수가 예정된 리  
 프래쉬 횟수에 도달할 때마다 상기 구간 제어 신호의 로직 레벨을 변경하는 구간 제어 회로;  
 상기 카운팅 어드레스의 비트들에 각각 대응되는 검색 비트들을 생성하며, 상기 카운팅 어드레스의 비트들 중  
 최상위 하이 비트에 대응되는 검색 비트를 하이 비트로 생성 및 저장하는 비트 검색 회로; 및  
 상기 구간 제어 신호에 따라 상기 검색 비트들과 상기 액티브 어드레스의 비트들을 각각 비교하여 상기 마스크  
 신호를 생성하는 마스크 제어 회로  
 를 포함하는 메모리 시스템.

**청구항 19**

제 18 항에 있어서,  
 상기 비트 검색 회로는,  
 상기 카운팅 어드레스의 비트들에 각각 대응되는 다수의 비트 디텍터들을 구비하며,  
 각 비트 디텍터는,  
 상기 카운팅 어드레스의 비트들 중 대응하는 비트가 최상위 하이 비트인 경우 활성화되는 제 2 셋 신호를 생성  
 하는 셋 신호 생성부;  
 상기 대응하는 비트의 다음 상위 비트 또는 상기 제 2 초기화 신호에 따라 리셋 신호를 생성하는 리셋 신호 생  
 성부; 및  
 상기 제 2 셋 신호에 따라 셋되고, 상기 리셋 신호에 따라 리셋되는 SR 래치  
 를 포함하는 메모리 시스템.

**청구항 20**

제 18 항에 있어서,

상기 마스크 제어 회로는,

상기 구간 제어 신호가 제 1 로직 레벨인 경우 상기 검색 비트들과 상기 액티브 어드레스의 비트들을 각각 비교한 결과에 따라 상기 마스크 신호를 선택적으로 비활성화시키고,

상기 구간 제어 신호가 제 2 로직 레벨인 경우 상기 마스크 신호를 비활성화시켜 출력하는 메모리 시스템.

**청구항 21**

메모리 컨트롤러가, 제 1 리프레쉬 구간 동안 기 설정된 개수의 리프레쉬 커맨드를 제공하는 단계;

상기 제 1 리프레쉬 구간 동안, 메모리 장치가, 상기 리프레쉬 커맨드에 따라 순차적으로 증가하는 카운팅 어드레스를 생성하고, 액티브 어드레스의 적어도 하나의 하이 비트를 토대로 선택된 상기 카운팅 어드레스에 대응되는 하나 이상의 워드 라인들을 선택적으로 리프레쉬하는 단계;

상기 메모리 컨트롤러가, 제 2 리프레쉬 구간 동안 상기 기 설정된 개수의 리프레쉬 커맨드를 제공하는 단계; 및

상기 제 2 리프레쉬 구간 동안, 상기 메모리 장치가, 상기 리프레쉬 커맨드에 따라 상기 카운팅 어드레스를 생성하고, 상기 리프레쉬 커맨드에 따라 상기 카운팅 어드레스에 대응되는 모든 워드 라인들을 리프레쉬하는 단계를 포함하고, 상기 제 1 리프레쉬 구간 및 상기 제 2 리프레쉬 구간을 반복하여 수행하는 메모리 시스템의 동작 방법.

**청구항 22**

제 21 항에 있어서,

상기 제 1 리프레쉬 구간 동안, 상기 메모리 장치는,

상기 액티브 어드레스의 하이 비트가 K 번째 비트인 경우, 최상위 하이 비트가 K 번째 비트인 카운팅 어드레스에 대응되는 하나 이상의 워드 라인들만 리프레쉬하고 나머지 워드 라인들의 리프레쉬는 생략되도록 제어하는 메모리 시스템의 동작 방법.

**청구항 23**

제 21 항에 있어서,

상기 메모리 장치는 상기 입력 어드레스의 비트들에 각각 대응되어 상기 액티브 어드레스의 비트들을 저장하는 다수의 단위 래치들을 포함하고,

액티브 커맨드가 입력될 때마다 상기 입력 어드레스의 비트들 중 최상위 하이 비트를 대응하는 단위 래치에 저장하는 단계

를 더 포함하는 메모리 시스템의 동작 방법.

**청구항 24**

제 21 항에 있어서,

상기 리프레쉬하는 단계 후 상기 카운팅 어드레스를 초기화하는 단계; 및

상기 카운팅 어드레스의 초기화 시, 또는 리셋 또는 파워-다운 모드의 탈출 시 상기 액티브 어드레스를 초기화



하는 단계

를 더 포함하는 메모리 시스템의 동작 방법.

### 발명의 설명

#### 기술 분야

[0001] 본 특허문헌은 반도체 설계 기술에 관한 것으로, 구체적으로는 리프레쉬 동작을 수행하는 메모리 장치에 관한 것이다.

#### 배경 기술

[0003] 반도체 메모리 장치의 메모리 셀은 스위치역할을 하는 트랜지스터와 전하(데이터)를 저장하는 캐패시터로 구성되어 있다. 메모리 셀 내의 캐패시터에 전하가 있는가 없는가에 따라, 즉 캐패시터의 단자 전압이 높은가 낮은가에 따라 데이터의 '하이'(논리 1), '로우'(논리 0)를 구분한다.

[0004] 데이터의 보관은 캐패시터에 전하가 축적된 형태로 되어 있는 것이므로 원리적으로는 전력의 소비가 없다. 그러나 트랜지스터의 PN결합 등에 의한 누설 전류가 있어서 캐패시터에 저장된 초기의 전하량이 소멸되므로 데이터가 소실될 수 있다. 이를 방지하기 위해서 데이터를 잃어버리기 전에 메모리 셀 내의 데이터를 읽어서 그 읽어진 정보에 맞추어 다시금 정상적인 전하량을 재충전해 주어야 한다. 이러한 동작은 주기적으로 반복되어야만 데이터의 기억이 유지되는데, 이러한 셀 전하의 재충전 과정을 리프레쉬(refresh) 동작이라 한다.

[0005] 리프레쉬 동작은 메모리 컨트롤러로부터 메모리 장치로 리프레쉬 커맨드가 인가될 때마다 수행되는 오토 리프레쉬 동작과, 메모리 컨트롤러가 리프레쉬 구간만 설정해주면 메모리 장치 자체적으로 수행하는 셀프 리프레쉬 동작으로 나뉘어진다. 오토 리프레쉬 동작 시, 메모리 컨트롤러는 메모리 장치의 다수의 뱅크들 중 일부 또는 모든 뱅크들에 대한 리프레쉬 동작을 수행하기 위한 리프레쉬 커맨드를 복수 회 제공하고, 메모리 장치는 리프레쉬 커맨드가 입력될 때 마다 워드 라인들을 순차적으로 리프레쉬할 수 있다.

### 발명의 내용

#### 해결하려는 과제

[0007] 본 발명의 실시예들은 액티브 커맨드와 함께 입력된 입력 어드레스의 최상위 하이 비트를 토대로 선택된 워드 라인들에 리프레쉬 동작을 선택적으로 수행할 수 있는 메모리 장치를 제공할 수 있다.

#### 과제의 해결 수단

[0009] 본 발명의 실시예에 따르면, 메모리 장치는, 리프레쉬 커맨드에 따라 순차적으로 증가하는 카운팅 어드레스를 생성하는 리프레쉬 카운터; 액티브 커맨드에 따라 입력 어드레스에 대응하는 액티브 어드레스를 생성하는 액티브 래치; 및 상기 리프레쉬 커맨드에 따라 제 1 리프레쉬 구간 및 제 2 리프레쉬 구간을 반복하여 수행하며, 상기 제 1 리프레쉬 구간 동안 상기 액티브 어드레스의 하나 이상의 하이 비트를 토대로 선택된 상기 카운팅 어드레스에 대응되는 하나 이상의 워드 라인들이 선택적으로 리프레쉬 되도록 제어하고, 상기 제 2 리프레쉬 구간 동안 상기 카운팅 어드레스에 대응되는 모든 워드 라인들이 리프레쉬 되도록 제어하는 리프레쉬 제어 회로를 포함할 수 있다.

[0010] 본 발명의 실시예에 따르면, 메모리 시스템은, 제 1 리프레쉬 구간 및 제 2 리프레쉬 구간 동안 각각 기 설정된 개수의 리프레쉬 커맨드를 제공하거나 액티브 커맨드와 함께 어드레스를 제공하는 메모리 컨트롤러; 및 상기 액티브 커맨드에 따라 상기 어드레스에 대응되는 액티브 어드레스를 생성하고, 상기 리프레쉬 커맨드에 따라 순차적으로 증가하는 카운팅 어드레스를 생성하고, 상기 제 1 리프레쉬 구간 동안 상기 액티브 어드레스의 적어도 하나의 하이 비트를 토대로 선택된 상기 카운팅 어드레스에 대응되는 하나 이상의 워드 라인들을 선택적으로 리프레쉬하고, 상기 제 2 리프레쉬 구간 동안 상기 카운팅 어드레스에 대응되는 모든 워드 라인들을 리프레쉬하는

메모리 장치를 포함할 수 있다.

[0011] 본 발명의 실시예에 따르면, 메모리 시스템의 동작 방법은, 메모리 컨트롤러가, 제 1 리프레쉬 구간 동안 기 설정된 개수의 리프레쉬 커맨드를 제공하는 단계; 상기 제 1 리프레쉬 구간 동안, 메모리 장치가, 상기 리프레쉬 커맨드에 따라 순차적으로 증가하는 카운팅 어드레스를 생성하고, 액티브 어드레스의 적어도 하나의 하이 비트를 토대로 선택된 상기 카운팅 어드레스에 대응되는 하나 이상의 워드 라인들을 선택적으로 리프레쉬하는 단계; 상기 메모리 컨트롤러가, 제 2 리프레쉬 구간 동안 상기 기 설정된 개수의 리프레쉬 커맨드를 제공하는 단계; 및 상기 제 2 리프레쉬 구간 동안, 상기 메모리 장치가, 상기 리프레쉬 커맨드에 따라 상기 카운팅 어드레스를 생성하고, 상기 리프레쉬 커맨드에 따라 상기 카운팅 어드레스에 대응되는 모든 워드 라인들을 리프레쉬하는 단계를 포함하고, 상기 제 1 리프레쉬 구간 및 상기 제 2 리프레쉬 구간을 반복하여 수행할 수 있다.

### 발명의 효과

[0013] 제안된 실시예에 따른 메모리 장치는, 액티브 동작이 수행되지 않은 워드 라인의 리프레쉬 동작을 생략함으로써 리프레쉬 동작 시 소모되는 파워 소모를 최소화하는 효과가 있다.

### 도면의 간단한 설명

[0015] 도 1 은 메모리 장치의 리프레쉬 동작을 설명하기 위한 도면이다.  
 도 2 는 본 발명의 실시예에 따른 메모리 장치의 블록도 이다.  
 도 3 은 도 2 의 리프레쉬 카운터의 상세 구성을 설명하기 위한 회로도 이다.  
 도 4 는 도 2 의 액티브 래치의 상세 구성을 설명하기 위한 회로도 이다.  
 도 5 는 도 2 의 초기화 제어 회로의 상세 구성을 설명하기 위한 회로도 이다.  
 도 6 은 도 2 의 마스크 판단 회로의 상세 구성을 설명하기 위한 블록도 이다.  
 도 7 은 도 6 의 비트 검색 회로의 상세 구성을 설명하기 위한 회로도 이다.  
 도 8 은 도 6 의 마스크 제어 회로의 상세 구성을 설명하기 위한 회로도 이다.  
 도 9 는 도 2 의 마스크 회로의 상세 구성을 설명하기 위한 회로도 이다.  
 도 10 은 본 발명의 실시예에 따른 메모리 장치의 동작을 설명하기 위한 순서도 이다.  
 도 11 내지 도 12c 는 본 발명의 실시예에 따른 메모리 장치의 동작을 설명하기 위한 파형도 및 테이블 이다.  
 도 13 내지 도 14g 는 본 발명의 다른 실시예에 따른 메모리 장치의 동작을 설명하기 위한 파형도 및 테이블 이다.  
 도 15 는 본 발명의 실시예에 따른 메모리 시스템의 블록도 이다.

### 발명을 실시하기 위한 구체적인 내용

[0016] 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있도록 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예들을 첨부 도면을 참조하여 설명하고자 한다.

[0018] 이하에서는, 발명의 요지를 충실히 설명하기 위해, 리프레쉬 동작과 관련된 로우 제어 측면을 중심으로 설명한다.

[0019] 도 1 은 메모리 장치(10)의 리프레쉬 동작을 설명하기 위한 도면이다.

[0020] 도 1 을 참조하면, 메모리 장치(10)는 다수의 뱅크들(BK, 예를 들어, 16 개의 뱅크들)을 포함할 수 있다. 다수의 뱅크들(BK)의 다수의 로우 라인들(즉, 워드 라인들)은 로우 어드레스의 비트들의 로직 조합에 각각 대응할 수 있다. 각 뱅크(BK)는, 리프레쉬 단위에 따라 다수의 블록들(예를 들어, 제 1 내지 제 8 블록(BLK1~BLK8))로

구분될 수 있다.

- [0021] 한편, 메모리 컨트롤러는, 스펙에 설정된 리프레쉬 간격(즉, tREFI) 마다 주기적으로 리프레쉬 커맨드를 메모리 장치(10)에 발행한다. 예를 들어, DDR4 SDRAM의 경우, 메모리 컨트롤러는, 리프레쉬 사이클(즉, tREF) 64ms 동안 리프레쉬 간격(tREFI) 마다 8K (즉, 8192) 개의 리프레쉬 커맨드를 발행해야 하며, 메모리 장치(10)는 리프레쉬 커맨드에 응답하여 다수의 워드 라인들을 순차적으로 리프레쉬하는 노멀 리프레쉬 동작을 수행할 수 있다. 이 때, 노멀 리프레쉬 동작은 워드 라인 단위로 수행되며, 로우 어드레스 스트로브 최소 시간(tRAS) 동안 각 워드 라인을 액티브-프리차지시켜 노멀 리프레쉬 동작을 수행할 수 있다.
- [0022] 메모리 장치(10)는, 리프레쉬 사이클(tREF) 동안 입력되는 8K 개의 리프레쉬 커맨드에 응답하여 모든 워드 라인들을 리프레쉬해야 하므로, 한 개의 리프레쉬 커맨드 당 다수 개의 워드 라인들을 동시에 활성화시킬 수 있다. 예를 들어, 각 뱅크(BK)가 64K 개의 워드 라인들로 구성되는 경우, 제 1 내지 제 8 블록(BLK1~BLK8)은 각각 8K 개의 워드 라인들(즉, 제 1 내지 제 8192 워드 라인(WL0~WL8191))을 포함하며, 한 개의 리프레쉬 커맨드에 응답하여 각 블록의 워드 라인들이 동시에 리프레쉬 될 수 있다. 따라서, 메모리 장치(10)는, 한 개의 리프레쉬 커맨드에 응답하여 16 개의 뱅크(BK) 내 8 개의 워드 라인들(즉, 8\*16=128개)를 동시에 리프레쉬 할 수 있다.
- [0023] 상기와 같이, 메모리 장치(10)는, 액티브 동작, 리드 동작, 라이트 동작, 프리차지 동작 외에 데이터 보유 시간을 확보하기 위한 리프레쉬 동작으로 인한 파워 소모가 발생한다.
- [0024] 이하, 제안 발명에서는, 액티브 동작이 수행되지 않은 워드 라인의 리프레쉬 동작을 생략함으로써 리프레쉬 동작 시 전류 소모를 최소화하는 방법을 설명하기로 한다.
- [0026] 도 2 는 본 발명의 실시예에 따른 메모리 장치(100)의 블록도 이다.
- [0027] 도 2 를 참조하면, 메모리 장치(100)는, 메모리 셀 어레이(110), 커맨드 디코더(122), 어드레스 버퍼(124), 리프레쉬 카운터(130), 액티브 래치(140), 초기화 제어 회로(150), 리프레쉬 제어 회로(160), 액티브 제어 회로(170), 어드레스 선택 회로(180) 및 로우 제어 회로(190)를 포함할 수 있다.
- [0028] 메모리 셀 어레이(110)는, 다수의 워드 라인들(WL)과 다수의 비트 라인들 사이에서 어레이 형태로 배치된 다수의 메모리 셀들(MC)을 포함할 수 있다. 도 1 에서 설명된 바와 같이, 메모리 셀 어레이(110)는, 리프레쉬 단위에 따라 구분되는 다수의 블록들로 각각 구성되는 다수의 뱅크들을 포함할 수 있다. 도 2 에서는, 제 1 내지 제 4096 워드 라인(WL0~WL4095)이 메모리 셀 어레이(110)에 배치된 경우가 도시되어 있다.
- [0029] 커맨드 디코더(122)는, 외부 장치(예를 들어, 메모리 컨트롤러)에서 입력되는 커맨드(CMD)를 디코딩하여 로우 액세스 동작에 관련된 액티브 커맨드(ACT), 리프레쉬 커맨드(REF) 및 프리차지 커맨드(PCG) 등의 내부 커맨드를 생성할 수 있다. 이외에도, 커맨드 디코더(122)는, 데이터 입출력 동작에 관련된 라이트 커맨드 또는 리드 커맨드 등을 생성할 수 있다. 어드레스 버퍼(124)는, 메모리 컨트롤러에서 제공되는 어드레스(ADD)를 버퍼링하여 입력 어드레스(IADD<1:12>)를 생성할 수 있다. 입력 어드레스(IADD<1:12>)는, 워드 라인들(WL)을 지정하기 위한 로우 어드레스 및 비트 라인들을 지정하기 위한 컬럼 어드레스로 구분될 수 있으며, 이하, 제안 발명의 실시예에서는, 입력 어드레스(IADD<1:12>)가 제 1 내지 제 4096 워드 라인(WL0~WL4095)을 각각 지정하기 위한 12 비트의 로우 어드레스로 구성된 경우를 예로 들어 설명하기로 한다. 커맨드(CMD)와 어드레스(ADD)는 각각 멀티 비트들을 포함할 수 있다.
- [0030] 리프레쉬 카운터(130)는, 리프레쉬 커맨드(REF)에 따라 순차적으로 증가하는 카운팅 어드레스(CADD<1:12>)를 생성할 수 있다. 리프레쉬 카운터(130)는, 리프레쉬 커맨드(REF)가 입력될 때마다 카운팅 어드레스(CADD<1:12>)를 “+1” 씩 증가시켜 출력할 수 있다. 리프레쉬 카운터(130)는, 제 1 초기화 신호(RCNT\_RST)에 응답하여 카운팅 어드레스(CADD<1:12>)의 모든 비트를 로우 비트로 초기화시킬 수 있다. 이하, 제안 발명의 실시예에서는, 카운팅 어드레스(CADD<1:12>)가 입력 어드레스(IADD<1:12>)와 동일한 12 비트로 구성된 경우를 예로 들어 설명한다. 리프레쉬 카운터(130)는, 카운팅 어드레스(CADD<1:12>)의 모든 비트가 하이 비트가 되어 풀 카운팅된 후, 풀-카운팅 신호(FULL\_CNT)를 로직 하이 레벨로 활성화시켜 출력할 수 있다. 즉, 리프레쉬 커맨드(REF)가 4096 회 입력되면, 리프레쉬 카운터(130)는 풀-카운팅 신호(FULL\_CNT)를 로직 하이 레벨로 활성화시켜 출력할 수 있다. 제 1 초기화 신호(RCNT\_RST)는 풀-카운팅 신호(FULL\_CNT)에 따라 활성화될 수 있다. 리프레쉬 카운터(130)의 상세 구성에 대해서는 도 3 을 참조하여 설명하기로 한다.
- [0031] 액티브 래치(140)는, 액티브 커맨드(ACT)에 따라 입력 어드레스(IADD<1:12>)에 대응하는 액티브 어드레스

(ACT\_ADD<1:12>)를 생성할 수 있다. 특히, 제안 발명의 실시예에서, 액티브 래치(140)는, 입력 어드레스 (IADD<1:12>)의 비트들에 각각 대응하는 비트들로 구성되는 액티브 어드레스(ACT\_ADD<1:12>)를 생성하며, 액티브 커맨드(ACT)가 입력될 때마다 입력 어드레스(IADD<1:12>)의 비트들 중 최상위 하이 비트(Most Significant High Bit)만을 액티브 어드레스(ACT\_ADD<1:12>)의 대응되는 비트로 저장할 수 있다. 액티브 커맨드(ACT)와 함께 입력되는 입력 어드레스(IADD<1:12>)는, 액티브 동작 시 액티브 커맨드(ACT)에 따라 활성화될 워드 라인을 지정하기 위한 어드레스가 될 수 있다. 참고로, 제안 발명의 실시예에서, 최상위 하이 비트(Most Significant High Bit)는, 특정 드레스를 구성하는 다수의 비트들의 하이 비트들 중 최상위(가장 왼쪽 위치)에 위치한 하이 비트로 정의될 수 있다. 액티브 래치(140)는, 제 2 초기화 신호(LAT\_RST)에 응답하여 초기화되어 액티브 어드레스(ACT\_ADD<1:12>)를 초기화시킬 수 있다. 액티브 래치(140)의 상세 구성에 대해서는 도 4 를 참조하여 설명하기로 한다.

[0032] 초기화 제어 회로(150)는, 풀-카운팅 신호(FULL\_CNT), 파워-다운 신호(PDENB) 및 리셋 모드 신호(RSTB)에 따라 제 1 초기화 신호(RCNT\_RST) 및 제 2 초기화 신호(LAT\_RST)를 생성할 수 있다. 초기화 제어 회로(150)는, 풀-카운팅 신호(FULL\_CNT)에 응답하여 제 1 초기화 신호(RCNT\_RST)를 생성하고, 제 1 초기화 신호(RCNT\_RST), 파워-다운 신호(PDENB) 또는 리셋 모드 신호(RSTB)에 따라 제 2 초기화 신호(LAT\_RST)를 활성화시킬 수 있다. 파워-다운 신호(PDENB)는, 파워-다운 모드에서 로직 로우 레벨로 활성화되는 신호이고, 리셋 모드 신호(RSTB)는, 메모리 장치(100)를 초기화시키기 위한 리셋 모드 시 로직 로우 레벨로 활성화되는 신호일 수 있다. 초기화 제어 회로(150)의 상세 구성에 대해서는 도 5 를 참조하여 설명하기로 한다.

[0033] 리프레쉬 제어 회로(160)는, 리프레쉬 커맨드(REF)에 따라 제 1 리프레쉬 구간 및 제 2 리프레쉬 구간을 반복하여 수행할 수 있다. 제 1 리프레쉬 구간 및 제 2 리프레쉬 구간은 각각 리프레쉬 사이클(tREF) 동안 수행될 수 있다. 예를 들어, 오토 리프레쉬 동작 시, 메모리 컨트롤러는 각 리프레쉬 사이클(tREF) 동안 리프레쉬 커맨드(REF)를 4096 회 제공할 수 있다. 리프레쉬 제어 회로(160)는, 제 1 리프레쉬 구간 동안 4096 회 제공되는 리프레쉬 커맨드(REF)에 따라, 액티브 어드레스(ACT\_ADD<1:12>)의 하나 이상의 하이 비트를 토대로 선택된 카운팅 어드레스(CADD<1:12>)에 대응되는 하나 이상의 워드 라인들이 선택적으로 리프레쉬 되도록 제어할 수 있다. 리프레쉬 제어 회로(160)는, 제 1 리프레쉬 구간 동안, 액티브 어드레스(ACT\_ADD<1:12>)의 하이 비트가 K 번째 비트인 경우, 최상위 하이 비트가 K 번째 비트인 카운팅 어드레스(CADD<1:12>)에 대응되는 하나 이상의 워드 라인들만 리프레쉬하고 나머지 워드 라인들의 리프레쉬는 생략되도록 제어할 수 있다. 또한, 리프레쉬 제어 회로(160)는, 제 2 리프레쉬 구간 동안 4096 회 제공되는 리프레쉬 커맨드(REF)에 따라, 카운팅 어드레스(CADD<1:12>)에 대응되는 모든 워드 라인들이 순차적으로 리프레쉬 되도록 제어할 수 있다.

[0034] 보다 자세하게, 리프레쉬 제어 회로(160)는, 마스킹 판단 회로(162) 및 마스킹 회로(164)를 포함할 수 있다.

[0035] 마스킹 판단 회로(162)는, 리프레쉬 커맨드(REF)에 따라 제 1 리프레쉬 구간 및 제 2 리프레쉬 구간을 구분하는 구간 제어 신호(도 6 의 SKIP\_CTRL)를 생성할 수 있다. 바람직하게, 마스킹 판단 회로(162)는, 리프레쉬 커맨드(REF)가 소정 횟수(예를 들어, 4096 회)에 도달할 때마다 활성화되는 풀-카운팅 신호(FULL\_CNT)에 따라 제 1 리프레쉬 구간 및 제 2 리프레쉬 구간을 구분하는 구간 제어 신호(SKIP\_CTRL)를 생성할 수 있다. 마스킹 판단 회로(162)는, 구간 제어 신호(SKIP\_CTRL)에 따라 액티브 어드레스(ACT\_ADD<1:12>) 및 카운팅 어드레스(CADD<1:12>)를 비교하여 마스킹 신호(MASK\_ENB)를 생성할 수 있다. 마스킹 신호(MASK\_ENB)는 로직 로우 레벨로 활성화되는 신호일 수 있다. 마스킹 판단 회로(162)는, 제 2 초기화 신호(LAT\_RST)에 따라 초기화될 수 있다. 마스킹 판단 회로(162)의 상세 구성에 대해서는 도 6 내지 도 8 을 참조하여 설명하기로 한다.

[0036] 마스킹 회로(164)는, 마스킹 신호(MASK\_ENB)에 따라 리프레쉬 커맨드(REF)를 선택적으로 마스킹하여 최종 리프레쉬 커맨드(REF\_F)를 출력할 수 있다. 마스킹 회로(164)는, 마스킹 신호(MASK\_ENB)가 로직 로우 레벨로 활성화된 경우, 최종 리프레쉬 커맨드(REF\_F)가 출력되지 않도록 리프레쉬 커맨드(REF)를 마스킹할 수 있다. 마스킹 회로(164)의 상세 구성에 대해서는 도 9 를 참조하여 설명하기로 한다.

[0037] 액티브 제어 회로(170)는, 액티브 커맨드(ACT), 프리차지 커맨드(PCG) 및 최종 리프레쉬 커맨드(REF\_F)에 따라 로우 액티브 신호(RACT)를 생성할 수 있다. 액티브 제어 회로(170)는, 액티브 커맨드(ACT)에 따라 활성화되고 프리차지 커맨드(PCG)에 비활성화되는 로우 액티브 신호(RACT)를 생성할 수 있다. 액티브 제어 회로(170)는, 최종 리프레쉬 커맨드(REF\_F)에 따라 활성화되고, 로우 어드레스 스트로브 최소 시간(tRAS) 이후 비활성화되는 로우 액티브 신호(RACT)를 생성할 수 있다.

[0038] 어드레스 선택 회로(180)는, 최종 리프레쉬 커맨드(REF\_F)에 따라 카운팅 어드레스(CADD<1:12>) 또는 입력 어드레스(IADD<1:12>) 중 하나를 선택하여 로우 어드레스(RADD<1:12>)로 출력할 수 있다. 어드레스 선택 회로(180)



는, 입력 어드레스(IADD<1:12>)를 로우 어드레스(RADD<1:12>)로 출력하되, 최종 리프레쉬 커맨드(REF\_F)가 입력 되면 카운팅 어드레스(CADD<1:12>)를 선택하여 로우 어드레스(RADD<1:12>)로 출력할 수 있다.

- [0039] 로우 제어 회로(190)는, 로우 액티브 신호(RACT)에 따라 로우 어드레스(RADD<1:12>)에 대응되는 적어도 하나의 워드 라인을 활성화시킬 수 있다.
- [0041] 도 3 은 도 2 의 리프레쉬 카운터(130)의 상세 구성을 설명하기 위한 회로도 이다.
- [0042] 도 3 을 참조하면, 리프레쉬 카운터(130)는, 직렬 연결된 제 1 내지 제 13 단위 카운터(130\_1~130\_13)을 포함할 수 있다. 제 1 내지 제 13 단위 카운터(130\_1~130\_13)는, 리프레쉬 커맨드(REF)를 입력받고, 리프레쉬 커맨드(REF)의 폴링 에지에 동기되어 입력 신호를 출력단으로 전달할 수 있다. 제 1 내지 제 13 단위 카운터(130\_1~130\_13)제 1 초기화 신호(RCNT\_RST)에 응답하여 초기화될 수 있다. 제 1 내지 제 12 단위 카운터(130\_1~130\_12)의 출력들을 카운팅 어드레스(CADD<1:12>)를 구성하고, 마지막 제 13 단위 카운터(130\_13)의 출력은 풀-카운팅 신호(FULL\_CNT)로 이용될 수 있다.
- [0043] 상기의 구성으로, 리프레쉬 카운터(130)는, 리프레쉬 커맨드(REF)의 입력 핏수를 카운팅하여 " 0000 0000 0000 " 부터 "1111 1111 1111" 까지 순차적으로 증가하는 카운팅 어드레스(CADD<1:12>)를 생성할 수 있다. 리프레쉬 카운터(130)는, 리프레쉬 커맨드(REF)가 4096 회 입력되면, 풀-카운팅 신호(FULL\_CNT)를 로직 하이 레벨로 활성화시켜 출력하고, 카운팅 어드레스(CADD<1:12>)를 "0000 0000 0000" 으로 초기화시킬 수 있다.
- [0045] 도 4 는 도 2 의 액티브 래치(140)의 상세 구성을 설명하기 위한 회로도 이다.
- [0046] 도 4 를 참조하면, 액티브 래치(140)는, 입력 어드레스(IADD<1:12>)의 각 비트에 대응되어 액티브 어드레스(ACT\_ADD<1:12>)의 비트들을 각각 저장하는 제 1 내지 제 12 단위 래치(140\_1~140\_12)를 포함할 수 있다. 제 1 내지 제 12 단위 래치(140\_1~140\_12)는 각각 실질적으로 동일한 구성을 가질 수 있다.
- [0047] 예를 들어, 제 1 단위 래치(140\_1)는, 입력 제어부(140A), 입력부(140B) 및 SR 래치(140C)를 포함할 수 있다.
- [0048] 입력 제어부(140A)는, 입력 어드레스(IADD<1:12>) 중 대응하는 비트(즉, 제 1 비트(IADD<1>))가 최상위 하이 비트인 경우 활성화되는 입력 제어 신호(ICTRL)를 생성할 수 있다. 입력 제어부(140A)는, 제 1 비트(IADD<1>) 보다 상위에 위치한 비트들(즉, 제 2 내지 제 12 비트(IADD<2>~IADD<12>)) 중 어느 하나라도 하이 비트가 존재하는 경우 입력 제어 신호(ICTRL)를 비활성화시키고, 제 2 내지 제 12 비트(IADD<2>~IADD<12>)가 모두 로우 비트인 경우 제 1 비트(IADD<1>)에 따라 입력 제어 신호(ICTRL)를 활성화시킬 수 있다. 입력 제어부(140A)는, 제 2 내지 제 12 비트(IADD<2>~IADD<12>)가 모두 로우 비트이고, 제 1 비트(IADD<1>)가 하이 비트인 경우 입력 제어 신호(ICTRL)를 로직 하이 레벨로 활성화시킬 수 있다. 예를 들어, 입력 제어부(140A)는, 제 2 내지 제 12 비트(IADD<2>~IADD<12>)를 로직 노아 연산하는 제 1 노아 게이트(NR1), 및 제 1 노아 게이트(NR1)의 출력과 제 1 비트(IADD<1>)를 로직 앤드 연산하는 제 1 앤드 게이트(AD1)를 포함할 수 있다.
- [0049] 입력부(140B)는, 액티브 커맨드(ACT)에 따라 입력 제어 신호(ICTRL)를 제 1 셋 신호(S1)로 입력받을 수 있다. 예를 들어, 입력부(140B)는, 액티브 커맨드(ACT)와 입력 제어 신호(ICTRL)를 로직 앤드 연산하는 제 2 앤드 게이트(AD2)를 포함할 수 있다.
- [0050] SR 래치(140C)는, 제 1 셋 신호(S1)에 따라 셋되고, 제 2 초기화 신호(LAT\_RST)에 리셋되는 액티브 어드레스(ACT\_ADD<1:12>)의 제 1 비트(ACT\_ADD<1>)를 생성 및 저장할 수 있다. 예를 들어, SR 래치(140C)는, 제 1 셋 신호(S1)가 로직 하이 레벨로 활성화되면 제 1 비트(ACT\_ADD<1>)를 하이 비트로 저장하고, 제 2 초기화 신호(LAT\_RST)가 로직 하이 레벨로 활성화되면 제 1 비트(ACT\_ADD<1>)를 로우 비트로 저장할 수 있다. SR 래치(140C)는, 공지된 SR 래치로 구현될 수 있다.
- [0051] 상기의 구성으로, 액티브 래치(140)는, 액티브 커맨드(ACT)가 입력될 때마다 입력 어드레스(IADD<1:12>)의 비트 들 중 최상위 하이 비트만을 액티브 어드레스(ACT\_ADD<1:12>)의 대응하는 비트로 저장할 수 있다.
- [0053] 도 5 는 도 2 의 초기화 제어 회로(150)의 상세 구성을 설명하기 위한 회로도 이다.
- [0054] 도 5 를 참조하면, 초기화 제어 회로(150)는 제 1 초기화 회로(152) 및 제 2 초기화 회로(154)를 포함할 수 있

다.

- [0055] 제 1 초기화 회로(152)는, 풀-카운팅 신호(FULL\_CNT)가 활성화되면 제 1 초기화 신호(RCNT\_RST)를 생성할 수 있다. 보다 자세하게, 제 1 초기화 회로(152)는, 버퍼(152A), 딜레이(152B) 및 로직 콤바이너(152C)를 포함할 수 있다. 버퍼(152A)는, 풀-카운팅 신호(FULL\_CNT)를 버퍼링할 수 있다. 바람직하게, 버퍼(152A)는, 짝수 개의 인버터들로 구성될 수 있다. 딜레이(152B)는, 버퍼링된 풀-카운팅 신호를 소정 시간 지연시킬 수 있다. 로직 콤바이너(152C)는, 버퍼링된 풀-카운팅 신호 및 지연된 풀-카운팅 신호를 로직 오아(OR) 연산할 수 있다. 바람직하게, 로직 콤바이너(152C)는, 노아 게이트 및 인버터로 구현될 수 있다. 상기의 구성으로, 제 1 초기화 회로(152)는, 풀-카운팅 신호(FULL\_CNT)가 활성화된 시점으로부터 소정 구간 활성화 상태를 유지하는 제 1 초기화 신호(RCNT\_RST)를 생성할 수 있다. 이에 따라, 리프레쉬 카운터(130)는, 풀-카운팅 신호(FULL\_CNT)가 활성화된 후 소정 시간 후에 초기화될 수 있다.
- [0056] 제 2 초기화 회로(154)는, 제 1 초기화 신호(RCNT\_RST), 파워-다운 신호(PDENB) 및 리셋 모드 신호(RSTB) 중 하나라도 활성화되면 제 2 초기화 신호(LAT\_RST)를 생성할 수 있다. 보다 자세하게, 제 2 초기화 회로(154)는, 낸드 게이트(ND1), 노아 게이트(NR2) 및 인버터(INV1)를 포함할 수 있다. 낸드 게이트(ND1)는, 파워-다운 신호(PDENB) 및 리셋 모드 신호(RSTB) 중 어느 하나라도 로직 로우 레벨로 활성화되는 경우 중간 초기화 신호(IN\_RST)를 로직 하이 레벨로 활성화시켜 출력할 수 있다. 노아 게이트(NR2) 및 인버터(INV1)는, 중간 초기화 신호(IN\_RST) 및 제 1 초기화 신호(RCNT\_RST)를 로직 오아(OR) 연산할 수 있다. 즉, 노아 게이트(NR2) 및 인버터(INV1)는, 중간 초기화 신호(IN\_RST) 또는 제 1 초기화 신호(RCNT\_RST) 중 어느 하나라도 로직 하이 레벨로 활성화되는 경우 제 2 초기화 신호(LAT\_RST)를 로직 하이 레벨로 활성화시킬 수 있다. 상기의 구성으로, 제 2 초기화 회로(154)는, 제 1 초기화 신호(RCNT\_RST), 파워-다운 신호(PDENB) 및 리셋 모드 신호(RSTB) 중 하나라도 활성화되면 제 2 초기화 신호(LAT\_RST)를 활성화시킬 수 있다.
- [0057] 참고로, 제안 발명의 실시예에서, 제 2 초기화 신호(LAT\_RST)는, 파워-다운 모드 또는 리셋 모드 또는 리프레쉬 카운터(130)가 풀카운팅된 후 활성화되는 신호이므로, 액티브 래치(140)는, 리프레쉬 사이클(즉, tREF) 동안 액티브 커맨드(ACT)가 입력될 때마다 입력 어드레스(IADD<1:12>)의 각 비트를 누적하여 액티브 어드레스(ACT\_ADD<1:12>)의 각 비트로 저장할 수 있다.
- [0059] 도 6 은 도 2 의 마스크링 판단 회로(162)의 상세 구성을 설명하기 위한 블록도 이다.
- [0060] 도 6 을 참조하면, 마스크링 판단 회로(162)는, 구간 제어 회로(210), 비트 검색 회로(230) 및 마스크링 제어 회로(250)를 포함할 수 있다.
- [0061] 구간 제어 회로(210)는, 풀-카운팅 신호(FULL\_CNT)에 따라 제 1 리프레쉬 구간 및 제 2 리프레쉬 구간을 구분하는 구간 제어 신호(SKIP\_CTRL)를 생성할 수 있다. 예를 들어, 구간 제어 회로(210)는, 제 1 리프레쉬 구간 동안 로직 로우 레벨을 가지고, 제 2 리프레쉬 구간 동안 로직 하이 레벨을 가지는 구간 제어 신호(SKIP\_CTRL)를 생성할 수 있다. 리프레쉬 카운터(130)는, 리프레쉬 커맨드(REF)의 입력 횟수가 예정된 리프레쉬 횟수(즉, 4096)에 도달할 때마다 풀-카운팅 신호(FULL\_CNT)를 로직 하이 레벨로 활성화시킬 수 있다. 구간 제어 회로(210)는, 풀-카운팅 신호(FULL\_CNT)에 따라 구간 제어 신호(SKIP\_CTRL)의 로직 레벨을 변경함으로써 제 1 리프레쉬 구간 및 제 2 리프레쉬 구간을 구분할 수 있다. 즉, 구간 제어 회로(210)는, 디폴트로 로직 로우 레벨을 가지는 구간 제어 신호(SKIP\_CTRL)를 생성하고, 리프레쉬 커맨드(REF)의 입력 횟수가 4096 회 입력되면 로직 하이 레벨을 가지는 구간 제어 신호(SKIP\_CTRL)를 생성하고, 이후 리프레쉬 커맨드(REF)의 입력 횟수가 4096 회 다시 입력된 경우, 로직 로우 레벨을 가지는 구간 제어 신호(SKIP\_CTRL)를 생성할 수 있다. 이에 따라, 제 1 리프레쉬 구간 및 제 2 리프레쉬 구간이 반복하여 수행될 수 있다.
- [0062] 비트 검색 회로(230)는, 카운팅 어드레스(CADD<1:12>)의 비트들에 각각 대응되는 제 1 내지 제 12 검색 비트(C\_MAX<1:12>)를 생성하며, 카운팅 어드레스(CADD<1:12>)의 비트들 중 최상위 하이 비트에 대응되는 검색 비트를 하이 비트로 저장할 수 있다. 예를 들어, 비트 검색 회로(230)는, “0000 1010 0000”의 카운팅 어드레스(CADD<1:12>)가 입력되는 경우, 최상위 하이 비트인 제 8 비트(CADD<8>)에 대응되는 제 8 검색 비트(C\_MAX<8>)를 하이 비트로 저장할 수 있다. 비트 검색 회로(230)는, 제 2 초기화 신호(LAT\_RST)에 따라 초기화될 수 있다.
- [0063] 마스크링 제어 회로(250)는, 구간 제어 신호(SKIP\_CTRL)에 따라 제 1 내지 제 12 검색 비트(C\_MAX<1:12>)와 액티브 어드레스(ACT\_ADD<1:12>)의 비트들을 각각 비교하여 마스크링 신호(MASK\_ENB)를 생성할 수 있다. 마스크링 제어

회로(250)는, 구간 제어 신호(SKIP\_CTRL)가 로직 로우 레벨인 경우, 제 1 내지 제 12 검색 비트(C\_MAX<1:12>)와 액티브 어드레스(ACT\_ADD<1:12>)의 각 비트들을 비교한 결과에 따라 마스크 신호(MASK\_ENB)를 선택적으로 비활성화시켜 출력할 수 있다. 반면, 마스크 제어 회로(250)는, 구간 제어 신호(SKIP\_CTRL)가 로직 하이 레벨인 경우, 마스크 신호(MASK\_ENB)를 항상 로직 하이 레벨로 비활성화시켜 출력할 수 있다.

[0064] 상기의 구성으로, 마스크 판단 회로(162)는, 구간 제어 신호(SKIP\_CTRL)가 로직 로우 레벨인 제 1 리프레쉬 구간 동안, 카운팅 어드레스(CADD<1:12>)의 최상위 하이 비트가 액티브 어드레스(ACT\_ADD<1:12>)의 하나 이상의 하이 비트와 일치하는 경우에만 마스크 신호(MASK\_ENB)를 로직 하이 레벨로 비활성화시키고, 그외의 경우에는 마스크 신호(MASK\_ENB)를 로직 로우 레벨로 활성화시킬 수 있다. 또한, 마스크 판단 회로(162)는, 구간 제어 신호(SKIP\_CTRL)가 로직 하이 레벨인 제 2 리프레쉬 구간 동안, 액티브 어드레스(ACT\_ADD<1:12>)의 하이 비트에 상관없이, 마스크 신호(MASK\_ENB)를 로직 하이 레벨로 비활성화시킬 수 있다.

[0066] 도 7 은 도 2 의 비트 검색 회로(230)의 상세 구성을 설명하기 위한 회로도 이다.

[0067] 도 7 을 참조하면, 비트 검색 회로(230)는, 카운팅 어드레스(CADD<1:12>)의 비트들에 각각 대응되는 제 1 내지 제 12 비트 디텍터(230\_1~230\_12)를 포함할 수 있다. 제 1 내지 제 12 비트 디텍터(230\_1~230\_12)는 각각 실질적으로 동일한 구성을 가질 수 있다.

[0068] 예를 들어, 제 1 비트 디텍터(230\_1)는, 셋 신호 생성부(310), 리셋 신호 생성부(320) 및 SR 래치(330)를 포함할 수 있다.

[0069] 셋 신호 생성부(310)는, 카운팅 어드레스(CADD<1:12>)의 비트들 중 대응하는 비트(즉, 제 1 비트(CADD<1>))가 최상위 하이 비트인 경우 활성화되는 제 2 셋 신호(S2)를 생성할 수 있다. 셋 신호 생성부(310)는, 제 1 비트(CADD<1>) 보다 상위에 위치한 비트들(즉, 제 2 내지 제 12 비트(CADD<2>~CADD<12>)) 중 어느 하나라도 하이 비트가 존재하는 경우 제 2 셋 신호(S2)를 비활성화시키고, 제 2 내지 제 12 비트(CADD<2>~CADD<12>)가 모두 로우 비트인 경우 제 1 비트(CADD<1>)에 따라 제 2 셋 신호(S2)를 활성화시킬 수 있다. 셋 신호 생성부(310)는, 제 2 내지 제 12 비트(CADD<2>~CADD<12>)가 모두 로우 비트이고, 제 1 비트(CADD<1>)가 하이 비트인 경우 제 2 셋 신호(S2)를 로직 하이 레벨로 활성화시킬 수 있다. 예를 들어, 셋 신호 생성부(310)는, 제 2 내지 제 12 비트(CADD<2>~CADD<12>)를 로직 노아 연산하는 노아 게이트(NR3) 및 노아 게이트(NR3)의 출력과 제 1 비트(CADD<1>)를 로직 앤드 연산하는 앤드 게이트(AD3)를 포함할 수 있다.

[0070] 리셋 신호 생성부(320)는, 제 1 비트(CADD<1>)의 다음 상위 비트(즉, 제 2 비트(CADD<2>)) 및 제 2 초기화 신호(LAT\_RST)에 따라 리셋 신호(R2)를 생성할 수 있다. 리셋 신호 생성부(320)는, 제 2 비트(CADD<2>)가 하이 비트가 되거나 제 2 초기화 신호(LAT\_RST)가 활성화되면 리셋 신호(R2)를 로직 하이 레벨로 활성화시킬 수 있다. 예를 들어, 리셋 신호 생성부(320)는, 펄스 생성기(PGEN1) 및 오아 게이트(OR1)를 포함할 수 있다. 펄스 생성기(PGEN1)는, 제 2 비트(CADD<2>)가 하이 비트가 되면 소정 구간 활성화되는 펄스 신호를 생성할 수 있다. 오아 게이트(OR1)는, 펄스 신호 또는 제 2 초기화 신호(LAT\_RST) 중 어느 하나라도 활성화되면 로직 하이 레벨로 활성화되는 리셋 신호(R2)를 생성할 수 있다. 실시예에 따라, 펄스 생성부(320)는 생략될 수 있다.

[0071] SR 래치(330)는, 제 2 셋 신호(S2)에 따라 셋되고, 리셋 신호(R2)에 따라 리셋되는 제 1 검색 비트(C\_MAX<1>)를 생성 및 저장할 수 있다. 예를 들어, SR 래치(330)는, 제 2 셋 신호(S2)가 로직 하이 레벨로 활성화되면 제 1 검색 비트(C\_MAX<1>)를 하이 비트로 저장하고, 리셋 신호(R2)가 로직 하이 레벨로 활성화되면 제 1 검색 비트(C\_MAX<1>)를 로우 비트로 저장할 수 있다. SR 래치(330)는, 공지된 SR 래치로 구현될 수 있다.

[0072] 상기의 구성으로, 비트 검색 회로(230)는, 카운팅 어드레스(CADD<1:12>)의 최상위 하이 비트에 대응되는 검색 비트를 하이 비트로 생성 및 저장할 수 있다.

[0074] 도 8 은 도 6 의 마스크 제어 회로(250)의 상세 구성을 설명하기 위한 회로도 이다.

[0075] 도 8 을 참조하면, 마스크 제어 회로(250)는, 제 1 내지 제 12 비교 로직(252\_1~252\_12) 및 신호 출력부(254)를 포함할 수 있다.

[0076] 제 1 내지 제 12 비교 로직(252\_1~252\_12)은, 제 1 내지 제 12 검색 비트(C\_MAX<1:12>)와 액티브 어드레스(ACT\_ADD<1:12>)의 비트들을 각각 비교하여 제 1 내지 제 12 비교 비트(EQ<1>~EQ<12>)를 출력할 수 있다. 제 1

내지 제 12 비교 로직(252\_1~252\_12)은, 대응하는 검색 비트 및 액티브 어드레스(ACT\_ADD<1:12>)의 비트가 모두 하이 비트인 경우 대응하는 비교 비트를 하이 비트로 출력할 수 있다. 예를 들어, 제 1 내지 제 12 비교 로직(252\_1~252\_12)은, 대응하는 검색 비트 및 액티브 어드레스(ACT\_ADD<1:12>)의 비트에 로직 앤드 연산을 수행하는 로직 게이트들로 구현될 수 있다.

[0077] 신호 출력부(254)는, 구간 제어 신호(SKIP\_CTRL)가 로직 로우 레벨이 되면, 제 1 내지 제 12 비교 비트(EQ<1>~EQ<12>)에 따라 마스킹 신호(MASK\_ENB)를 로직 하이 레벨로 비활성화시키고, 구간 제어 신호(SKIP\_CTRL)가 로직 하이 레벨이 되면, 제 1 내지 제 12 비교 비트(EQ<1>~EQ<12>)에 상관없이 마스킹 신호(MASK\_ENB)를 로직 하이 레벨로 비활성화시킬 수 있다. 신호 출력부(254)는, 구간 제어 신호(SKIP\_CTRL)가 로직 로우 레벨이 되면, 제 1 내지 제 12 비교 비트(EQ<1>~EQ<12>)가 모두 로우 비트인 경우에만 마스킹 신호(MASK\_ENB)를 로직 로우 레벨로 활성화시킬 수 있다. 예를 들어, 신호 출력부(254)는, 구간 제어 신호(SKIP\_CTRL) 및 제 1 내지 제 12 비교 비트(EQ<1>~EQ<12>)를 로직 오아 연산하여 마스킹 신호(MASK\_ENB)를 출력하는 로직 게이트로 구현될 수 있다.

[0078] 상기의 구성으로, 마스킹 제어 회로(250)는, 구간 제어 신호(SKIP\_CTRL)가 로직 로우 레벨인 제 1 리프레쉬 구간 동안에는, 제 1 내지 제 12 검색 비트(C\_MAX<1:12>)와 액티브 어드레스(ACT\_ADD<1:12>)의 각 비트들을 비교한 결과에 따라 마스킹 신호(MASK\_ENB)를 선택적으로 로직 하이 레벨로 비활성화시켜 출력할 수 있다. 반면, 마스킹 제어 회로(250)는, 구간 제어 신호(SKIP\_CTRL)가 로직 하이 레벨인 제 2 리프레쉬 구간 동안에는, 액티브 어드레스(ACT\_ADD<1:12>)의 하이 비트에 상관없이, 마스킹 신호(MASK\_ENB)를 항상 로직 하이 레벨로 비활성화시켜 출력할 수 있다.

[0080] 도 9 는 도 2 의 마스킹 회로(164)의 상세 구성을 설명하기 위한 회로도 이다.

[0081] 도 9 를 참조하면, 마스킹 회로(164)는, 마스킹 신호(MASK\_ENB) 및 리프레쉬 커맨드(REF)를 로직 앤드 연산하기 위한 낸드 게이트(ND2) 및 인버터(INV2)로 구성될 수 있다. 상기의 구성으로, 마스킹 회로(164)는, 마스킹 신호(MASK\_ENB)가 로직 로우 레벨로 활성화된 경우, 최종 리프레쉬 커맨드(REF\_F)가 출력되지 않도록 리프레쉬 커맨드(REF)를 마스킹할 수 있다. 반면, 마스킹 회로(164)는, 마스킹 신호(MASK\_ENB)가 로직 하이 레벨로 비활성화된 경우, 리프레쉬 커맨드(REF)를 최종 리프레쉬 커맨드(REF\_F)로 출력할 수 있다.

[0083] 이하, 도 2 내지 도 10 을 참조하여, 본 발명의 실시예에 따른 메모리 장치(100)의 동작을 설명하기로 한다.

[0084] 도 10 은 본 발명의 실시예에 따른 메모리 장치(100)의 동작을 설명하기 위한 순서도 이다.

[0085] 도 10 을 참조하면, 먼저, 파워-다운 모드 또는 리셋 모드 시, 초기화 제어 회로(150)는, 파워-다운 신호(PDENB) 또는 리셋 모드 신호(RSTB)에 따라 제 2 초기화 신호(LAT\_RST)를 활성화시킬 수 있다. 이에 따라, 액티브 래치(140)는, 래치된 액티브 어드레스(ACT\_ADD<1:12>)를 초기화시킬 수 있다(S910).

[0086] 이 후, 커맨드 디코더(122)는, 커맨드(CMD)를 디코딩하여 액티브 커맨드(ACT), 리프레쉬 커맨드(REF) 및 프리차지 커맨드(PCG) 등의 내부 커맨드를 생성할 수 있다. 어드레스 버퍼(124)는, 어드레스(ADD)를 버퍼링하여 입력 어드레스(IADD<1:12>)를 생성할 수 있다.

[0087] 액티브 커맨드(ACT)가 입력되는 경우(S920), 액티브 제어 회로(170)는, 액티브 커맨드(ACT)에 따라 활성화되고 프리차지 커맨드(PCG)에 비활성화되는 로우 액티브 신호(RACT)를 생성하고, 어드레스 선택 회로(180)는, 입력 어드레스(IADD<1:12>)를 로우 어드레스(RADD<1:12>)로 출력할 수 있다. 로우 제어 회로(190)는, 로우 액티브 신호(RACT)에 따라 로우 어드레스(RADD<1:12>)에 대응되는 적어도 하나의 워드 라인을 활성화시켜 액티브 동작을 수행할 수 있다. 이 때, 액티브 래치(140)는, 액티브 커맨드(ACT)에 따라 입력 어드레스(IADD<1:12>)를 래치하여 액티브 어드레스(ACT\_ADD<1:12>)로 저장하되, 입력 어드레스(IADD<1:12>)의 최상위 하이 비트만을 액티브 어드레스(ACT\_ADD<1:12>)의 대응되는 비트로 저장할 수 있다 (S930).

[0088] 리프레쉬 커맨드(REF)가 입력되는 경우(S940), 리프레쉬 카운터(130)는, " 0000 0000 0000" 의 카운팅 어드레스(CADD<1:12>)를 생성할 수 있다(S950). 이 때, 풀-카운팅 신호(FULL\_CNT)는 로직 로우 레벨로 비활성화되고(S960의 NO), 구간 제어 회로(210)는, 로직 로우 레벨을 가지는 구간 제어 신호(SKIP\_CTRL)를 생성할 수 있다. 이에 따라, 제 1 리프레쉬 구간에 진입할 수 있다(S970의 YES(SKIP ON)).



- [0089] 제 1 리프레쉬 구간 동안(S980), 마스크 제어 회로(250)는, 액티브 어드레스(ACT\_ADD<1:12>)와 카운팅 어드레스(CADD<1:12>)를 비교하여 마스크 신호(MASK\_ENB)를 생성할 수 있다(S982). 액티브 어드레스(ACT\_ADD<1:12>)의 하이 비트에 대응되는 최상위 하이 비트를 가지는 카운팅 어드레스(CADD<1:12>)가 입력되는 경우, 마스크 제어 회로(250)는, 마스크 신호(MASK\_ENB)를 로직 하이 레벨로 비활성화시키고(S984의 NO), 마스크 회로(164)는, 리프레쉬 커맨드(REF)를 최종 리프레쉬 커맨드(REF\_F)로 출력할 수 있다(S986). 액티브 제어 회로(170)는, 최종 리프레쉬 커맨드(REF\_F)에 따라 활성화되고, 로우 어드레스 스트로브 최소 시간(tRAS) 이후 비활성화되는 로우 액티브 신호(RACT)를 생성하고, 어드레스 선택 회로(180)는, 카운팅 어드레스(CADD<1:12>)를 선택하여 로우 어드레스(RADD<1:12>)로 출력할 수 있다. 로우 제어 회로(190)는, 로우 액티브 신호(RACT)에 따라 로우 어드레스(RADD<1:12>)에 대응되는 적어도 하나의 워드 라인을 활성화시키는 리프레쉬 동작을 수행할 수 있다(S988).
- [0090] 반면, 액티브 어드레스(ACT\_ADD<1:12>)의 하이 비트에 대응되는 최상위 하이 비트를 가지지 않는 카운팅 어드레스(CADD<1:12>)가 입력되는 경우, 마스크 제어 회로(250)는, 마스크 신호(MASK\_ENB)를 로직 로우 레벨로 활성화시키고(S984의 YES), 마스크 회로(164)는, 최종 리프레쉬 커맨드(REF\_F)가 출력되지 않도록 리프레쉬 커맨드(REF)를 마스크할 수 있다(S989). 이에 따라, 해당 리프레쉬 동작이 생략될 수 있다.
- [0091] 리프레쉬 커맨드(REF)가 입력될 때마다 리프레쉬 카운터(130)는, 카운팅 어드레스(CADD<1:12>)를 "0000 0000 0001" 부터 "1111 1111 1111" 까지 순차적으로 증가시키고, 상기의 동작들(S970~S989)을 반복하여 수행할 수 있다. 리프레쉬 카운터(130)는, 카운팅 어드레스(CADD<1:12>)의 모든 비트가 하이 비트가 되어 풀 카운팅된 후(S960의 YES), 풀-카운팅 신호(FULL\_CNT)를 로직 하이 레벨로 활성화시켜 출력할 수 있다. 이에 따라, 초기화 제어 회로(150)는, 제 1 초기화 신호(RCNT\_RST) 및 제 2 초기화 신호(LAT\_RST)를 모두 활성화시키고, 리프레쉬 카운터(130)는 카운팅 어드레스(CADD<1:12>)를 초기화시키고, 액티브 래치(140)는 액티브 어드레스(ACT\_ADD<1:12>)를 초기화시킬 수 있다(S962).
- [0092] 구간 제어 회로(210)는, 풀-카운팅 신호(FULL\_CNT)에 따라 로직 하이 레벨을 가지는 구간 제어 신호(SKIP\_CTRL)를 생성할 수 있다. 이에 따라, 제 2 리프레쉬 구간에 진입할 수 있다(S970의 NO(SKIP OFF)). 제 2 리프레쉬 구간 동안(S990), 마스크 제어 회로(250)는, 액티브 어드레스(ACT\_ADD<1:12>)의 하이 비트에 상관없이, 마스크 신호(MASK\_ENB)를 로직 하이 레벨로 비활성화시키고, 마스크 회로(164)는, 리프레쉬 커맨드(REF)를 최종 리프레쉬 커맨드(REF\_F)로 출력할 수 있다(S992). 로우 제어 회로(190)는, 최종 리프레쉬 커맨드(REF\_F)에 대응되는 로우 액티브 신호(RACT)에 따라 카운팅 어드레스(CADD<1:12>)에 대응되는 적어도 하나의 워드 라인을 활성화시키는 리프레쉬 동작을 수행할 수 있다(S994). 리프레쉬 커맨드(REF)가 입력될 때마다 리프레쉬 카운터(130)는, 카운팅 어드레스(CADD<1:12>)를 "0000 0000 0001" 부터 "1111 1111 1111" 까지 순차적으로 증가시키고, 상기의 동작들(S992~S994)을 반복하여 수행할 수 있다.
- [0093] 상기와 같이, 메모리 장치(100)는 제 1 리프레쉬 구간 및 제 2 리프레쉬 구간을 반복하여 수행할 수 있다. 이때, 제 1 리프레쉬 구간에서는, 액티브 어드레스(ACT\_ADD<1:12>)의 하이 비트를 토대로 선택된 카운팅 어드레스(CADD<1:12>)에 대응되는 워드 라인만이 리프레쉬 되고, 제 2 리프레쉬 구간에서는 모든 워드 라인들이 순차적으로 리프레쉬될 수 있다. 따라서, 제 1 리프레쉬 구간에서는 액티브 동작에 의해 데이터가 라이트될 가능성이 있는 메모리 셀들만이 리프레쉬되고, 제 2 리프레쉬 구간에서는 모든 메모리 셀들을 리프레쉬함으로써 데이터 보유 시간을 확보함과 동시에 전류 소모를 최대 50%까지 최소화할 수 있다.
- [0095] 도 11 내지 도 12c 는 본 발명의 실시예에 따른 메모리 장치(100)의 동작을 설명하기 위한 파형도 및 테이블이다. 도 11 은 액티브 동작 및 리프레쉬 동작을 설명하기 위한 로우 액티브 신호(RACT)를 보여주는 파형도이고, 도 12a 내지 도 12c 는 액티브 어드레스(ACT\_ADD<1:12>) 및 카운팅 어드레스(CADD<1:12>)에 따른 제 1 리프레쉬 구간 시의 동작을 보여주는 테이블이다.
- [0096] 도 11 내지 도 12c 에서는, 제 1 리프레쉬 구간 동안 하나의 액티브 커맨드가 입력되는 경우가 예를 들어 설명되어 있다.
- [0097] 도 11 및 도 12a 를 참조하면, 제 1 리프레쉬 구간 동안 제 1 및 제 2 워드 라인(WL0~WL1)에 대한 카운팅 어드레스(CADD<1:12>)가 생성될 때, 액티브 래치(140)에 액티브 어드레스(ACT\_ADD<1:12>)가 저장되지 않았기 때문에 마스크 신호(MASK\_ENB)는 로직 로우 레벨로 활성화될 수 있다. 이에 따라, 제 1 및 제 2 워드 라인(WL0~WL1)에 대한 리프레쉬 동작(REF0, REF1)은 생략될 수 있다.
- [0098] 도 11 및 도 12b 를 참조하면, 제 49 워드 라인(WL48)에 대한 액티브 동작(ACT48)을 위해 "0000 0011 0000"

의 입력 어드레스(IADD<1:12>)가 입력된다. 액티브 동작(ACT48) 후 라이트 동작이 수행될 수 있으며, 이에 따라 활성화된 제 49 워드 라인(WL48)에 연결된 메모리 셀들에 유효한 데이터가 라이트될 수 있다. 액티브 래치(140)는, 입력 어드레스(IADD<1:12>)의 비트들 중 최상위 하이 비트(즉, 제 6 비트(IADD<6>))만을 액티브 어드레스(ACT\_ADD<1:12>)의 대응되는 비트(즉, 제 6 비트(ACT\_ADD<6>))로 저장할 수 있다. 이에 따라, “0000 0010 0000”의 액티브 어드레스(ACT\_ADD<1:12>)가 액티브 래치(140)에 저장될 수 있다.

- [0099] 도 11 및 도 12c 를 참조하면, 제 3 내지 제 32 워드 라인(WL2~WL31)에 대한 카운팅 어드레스(CADD<1:12>)의 최상위 하이 비트는 제 2 내지 제 5 비트(CADD<2>~CADD<5>) 중 하나이므로, 액티브 어드레스(ACT\_ADD<1:12>)의 하이 비트(제 6 비트(ACT\_ADD<6>))에 대응되지 않는다. 따라서, 마스크 신호(MASK\_ENB)는 로직 로우 레벨로 활성화되어 제 3 내지 제 32 워드 라인(WL2~WL31)에 대한 리프레쉬 동작(REF2~REF31)은 생략될 수 있다.
- [0100] 반면, 제 33 내지 제 64 워드 라인(WL32~WL63)에 대한 카운팅 어드레스(CADD<1:12>)는 최상위 하이 비트(제 6 비트(CADD<6>))가 액티브 어드레스(ACT\_ADD<1:12>)의 하이 비트(제 6 비트(ACT\_ADD<6>))에 대응되므로, 마스크 신호(MASK\_ENB)는 로직 하이 레벨로 활성화되어 제 33 내지 제 64 워드 라인(WL32~WL63)에 대한 리프레쉬 동작(REF32~REF63)은 수행될 수 있다. 즉, 제 1 리프레쉬 구간 동안 액티브 동작이 수행된 제 49 워드 라인(WL48)에 대해 리프레쉬 동작이 수행됨으로써 제 49 워드 라인(WL48)에 연결된 메모리 셀들의 데이터 보유 시간은 확보될 수 있다.
- [0101] 이 후, 제 65 내지 제 4096 워드 라인(WL64~WL4095)에 대한 카운팅 어드레스(CADD<1:12>)의 최상위 하이 비트는 제 7 내지 제 12 비트(CADD<7>~CADD<12>) 중 하나이므로, 액티브 어드레스(ACT\_ADD<1:12>)의 하이 비트(제 6 비트(ACT\_ADD<6>))에 대응되지 않는다. 따라서, 마스크 신호(MASK\_ENB)는 로직 로우 레벨로 활성화되어 제 65 내지 제 4096 워드 라인(WL64~WL4095)에 대한 리프레쉬 동작(REF64~REF4095)은 생략될 수 있다.
- [0102] 도 11 을 다시 참조하면, 제 1 리프레쉬 구간이 종료된 후, 제 2 리프레쉬 구간에서는 모든 워드 라인들에 리프레쉬 동작을 수행할 수 있다.
- [0103] 상기와 같이, 제안 발명의 실시예에서는, 제 1 리프레쉬 구간에서는 액티브 동작이 수행되지 않은 워드 라인의 리프레쉬 동작을 생략하고, 제 2 구간에서는 모든 워드 라인들에 리프레쉬 동작을 수행함으로써 데이터 보유 시간을 확보함과 동시에 전류 소모를 최소화할 수 있다.
- [0105] 도 13 내지 도 14g 는 본 발명의 실시예에 따른 메모리 장치(100)의 동작을 설명하기 위한 파형도 및 테이블 이다. 도 13 은 액티브 동작 및 리프레쉬 동작을 설명하기 위한 로우 액티브 신호(RACT)를 보여주는 파형도이고, 도 14a 내지 도 14g 는 액티브 어드레스(ACT\_ADD<1:12>) 및 카운팅 어드레스(CADD<1:12>)에 따른 제 1 리프레쉬 구간 시의 동작을 보여주는 테이블 이다.
- [0106] 도 13 내지 도 14g 에서는, 제 1 리프레쉬 구간 동안 세 개의 액티브 커맨드가 입력되는 경우가 예를 들어 설명되어 있다.
- [0107] 도 13 및 도 14a 를 참조하면, 액티브 래치(140)에 액티브 어드레스(ACT\_ADD<1:12>)가 저장되지 않았기 때문에, 제 1 리프레쉬 구간 동안 제 1 내지 제 4 워드 라인(WL0~WL3)에 리프레쉬 동작(REF0~REF3)은 생략될 수 있다.
- [0108] 도 13 및 도 14b 를 참조하면, 제 2 워드 라인(WL1)에 대한 액티브 동작(ACT1)을 위해 “0000 0000 0001”의 입력 어드레스(IADD<1:12>)가 입력된다. 액티브 동작(ACT1) 후 라이트 동작이 수행될 수 있으며, 이에 따라 활성화된 제 2 워드 라인(WL1)에 연결된 메모리 셀들에 유효한 데이터가 라이트될 수 있다. 액티브 래치(140)는, 입력 어드레스(IADD<1:12>)의 비트들 중 최상위 하이 비트(즉, 제 1 비트(IADD<1>))만을 액티브 어드레스(ACT\_ADD<1:12>)의 대응되는 비트(즉, 제 1 비트(ACT\_ADD<1>))로 저장할 수 있다. 이에 따라, “0000 0000 0001”의 액티브 어드레스(ACT\_ADD<1:12>)가 액티브 래치(140)에 저장될 수 있다. 이 때, 제 2 워드 라인(WL1)에 대한 액티브 동작이 이미 수행되었으므로, 해당 리프레쉬 구간에서 액티브 어드레스(ACT\_ADD<1:12>)의 하이 비트에 대응되는 최상위 하이 비트를 가지는 카운팅 어드레스(CADD<1:12>)는 존재하지 않는다.
- [0109] 도 13 및 도 14c 를 참조하면, 제 5 및 제 6 워드 라인(WL4, WL5)에 대한 카운팅 어드레스(CADD<1:12>)의 최상위 하이 비트는 제 3 비트(CADD<3>)이므로, 마스크 신호(MASK\_ENB)는 로직 로우 레벨로 활성화되어 제 5 및 제 6 워드 라인(WL4, WL5)에 대한 리프레쉬 동작(REF4, REF5)은 생략될 수 있다.
- [0110] 도 13 및 도 14d 를 참조하면, 제 9 워드 라인(WL8)에 대한 액티브 동작(ACT8)을 위해 “0000 0000 1000”의 입력 어드레스(IADD<1:12>)가 입력된다. 액티브 동작(ACT8) 후 라이트 동작이 수행될 수 있으며, 이에 따라 활

성화된 제 9 워드 라인(WL8)에 연결된 메모리 셀들에 유효한 데이터가 라이트될 수 있다. 액티브 래치(140)는, 입력 어드레스(IADD<1:12>)의 비트들 중 최상위 하이 비트(즉, 제 4 비트(IADD<4>))만을 액티브 어드레스(ACT\_ADD<1:12>)의 대응되는 비트(즉, 제 4 비트(ACT\_ADD<4>))로 저장할 수 있다. 이에 따라, “0000 0000 1001”의 액티브 어드레스(ACT\_ADD<1:12>)가 액티브 래치(140)에 저장될 수 있다.

[0111] 도 13 및 도 14e 를 참조하면, 제 7 및 제 8 워드 라인(WL6, WL7)에 대한 카운팅 어드레스(CADD<1:12>)의 최상위 하이 비트는 제 3 비트(CADD<3>)이므로, 마스크 신호(MASK\_ENB)는 로직 로우 레벨로 활성화되어 제 7 및 제 8 워드 라인(WL6, WL7)에 대한 리프레쉬 동작(REF6, REF7)은 생략될 수 있다. 반면, 제 9 내지 제 16 워드 라인(WL8~WL15)에 대한 카운팅 어드레스(CADD<1:12>)는 최상위 하이 비트(제 4 비트(CADD<4>))가 액티브 어드레스(ACT\_ADD<1:12>)의 하이 비트(제 4 비트(ACT\_ADD<4>))에 대응되므로, 마스크 신호(MASK\_ENB)는 로직 하이 레벨로 활성화되어 제 9 내지 제 16 워드 라인(WL8~WL15)에 대한 리프레쉬 동작(REF8~REF15)은 수행될 수 있다. 즉, 제 1 리프레쉬 구간 동안 액티브 동작이 수행된 제 9 워드 라인(WL8)에 대해 리프레쉬 동작이 수행됨으로써 제 9 워드 라인(WL8)에 연결된 메모리 셀들의 데이터 보유 시간은 확보될 수 있다.

[0112] 이 후, 제 17 워드 라인(WL16)에 대한 카운팅 어드레스(CADD<1:12>)의 최상위 하이 비트는 제 5 비트(CADD<5>)이므로, 마스크 신호(MASK\_ENB)는 로직 로우 레벨로 활성화되어 제 17 워드 라인(WL16)에 대한 리프레쉬 동작(REF16)은 생략될 수 있다.

[0113] 도 13 및 도 14f 를 참조하면, 제 19 워드 라인(WL18)에 대한 액티브 동작(ACT18)을 위해 “0000 0001 0010”의 입력 어드레스(IADD<1:12>)가 입력된다. 이에 따라 활성화된 제 19 워드 라인(WL18)에 연결된 메모리 셀들에 유효한 데이터가 라이트될 수 있다. 액티브 래치(140)는, 입력 어드레스(IADD<1:12>)의 비트들 중 최상위 하이 비트(즉, 제 5 비트(IADD<5>))만을 액티브 어드레스(ACT\_ADD<1:12>)의 대응되는 비트(즉, 제 5 비트(ACT\_ADD<5>))로 저장할 수 있다. 이에 따라, “0000 0001 1001”의 액티브 어드레스(ACT\_ADD<1:12>)가 액티브 래치(140)에 저장될 수 있다.

[0114] 도 13 및 도 14g 를 참조하면, 제 18 내지 제 32 워드 라인(WL17~WL31)에 대한 카운팅 어드레스(CADD<1:12>)는 최상위 하이 비트(제 5 비트(CADD<5>))가 액티브 어드레스(ACT\_ADD<1:12>)의 하이 비트(제 5 비트(ACT\_ADD<5>))에 대응되므로, 마스크 신호(MASK\_ENB)는 로직 하이 레벨로 활성화되어 제 18 내지 제 32 워드 라인(WL17~WL31)에 대한 리프레쉬 동작(REF17~REF31)은 수행될 수 있다. 즉, 제 1 리프레쉬 구간 동안 액티브 동작이 수행된 제 19 워드 라인(WL18)에 대해 리프레쉬 동작이 수행됨으로써 제 19 워드 라인(WL18)에 연결된 메모리 셀들의 데이터 보유 시간은 확보될 수 있다.

[0115] 이 후, 제 33 내지 제 4096 워드 라인(WL32~WL4095)에 대한 카운팅 어드레스(CADD<1:12>)의 최상위 하이 비트는 제 6 내지 제 12 비트(CADD<6>~CADD<12>) 중 하나이므로, 마스크 신호(MASK\_ENB)는 로직 로우 레벨로 활성화되어 제 33 내지 제 4096 워드 라인(WL32~WL4095)에 대한 리프레쉬 동작(REF32~REF4095)은 생략될 수 있다.

[0116] 도 13 을 다시 참조하면, 제 1 리프레쉬 구간이 종료된 후, 제 2 리프레쉬 구간에서는 모든 워드 라인들에 리프레쉬 동작을 수행할 수 있다.

[0117] 상기와 같이, 제안 발명의 실시예에서는, 제 1 리프레쉬 구간에서는 액티브 동작이 수행되지 않은 워드 라인의 리프레쉬 동작을 생략하고, 제 2 구간에서는 모든 워드 라인들에 리프레쉬 동작을 수행함으로써 데이터 보유 시간을 확보함과 동시에 전류 소모를 최소화할 수 있다.

[0119] 도 15 는 본 발명의 실시예에 따른 메모리 시스템(400)의 블록도 이다.

[0120] 도 15 를 참조하면, 메모리 시스템(400)은 컨트롤러(410) 및 메모리 장치(420)를 포함할 수 있다.

[0121] 메모리 컨트롤러(410)는, 메모리 장치(420)에 커맨드(CMD)와 어드레스(ADD)를 제공함으로써 메모리 장치(420)의 동작을 메모리 장치(1610)의 동작을 제어할 수 있다. 메모리 컨트롤러(410)는, 리드 및 라이트 동작 시 메모리 장치(420)와 데이터(DATA)를 주고받을 수 있다. 메모리 컨트롤러(420)는 커맨드(CMD)를 전송함으로써 메모리 장치(410)로 액티브 커맨드(ACT), 프리차지 커맨드(PCG), 또는 리프레쉬 커맨드(REF)를 입력할 수 있다. 메모리 컨트롤러(420)는, 액티브 커맨드(ACT)와 함께 메모리 장치(1610)의 워드 라인 또는 비트 라인을 선택하기 위한 어드레스(ADD)를 전송할 수 있다. 메모리 컨트롤러(420)는, 메모리 장치(410)에 주기적으로 소정 횟수의 리프레쉬 커맨드(REF)를 전송할 수 있다. 예를 들어, 메모리 컨트롤러(410)는, 리프레쉬 사이클(tREF) 동안 리프레쉬 커맨드를 4096회 발행할 수 있다.

[0122] 메모리 장치(420)는, 도 2 에서 설명한 메모리 장치(100)와 실질적으로 동일한 구성을 가질 수 있다. 메모리 장치(420)는, 리프레쉬 커맨드(REF)에 따라 순차적으로 증가하는 카운팅 어드레스를 생성하는 리프레쉬 카운터(도 2 의 130), 액티브 커맨드(ACT)에 따라 입력 어드레스(ADD)에 대응되는 액티브 어드레스를 생성하는 액티브 래치(도 2 의 140), 및 리프레쉬 커맨드(REF)에 따라 제 1 리프레쉬 구간 및 제 2 리프레쉬 구간을 반복하여 수행하는 리프레쉬 제어 회로(도 2 의 160)를 포함할 수 있다. 특히, 리프레쉬 제어 회로(160)는, 제 1 리프레쉬 구간 동안 액티브 어드레스의 하이 비트를 토대로 선택된 카운팅 어드레스에 대응되는 하나 이상의 워드 라인들이 선택적으로 리프레쉬 되도록 제어하고, 제 2 리프레쉬 구간 동안 카운팅 어드레스에 대응되는 모든 워드 라인들이 순차적으로 리프레쉬 되도록 제어할 수 있다. 리프레쉬 제어 회로(160)는, 제 1 리프레쉬 구간 동안, 액티브 어드레스의 하이 비트가 K 번째 비트인 경우, 최상위 하이 비트가 K 번째 비트인 카운팅 어드레스에 대응되는 하나 이상의 워드 라인들만 리프레쉬하고 나머지 워드 라인들의 리프레쉬는 생략되도록 제어할 수 있다.

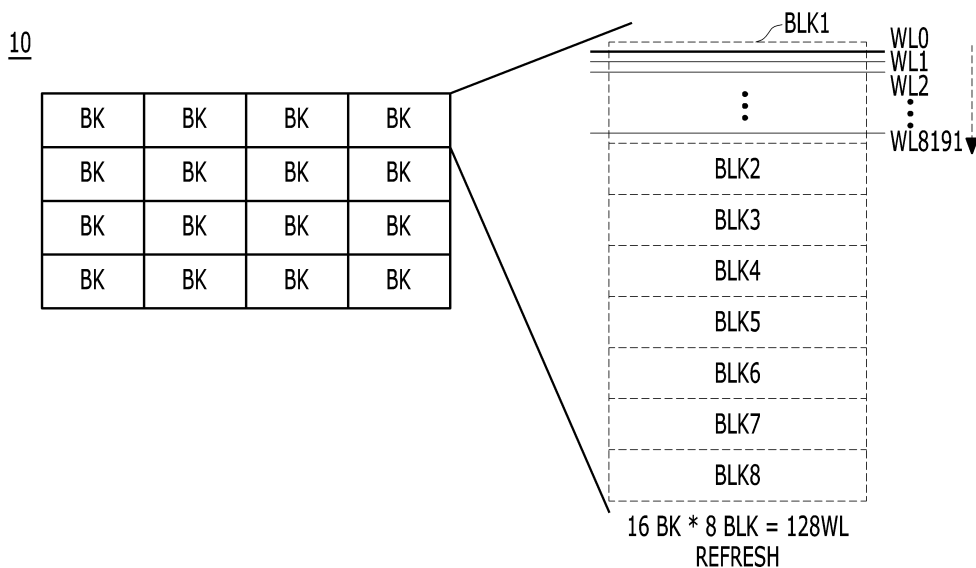
[0123] 따라서, 본 발명의 실시예에 따른 메모리 시스템(400)은, 제 1 리프레쉬 구간에서는 액티브 동작에 의해 데이터가 라이트될 가능성이 있는 메모리 셀들만이 리프레쉬되고, 제 2 리프레쉬 구간에서는 모든 메모리 셀들을 리프레쉬함으로써 데이터 보유 시간을 확보함과 동시에 전류 소모를 최소화할 수 있다.

[0125] 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기록되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

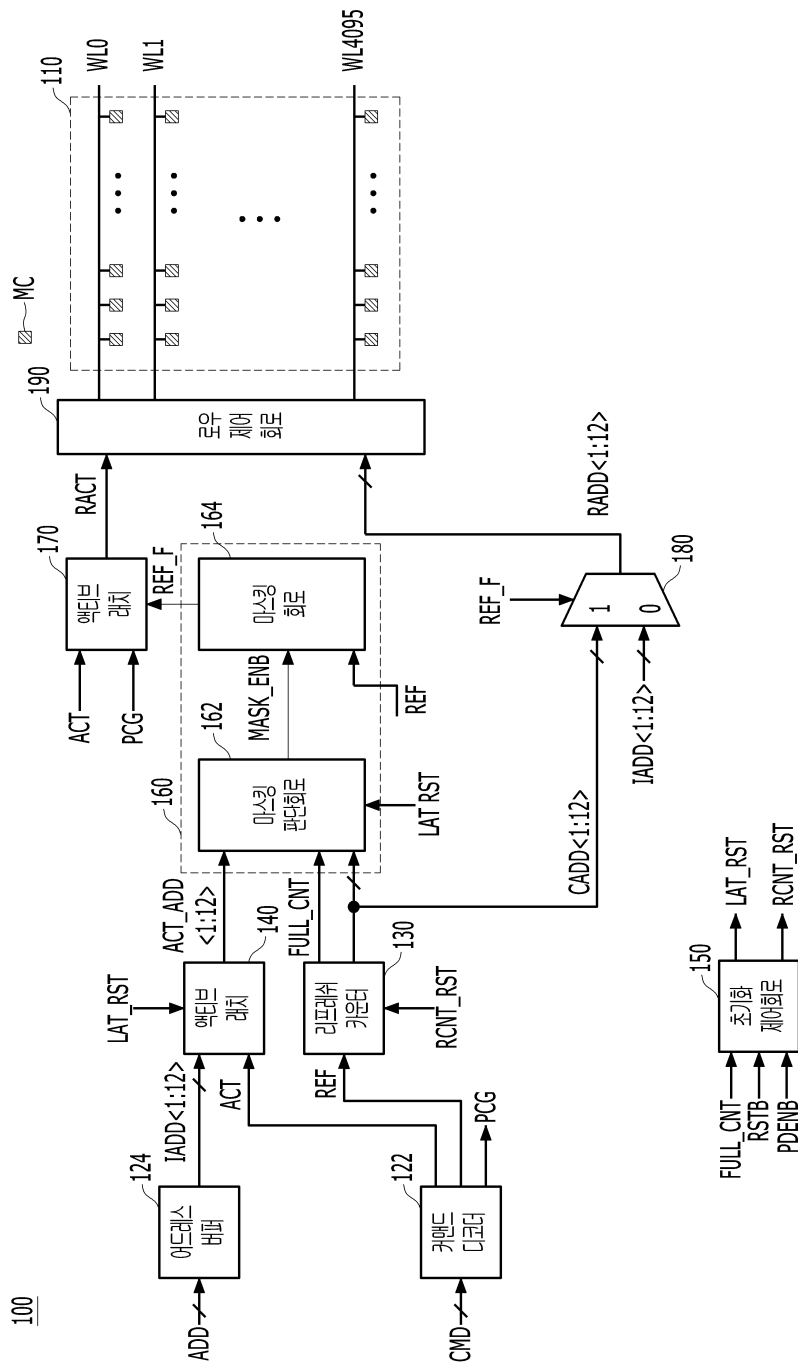
[0126] 예컨대, 전술한 실시예에서 예시한 로직 게이트 및 트랜지스터는 입력되는 신호의 극성에 따라 그 위치 및 종류가 다르게 구현되어야 할 것이다.

**도면**

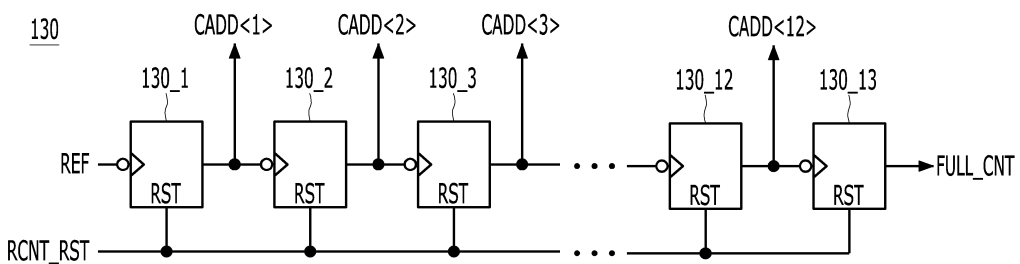
**도면1**



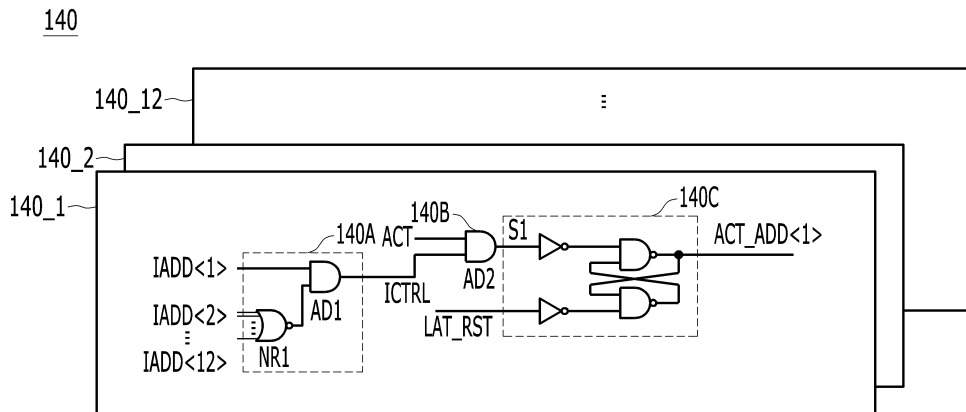
도면2



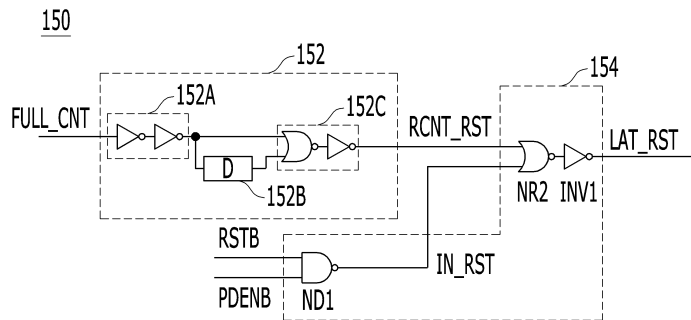
도면3



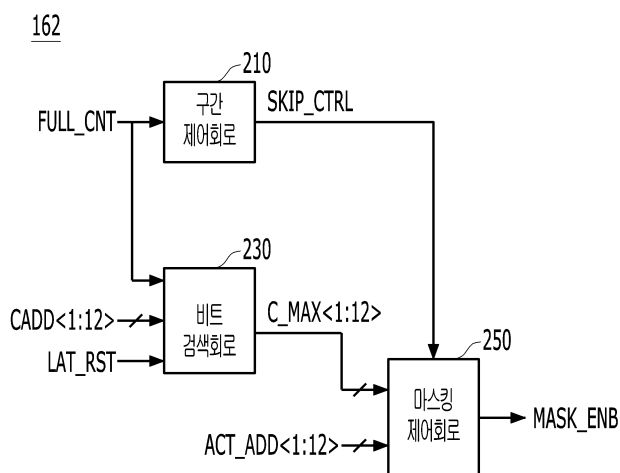
도면4



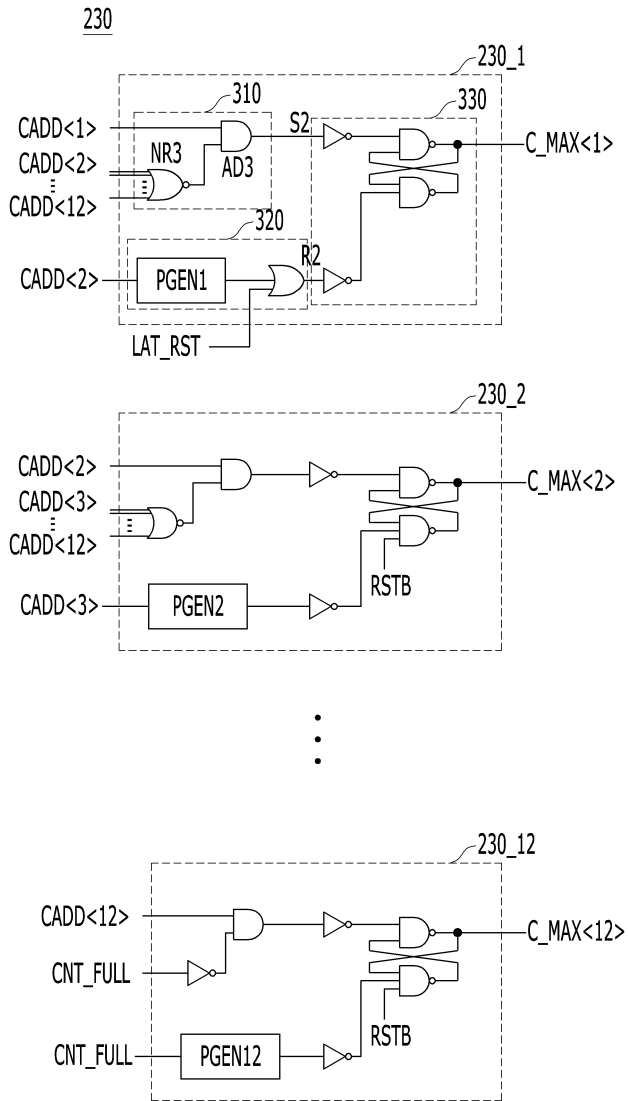
도면5



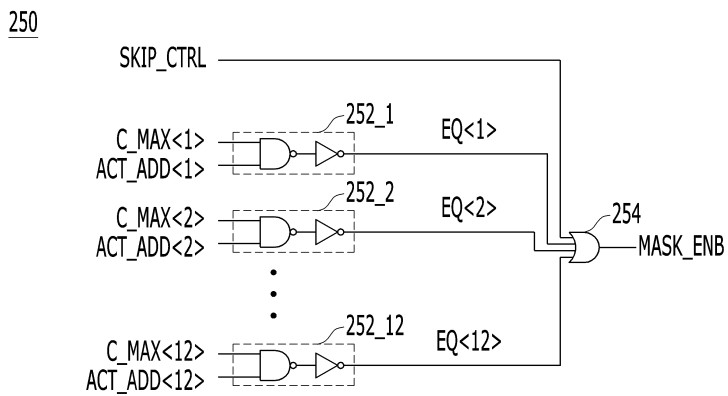
도면6



도면7

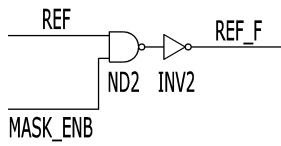


도면8

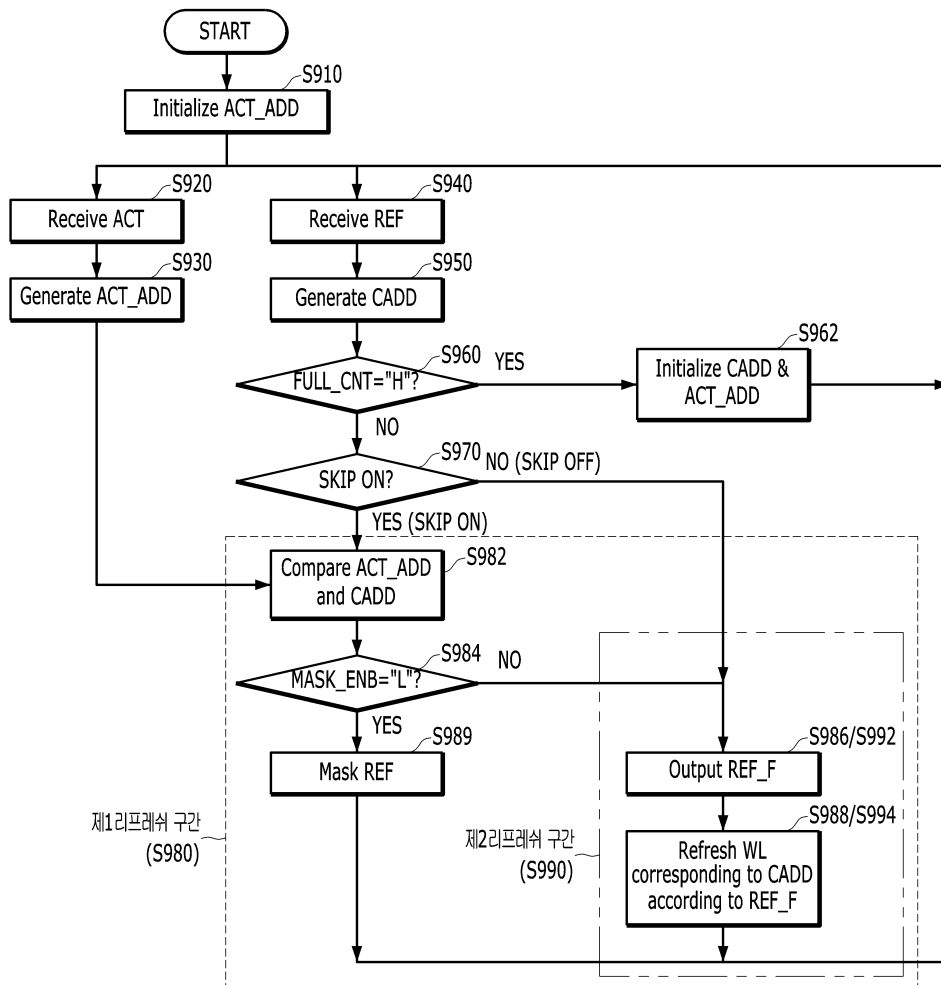


도면9

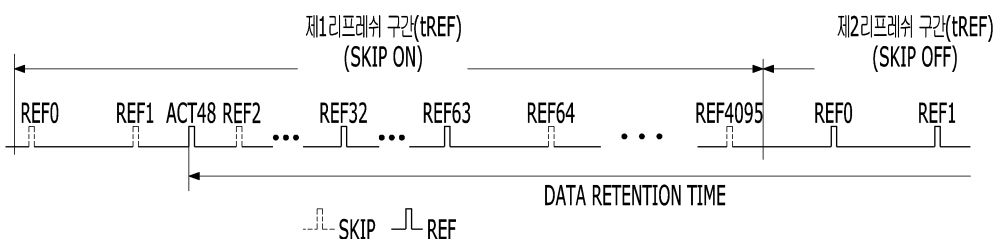
164



도면10



도면11





도면12a

CADD											WL	수행		
12	11	10	9	8	7	6	5	4	3	2			1	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	SKIP
0	0	0	0	0	0	0	0	0	0	0	0	1	1	SKIP

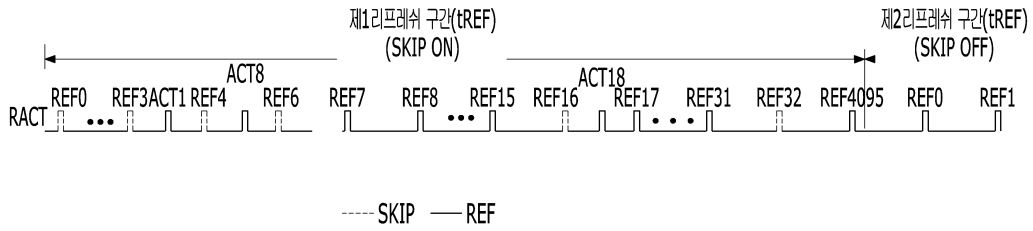
도면12b

	12	11	10	9	8	7	6	5	4	3	2	1	WL	수행	
IADD	0	0	0	0	0	0	0	1	1	0	0	0	0	48	ACT
ACT_ADD	0	0	0	0	0	0	0	1	0	0	0	0			

도면12c

CADD											WL	수행	
12	11	10	9	8	7	6	5	4	3	2			1
0	0	0	0	0	0	0	0	0	0	1	0	2	SKIP
...												SKIP	
0	0	0	0	0	0	0	0	1	1	1	1	15	SKIP
0	0	0	0	0	0	0	1	0	0	0	0	16	SKIP
0	0	0	0	0	0	0	1	0	0	0	1	17	SKIP
...												SKIP	
0	0	0	0	0	0	0	1	1	1	1	1	31	SKIP
0	0	0	0	0	0	1	0	0	0	0	0	32	REF
0	0	0	0	0	0	1	0	0	0	0	1	33	REF
...												REF	
0	0	0	0	0	0	1	1	0	0	0	0	48	REF
...												REF	
0	0	0	0	0	0	0	1	1	1	1	0	62	REF
0	0	0	0	0	0	0	1	1	1	1	1	63	REF
0	0	0	0	0	0	<u>1</u>	0	0	0	0	0	64	SKIP
...												SKIP	
0	0	0	0	1	0	0	0	0	0	0	0	128	SKIP
...												SKIP	
1	1	1	1	1	1	1	1	1	1	1	1	4095	SKIP

도면13



도면14a

CADD												WL	수행	
12	11	10	9	8	7	6	5	4	3	2	1			
0	0	0	0	0	0	0	0	0	0	0	0	0	0	SKIP
0	0	0	0	0	0	0	0	0	0	0	0	1	1	SKIP
0	0	0	0	0	0	0	0	0	0	1	0	2	2	SKIP
0	0	0	0	0	0	0	0	0	0	1	1	3	3	SKIP

도면14b

	12	11	10	9	8	7	6	5	4	3	2	1	WL	수행
IADD	0	0	0	0	0	0	1	1	0	0	0	1	1	ACT
ACT_ADD	0	0	0	0	0	0	1	0	0	0	0	1		

도면14c

CADD												WL	수행
12	11	10	9	8	7	6	5	4	3	2	1		
0	0	0	0	0	0	0	0	0	1	0	0	4	SKIP
0	0	0	0	0	0	0	0	0	1	0	1	5	SKIP

도면14d

	12	11	10	9	8	7	6	5	4	3	2	1	WL	수행
IADD	0	0	0	0	0	0	0	0	1	0	0	0	8	ACT
ACT_ADD	0	0	0	0	0	0	0	0	1	0	0	1		

도면14e

CADD											WL	수행	
12	11	10	9	8	7	6	5	4	3	2			1
0	0	0	0	0	0	0	0	0	1	1	0	6	SKIP
0	0	0	0	0	0	0	0	0	1	1	1	7	SKIP
0	0	0	0	0	0	0	0	1	0	0	0	8	REF
0	0	0	0	0	0	0	0	1	0	0	1	9	REF
...												REF	
0	0	0	0	0	0	0	0	1	1	1	0	14	REF
0	0	0	0	0	0	0	0	1	1	1	1	15	REF
0	0	0	0	0	0	0	<u>1</u>	0	0	0	0	16	SKIP

도면14f

	12	11	10	9	8	7	6	5	4	3	2	1	WL	수행
IADD	0	0	0	0	0	0	0	1	0	0	1	0	18	ACT
ACT_ADD	0	0	0	0	0	0	0	1	1	0	0	1		

도면14g

CADD											WL	수행	
12	11	10	9	8	7	6	5	4	3	2			1
0	0	0	0	0	0	0	1	0	0	0	1	17	SKIP
0	0	0	0	0	0	0	1	0	0	1	0	18	SKIP
0	0	0	0	0	0	0	1	0	0	1	1	19	REF
...												REF	
0	0	0	0	0	0	0	1	1	1	1	1	31	REF
0	0	0	0	0	0	<u>1</u>	0	0	0	0	0	32	SKIP
...												SKIP	
1	1	1	1	1	1	1	1	1	1	1	1	4095	SKIP

도면15

400

