



FI000093907B



SUOMI-FINLAND
(FI)

Patentti- ja rekisterihallitus
Patent- och registerstyrelsen

(B) (11) **KUULUTUSJULKAISU**
UTLAGGNINGSSKRIFT

93907

(12) **Patentti myönnetty**
Patent meddelat 12 06 1995

(51) Kv.1k.6 - Int.cl.6

G 06F 9/30

(21) Patentihakemus - Patentansökning	882468
(22) Hakemispäivä - Ansökningsdag	25.05.88
(24) Alkupäivä - Löpdag	28.09.87
(41) Tullut julkiseksi - Blivit offentlig	25.05.88
(44) Nähtävöksipanon ja kuul.julkaisun pvm. - Ansökan utlagd och utl.skriften publicerad	28.02.95
(86) Kv. hakemus - Int. ansökan	PCT/SE87/00437
(32) (33) (31) Etuoikeus - Prioritet	
03.10.86 SE 8604223 P	

(71) Hakija - Sökande

1. Oy L M Ericsson Ab, Kyrkslätt, 02420 Jorvas, (FI)

(72) Keksijä - Uppfinnare

1. Johnson, Sten Edvard, Råbocksvägen 8, 141 42 Huddinge, Sverige, (SE)
2. Kling, Lars-Örjan, Fornhöjdsvägen 24, 1 tr., 151 58 Södertälje, Sverige, (SE)

(74) Asiamies - Ombud: Oy Kolster Ab

(54) Keksinnön nimitys - Uppfinningens benämning

**Sätt och anordning för att i en på förhand avgjord ordningsföljd exekvera två
instruktionssekvenser**
**Menetelmä ja laite kahden käskysekvenssin suorittamiseksi ennalta määrättyssä
järjestyksessä**

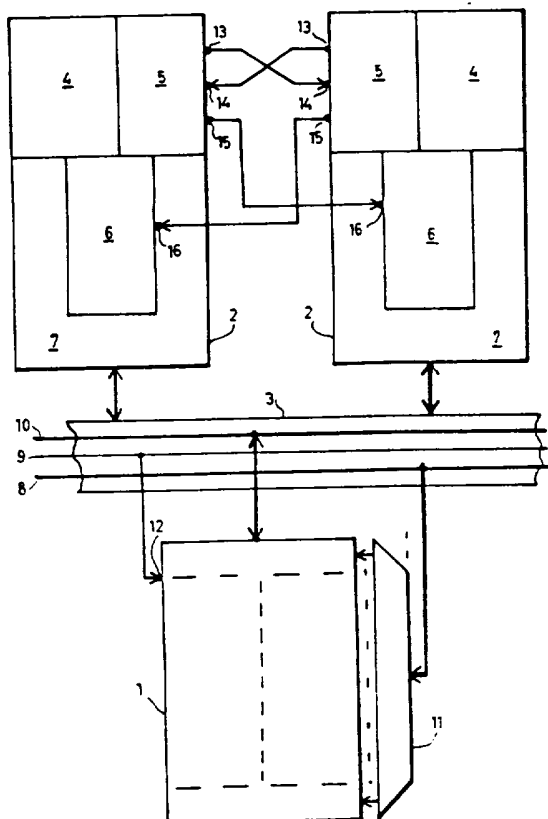
(56) Viitejulkaisut - Anförda publikationer

GB A 1218656 (G 06F 13/00), GB A 1441458 (G 06F 9/18), US A 3969702 (G 06F 9/08),
US A 4626989 (G 06F 9/30)

(57) Tiivistelmä - Sammandrag

Ett databehandlingssystem exekverar två instruktionssekvenser i en på förhand avgjord ordningsföljd. Exekveringarna omfattar utpekning av läs/skrivadresser innehållande läs/skrivinstruktioner (4), medelst vilka ett för båda sekvenser gemensamt huvudminne (1) aktiveras för datainformationsläsning/skrivning. Under exekveringen av den på grund av ordningsföljden andra sekvensen används datainformation som är icke på förhand garanterat oberoende av den datainformation som erhålles under exekveringen av den på grund av ordningsföljden första sekvensen. Ökad databehandlingskapacitet uppnås på följande sätt: Till att börja med parallell exekverar man båda sekvenser (5). Man förhindrar under den första sekvensen exekvering att huvudminnet aktiveras för skrivning på grund av den andra sekvensens skrivinstruktioner (37, 39, 41). Man undanlagrar en skrivadress och datainformation som ingår i en den andra sekvensen tillhörande skrivinstruktion (49, 50). Man jämför den undanlagrade skrivadressen med den andra sekvensens läsadresser (68, 70, 73) och förhindrar vid adresslikhet att datainformation läses från huvudminnet och läser istället den undanlagrade datainformationen (37, 38, 39, 41, 44). Man undanlagrar en adress som ingår i en den andra sekvensen tillhörande läsinstruktion, om denna adress dessförinnan inte har utpekats i samband med en den andra sekvensen tillhörande skrivinstruktion (49, 50). Man jämför den undanlagrade läsadressen med den första sekvensens skrivadresser och återstartar vid adresslikhet exekveringen av den andra sekvensen (66, 74, 76). Då den första sekvensen är slut-exekverad, överför man den undanlagrade datainformationen medelst den undanlagrade skrivadressen till huvudminnet (38, 46, 78, 79).

Tietojenkäsittelyjärjestelmä suorittaa kaksi käskysekvenssiä ennalta määrätyssä järjestyksessä. Suoritukset käsittävät luku/kirjoitusosoitteet sisältävien luku/kirjoituskäskyjen (4) osoituksen, joiden avulla molemmille sekvensseille yhteinen päämuisti (1) aktivoidaan datainformaation lukua/kirjoitusta varten. Järjestyksen perusteella toisen sekvenssin suorituksen aikana käytetään datainformaatiota, jota ei ole ennalta taattu riippumatta siitä datainformaatiosta, joka saadaan järjestyksen perusteella ensimmäisen sekvenssin suorituksen aikana. Lisääntynyt tietojenkäsittelykapaciteetti saavutetaan seuraavalla tavalla: Aluksi käsitellään molempia sekvenssejä (5) rinnakkain. Ensimmäisen sekvenssin suorituksen aikana estetään päämuistin aktivointi kirjoitusta varten toisen sekvenssin kirjoituskäskyjen (37, 39, 41) perusteella. Tallennetaan kirjoitusosoite ja datainformaatio, joka sisältyy toiseen sekvenssiin liittyvään kirjoituskäskyyn (49, 50). Tallennettua kirjoitusosoitetta verrataan toisen sekvenssin lukuosoitteisiin (68, 60, 73) ja estetään osoitteiden yhtäläisyyden yhteydessä datainformaation luku päämuistista ja luetaan sensijaan tallennettu datainformaatio (37, 38, 39, 41, 44). Tallennetaan osoite, joka sisältyy toiseen sekvenssiin kuuluvaan lukukäskyyn, jos tätä osoitetta sitä ennen ei ole osoitettu toiseen sekvenssiin kuuluvan kirjoituskäskyyn (49, 50) yhteydessä. Tallennettua lukuosoitetta verrataan ensimmäisen sekvenssin kirjoitusosoitteisiin ja osoiteyhtäläisyyden yhteydessä käynnistetään uudelleen toisen sekvenssin (66, 74, 76) suoritus. Toisen sekvenssin ollessa loppuunkäsiteltynä siirretään tallennettu datainformaatio tallennetun kirjoitusosoitteen avulla päämuistiin (38, 46, 78, 79).



Sätt och anordning för att i en på förhand avgjord ordningsföljd exekvera två instruktionssekvenser

Tekniskt område

5 Föreliggande uppfinning hänför sig till ett sätt och en anordning för att i en på förhand avgjord ordningsföljd exekvera två instruktionssekvenser, varvid exekveringarna omfattar utpekning av läsinstruktioner som innehåller var sin läsadress för hämtning av datainformation, 10 vilken är lagrad i en av ett flertal medelst var sin adress åtkomliga huvudminnesplatser, samt utpekning av skrivinstruktioner som innehåller var sin skrivadress och datainformation för överföring av datainformationen till en medelst skrivadressen åtkomlig huvudminnesplats, och 15 varvid i samband med exekveringen av den på grund av ordningsföljden andra sekvensen används datainformation som är icke på förhand garanterat oberoende av den datainformation som erhålles i samband med exekveringen av den på grund av ordningsföljden första sekvensen.

20 Teknikens ståndpunkt

En trivial konventionell lösning av ovannämnda informationshanteringsproblem består däri, att man startar exekveringen av den sekvens som enligt ovan och i det följande kallas den andra sekvensen först då exekveringen av 25 den sekvens som enligt ovan och i det följande kallas den första sekvensen är avslutad. Denna triviala lösning erhålles naturnödvändigt hos ett databehandlingssystem, vilket medelst en enda processor styrs så att sekvenserna exekveras en i taget under användning av för båda sekvenser gemensamma huvudminnesplatser. 30

Det är känt att höja databehandlingskapaciteten genom att parallelexekvera instruktionssekvenser. Så länge sekvenserna är på förhand garanterat oberoende av varandra åstadkommes felfritt parallellarbete med hjälp 35 av så kallad pre-processing eller multi-processing, eller

⋮

även med hjälp av ett en-processorsystem, vilket omfattar minst två databehandlingsenheter för exekvering av var sin instruktionssekvens. Det är känt att realisera informationshanteringen både medelst ett huvudminne som är gemensamt för ett flertal databehandlingsenheter och medelst ett flertal separatminnen, vilka tillhör var sin databehandlingsenhet och vilka då och då uppdateras sinsemellan.

Vid förekomst av känsliga instruktionssekvenser, vilka påverkar varandra och därför måste exekveras i en föreskriven ordningsföljd används till exempel enligt tidskrift "Computer Design, August 15, 1985, pp 76-81" eller enligt "Balance 8000 System Technical Summary, Sequent Computer Systems, Inc" programspråk, kompilatorer och sekvensmaskinvara för att parallellbearbeta av varandra beroende sekvenser medan parallellbearbetning av de känsliga sekvenserna förhindras.

Redogörelse för uppfinningen

Som det har nämnts inledningsvis, hänför sig föreliggande uppfinning till datainformationshantering under användning av ett för båda sekvenser gemensamt huvudminne. Vid den föreslagna informationshanteringen exekverar man båda sekvenser parallellt utan att till att börja med taga hänsyn till den på förhand avgjorda ordningsföljden. För att säkerställa den föreskrivna ordningsföljden är det emellertid nödvändigt, att man under pågående exekvering av den första sekvensen förhindrar att till huvudminnesplatserna överföres datainformation som erhålles på grund av utpekade den andra sekvensens tillhörande skrivinstruktioner. Den andra sekvensens beroende av den första sekvensen bevakas och den föreskrivna ordningsföljden åstadkommes medelst en undanlagringsenhet som omfattar ett hjälpminne samt jämförelsekreter.

I hjälpminnet undanlagras adresser som erhålles på grund av läsinstruktioner, vilka utpekas under den andra sekvensens exekvering. Man jämför varje under den första

sekvansens exekvering utpekad skrivadress med var och en av de i hjälpmminnet undanlagrade läsadresserna. Så länge ingen adresslikhet fastställs, används under den andra sekvensens exekvering ingen datainformation som är beroende av den under den första sekvensens exekvering erhållna datainformationen. Men om under den andra sekvensens exekvering har hämtats från en huvudminnesplats information som sedan korrigeras på grund av den första sekvensen tillhörande skrivoperation, d v s om de två sekvenserna inte längre är oberoende av varandra, raderar man hjälpmminnet och igångsätter den andra sekvensens instruktionsutpekningar på nytt. Återstarten av den andra sekvensens exekvering sker då i en tidpunkt då en första del av den första sekvensen redan är exekverad och då följaktligen mindre risk föreligger att den andra sekvensen är beroende av den första sekvensens kvarstående del.

I hjälpmminnet undanlagras även skrivadresser och datainformation som erhålles på grund av skrivinstruktioner, vilka utpekas under den andra sekvensens exekvering. Man jämför varje under den andra sekvensens exekvering utpekad läsadress med var och en av de i hjälpmminnet undanlagrade skrivadresserna. Om härvid ingen adresslikhet fastställs hämtas datainformation från den huvudminnesplats som är åtkomlig medelst den aktuella läsadressen, medan datainformationen, som är tillordnad den aktuella adressen hämtas från hjälpmminnet, om adresslikhet fastställs.

När den första sekvensen är slutexekverad överför man den i hjälpmminnet undanlagrade datainformationen till de huvudminnesplatser som är åtkomliga medelst de likaledes undanlagrade tillhörande skrivadresserna.

Vid användning av den föreslagna informationshanteringen erhåller man en höjning av databehandlingskapaciteten om den andra sekvensens exekvering är oberoende av åtminstone de instruktioner som utpekas vid slutet av

den första sekvensens exekvering. Kapacitetshöjningen förbättras ytterligare om man i hjälpmminnet undanlagrar en utpekad adress som läsadress enbart om denna adress dessförinnan under den andra sekvensens exekvering inte har förekommit som en skrivadress.

Uppfinningens kännetecken framgår av patentkraven.

Figurbeskrivning

Uppfinningen förklaras närmare under hänvisning till bifogad ritning, vars figur 1 visar två via ett bussystem till ett gemensamt huvudminne anslutna databehandlingsenheter. Ritningens figur 2 visar mera detaljerat än figur 1 en instruktionsminnesanordning, en start- och identifieringskrets, och ett grindnät, vilka ingår i en databehandlingsenhet. Ritningens figur 3 visar en i en databehandlingsenhet ingående undanlagringsenhet.

Föredragen utföringsform

Ett databehandlingssystem enligt Figur 1 omfattar ett huvudminne 1 för att lagra datainformation som behandlas av minst två databehandlingsenheter 2, vilka via ett bussystem 3 är anslutna till huvudminnet. Databehandlingsenheterna exekverar var sin instruktionssekvens för att styra tillordnade i Figur 1 icke visade funktionsenheter vid genomförandet av tillordnade systemfunktioner. Beroende på om databehandlingsenheterna styrs av en gemensam processor eller om varje enhet omfattar ett antal processorer, erhåller man ett i princip konventionellt en- eller multiprocessorsystem, i vilket ingår en gemensam buss och ett gemensamt huvudminne. Ett dylikt ett flertal databehandlingsenheter och en buss omfattande databehandlingssystem beskrivs till exempel i Intels "APX"286 Hardware Reference Manual" och i en Electronics, March 22, 1984, artikel "Backup support gives VMW bus powerful multiprocessing architecture".

Figur 1 visar på ett med hänsyn till föreliggande

uppfinring vittgående förenklat sätt två databehandlings-
enheter 2 för att i en på förhand avgjord ordningsföljd
exekvera ovannämnda första och andra instruktionssekven-
ser. Utöver en konventionell instruktionsminnesanordning
5 4 för att utpeka i ett instruktionsminne lagrade instruk-
tioner en i taget omfattar varje databehandlingsenhet en
start- och identifieringskrets 5 för att ange om den egna
sekvensen utgör den första oberoende eller den möjligen
oberoende andra sekvensen, en undanlagringsenhet 6 för att
10 undanlagra i instruktionerna ingående adresser och datain-
formation, som används emellertid enbart hos den databe-
handlingsenhet som exekverar den andra sekvensen, samt
ett grindnät 7 för att styra databehandlingsenhetens an-
slutning till bussystemet 3.

15 Det kommer att framgå från den senare beskriv-
ningen, att bussystemets belastning ökas något på grund
av de erforderliga instruktionsundanlagringarna, men det
antages att bussystemets åtkomstkapacitet mot databehand-
lingsenheterna och mot huvudminnet är sådant att den to-
20 tala databehandlingen kan genomföras störningsfritt i den
på förhand avgjorda ordningsföljden. Av bussystemet visar
Figur 1 en flerbiteradressbuss 8, en ledning 9 för att
överföra skrivsignaler, och en flerbiterdatabuss 10. Det
antogs vidare, att databussen är dubbelriktat ansluten
: 25 till huvudminnet 1 och databehandlingsenheterna 2, medan
adressbussen 8 och skrivsignalledningen 9 är enkelriktat
anslutna till huvudminnets adresseringskrets 11 och skriv-
aktiveringsingång 12, vars mottagning av en adress och en
skrivsignal föranleder att databussens innehåll överförs
30 till en medelst adressen åtkomlig huvudminnesplats. Vid
mottagning av enbart en adress överförs från huvudminnet
data, som är lagrade i en medelst adressen åtkomlig huvud-
minnesplats, via databussen 10 till den adressändande da-
tabehandlingsenheten. Databehandlingsenheternas start-
35 och identifieringskretsar 5 är försedda med var sin start-

signalutgång 13 som är ansluten till den andra startkretsens startsignalingång 14. Därmed antydes den längre ner beskrivna och vid den föreslagna informationshanteringen använda möjligheten att exekvera parallellt båda sekvenser.

Slutligen visas i Figur 1 att identifieringskretsarna 5 är försedda med var sin identifieringssignalutgång 15 som är ansluten till en första identifieringssignalingång 16 hos den andra databehandlingsenhetens undanlagringsenhet 6.

Figur 1 visar inte de konventionella bufferteringar och aktiveringar, vilka genomförs i samband med dataöverföringarna mellan databehandlingsenheterna och bussystemet, vilket - som det kommer att beskrivas senare - används även för att överföra adresser och skrivsignaler mellan databehandlingsenheterna.

Figur 2 visar mera utförligt än Figur 1 några databehandlingsenhetsdetaljer, vars kännedom behövs för förståelsen av den föreslagna informationshanteringen.

Instruktionsminnesanordningen 4 omfattar ett instruktionsminne 17 för att lagra en instruktionssekvens, vilken medelst en utpekninganordning 18 utläses från instruktionsminnet, en instruktion i taget, på grund av aktivering av en av utpekninganordningens utgångar.

Sekvensen omfattar tre instruktionstyper. Den första typen, fortsättningsvis kallad "läsinstruktion", vilken identifieras medelst en binär "1"satt läsbitposition 19, används för att beordra att hämta data från en huvudminnesplats till vilken åtkomst erhålles med hjälp av en i ett antal adressbitpositioner 20 lagrad adress, till exempel A1, vilken ingår i den läsbitmärkta instruktionen. Den andra instruktionstypen, fortsättningsvis kallad "skrivinstruktion", vilken identifieras medelst en "1"satt skrivbitposition 21, används för att beordra att i en huvudminnesplats skriva data, till exempel D2, vilka

ingår i den skrivbitsmärkta instruktionen och lagras i ett antal databitpositioner 22, under användning av en adress, till exempel A2, vilken också ingår i den skrivbitsmärkta instruktionen och lagras i adressbitpositionerna

5 20. Den tredje instruktionstypen, vilken identifieras medelst "0"satta bitpositioner 19 och 21, används för att beordra en informationshantering utan läsning från eller skrivning i huvudminnet. Användningen av den information, till exempel S1, som lagas i de bitpositioner 20 och 22,

10 som tillhör en tredje typs instruktion, ligger utanför uppfinningens ram, men Figur 2 visar en första OR grind 23, som ingår i nämnda grindnät 7 och vars ingångar är anslutna till bitpositionerna 19 och 21 och vars utgång är ansluten till en inverterande aktiveringsingång hos en

15 första AND grindanordning 24, vilken i aktiverat tillstånd överför innehållet, till exempel S1, hos bitpositionerna 20 och 22 direkt till databehandlingsenheten. Instruktioner av den tredje typen belastar varken bussystemet eller huvudminnet, vilka därför kan vara gemensamma för ett an-

20 tal databehandlingsenheter utan att ställa allt för stora hastighetskrav på huvudminnet och bussystemet.

Databehandlingsenheternas start- och identifieringskretsar 5 omfattar enligt Figur 2 var sin andra och tredje OR grind 25 och 26. Grind 25 har sin ena ingång ansluten till utgången hos grind 26, vars ingångar är anslutna till ovannämnda startsignalingång 14 och till en återstartsignalutgång 27 hos den i samma databehandlingsenhet ingående undanlagringsenheten 6. Databehandlingsenheterna omfattar var sin på Figur 2 inte visad startsignalgenerator, vars utgång via en startkretsterminal 28 är

25 ansluten till den andra ingången hos grind 25, till ovannämnda startsignalutgång 13 och till sättingången hos en första vipa 29 vars utgång utgör ovannämnda identifieringssignalutgång 15. En andra vipa 30 har sin sättingång

30 ansluten till utgången hos grind 26 och sin utgång anslu-

35

ten till en andra identifieringssignalingång 31 hos den egna databehandlingsenhetens undanlagringsenhet 6. Grinden 25 utpekar i aktiverat tillstånd en instruktion av tredje typen som är en startinstruktion med innehåll S1, på grund
5 av vilken databehandlingsenheten igångsätter medelst sin utpekninganordning 18 den tillhörande instruktionssekvenssekveringen. Det antages att den i instruktionsminnet 17 lagrade sekvensen avslutas i samband med aktiveringen av utpekninganordningsutgång 32, vilken är ansluten till
10 nämnda vippors 29 och 30 återställningångar.

Exekveringen av den första sekvensen sättes igång av den egna startsignalgeneratorn. Följaktligen identifierar en binär "1" på den första vippans 29 utgång, att den egna sekvensens instruktionsutpekningar pågår och att den
15 egna sekvensen är den första sekvensen. En binär "1" på den andra vippans 30 utgång identifierar, att den egna sekvensens instruktionsutpekningar pågår och att den egna sekvensen är den andra sekvensen. Enligt uppfinningen utpekas instruktionerna i båda sekvenser parallellt, vilket
20 till exempel åstadkommes medelst en startsignalöverföring från den startsignalutgång 13 som tillhör den första sekvensen till den startsignalingång 14 som tillhör den andra sekvensen.

De från instruktionsminnet 17 utpekade instruktionerna överförs till databehandlingsenhetens grindnät 7 och
25 via terminaler 33-36 till databehandlingsenhetens undanlagringsenhet 6. Varje grindnät 7 omfattar en andra AND grindanordning 37 för att i aktiverat tillstånd överföra via en första OR grindanordning 38 innehållet hos adress-,
30 skriv- och data-bitpositionerna 20-22 till bussystemets adressbuss, skrivsignalledning och databuss 8-10. Grindanordning 37 har sin aktiveringsingång ansluten till utgången hos en fjärde OR grind 39, vars ena respektive andra ingång är ansluten till utgången hos en första respektive
35 tive andra AND styrgrind 40 respektive 41. Styrgrind 40

har sin första ingång ansluten till instruktionsminnets skrivbitposition 21 och sin andra ingång ansluten till den första vippans 29 utgång. Styrgrind 41 har sin första ingång ansluten till instruktionsminnets läsbitposition 5 19 och sin andra inverterande ingång ansluten till en kategorisignalutgång 42 hos undanlagringsenheten 6.

Det kommer att beskrivas längre ner, att det finns en första och en andra kategori bland de läsinstruktioner som utpekas under exekveringen av den andra sekvensen, att 10 den första respektive andra kategorin identifieras medelst en via nämnda kategoriutgång 42 överförd binär "0" respektive "1", samt att nämnda utgång 42 sänder en binär "0" om den tillhörande databehandlingsenheten exekverar den första sekvensen. Följaktligen aktiveras grindanordningen 37 15 på grund av samtliga läs- och skrivinstruktioner som utpekas under exekveringen av den första sekvensen samt på grund av en första kategoris läsinstruktion. Men grindanordning 37 aktiveras inte på grund av en tredje typs instruktion eller en skrivinstruktion som utpekas under exekveringen av den andra sekvensen eller en andra kategoris 20 läsinstruktion.

Varje grindnät omfattar vidare en tredje AND grinddanordning 43 för att i aktiverat tillstånd överföra via en andra OR grindanordning 44 datainformation som er-
: 25 hålles från en terminal 45 hos undanlagringsenheten 6 och som hanteras av den tillhörande databehandlingsenheten. Grindanordningen 43 har sin aktiveringsingång ansluten till nämnda kategorisignalutgång 42. OR grindanordningen 44 har sin andra ingång ansluten till bussystemets data
30 buss 10. Vid utpekning av en andra kategoris instruktion hämtas alltså datainformation inte från huvudminnet 1 utan från undanlagringsenheten 6.
:

Slutligen omfattar varje grindnät 7 en fjärde AND grindanordning 46 för att i aktiverat tillstånd överföra 35 data- och adressinformation samt skrivsignaler från ut-

:

gångsterminaler 45, 47 och 48 hos den samma databehandlingsenhet tillhörande undanlagringsenheten 6 till bussystemet 3. Aktiveringen av grindanordningen 46 kommer att beskrivas i samband med beskrivningen av undanlagringsenheten.

Figur 3 visar en undanlagringsenhet som omfattar ett hjälpminne 49, vars kolumner för att undanlagra via nämnda terminaler 33 - 36 överförda datainformation, läs- och skrivadresser utpekas för skrivning, läsning och radering medelst en avsökningsanordning 50. Det kommer att beskrivas, att hjälpminnet raderas när den tillhörande instruktionssekvensen är slutexekverad.

Framkanten av en avsökningspuls, som utsändes från en femte OR grind 51, nollställer avsökningsanordningen. Åtkomst till hjälpminnets kolumner erhåller medelst framkanterna av stegpulser, som alstras av en stegtaktgenerator 52 och överförs via en aktiverad stegnings AND grind 53 till avsökningsanordningens stegterminal 54. Pulserna sändes även till en läsaktiveringsterminal 55, varigenom kolumnernas innehåll läses ett i taget.

Undanlagringsenheten enligt Figur 3 omfattar en första NOR grind 56, vars ingångar mottager de i hjälpminnets skriv- och läsbitpositioner 57 och 58 undanlagrade skriv- och läsmarkeringar och vars inverterande utgång är via en stopp OR grind 59 ansluten till en inverterande ingång hos stegnings AND grind 53 och till första ingångar hos en tredje och fjärde AND styrgrind 60 och 61, vars utgångar är anslutna till OR grind 51. Styrgrind 60 har sin andra ingång ansluten till en femte AND styrgrind 62, vars första ingång är ansluten till ovannämnda identifieringssignalingång 31 och vars andra ingång via en första styrterminal 63 är ansluten till utgången hos ovannämnda första OR grind 23.

Följaktligen alstras avsökningspulser endast i den undanlagringsenhet som ingår i den databehandlingsenhet,

som exekverar den andra sekvensen. En avsökningsoperation beordras vid utpekning av en läs- eller skrivinstruktion. Man erhåller stegningsstopp då det läses en ledig kolumn, d v s en kolumn som är varken skriv- eller läsmarkerad.

5 Förutsättning för att starta en avsökning är att den föregående stegningen har blivit stoppad.

Nämnda första NOR grind 56 är via en skriv OR grind 64 ansluten till avsökningsanordningens skrivaktiveringsingång 65. Det antages, att en skrivinstruktion med tillhörande adress A3 och data D3/1 samt en läsinstruktion med tillhörande adress A4 utgör den andra sekvensens första och andra mot huvudminnet riktade instruktioner, vilka på det beskrivna sättet undanlagras i hjälpminnets första och andra kolumn, vars bitpositioner 57 och 58 dessförinnan har varit "0"satta.

10
15

Styrgrind 61 har sin andra ingång ansluten till en sjätte AND styrgrind 66, vars första ingång är ansluten till ovannämnda första identifieringsingång 16 och vars andra ingång via en första bussterminal 67 är ansluten till bussystemets skrivsignalledning 9. Därmed beordras en avsökningsoperation hos den andra sekvensens undanlagringsenhet även vid utpekning av en den första sekvensen tillhörande skrivinstruktion. Stegtaktgeneratorns 52 taktfrekvens antages vara så pass hög relativt till instruktionsutpekningshastigheten, att man hinner att genomföra samtliga via nämnda styrgrindar 62 och 66 beordrade avsökningsoperationer.

20
25

Undanlagringsenheten omfattar en första jämförelsesekrets 68, vars utgång aktiveras vid likhet mellan den via terminal 36 från instruktionsminnet 17 erhållna adressen och en av de under en avsökningsoperation från hjälpminnets adressbitpositioner 69 lästa adresserna. En sjunde AND styrgrind 70 har sin utgång ansluten till stopp OR grind 59, sin enda ingång ansluten till den första jämförelsesekretsens 68 utgång och mottager på sin andra ingång

30
35

:

de i hjälpminnets skrivbitpositioner 57 undanlagrade skrivmarkeringar. Man erhåller, att en avsökningsoperation stoppas om en från instruktionsminnet utpekad läs-, eller skrivadress överensstämmer med en undanlagrad skrivadress.

5 Skriv OR grind 64 har sin andra ingång ansluten till utgången hos en åttonde AND styrgrind 71, vars första ingång är ansluten till den första jämförelsekretsen och vars andra och tredje ingångar mottager de i hjälpminnets skrivbitpositioner 57 undanlagrade skrivmarkeringarna och
10 den via terminal 34 från instruktionsminnet 17 utpekade skrivmarkeringen. Om en från instruktionsminnet utpekad skrivadress, till exempel A3, överensstämmer med en undanlagrad skrivadress, uppdateras den kolumn i hjälpminnet, vid vilken den på grund av den utpekade skrivadressen genomförda avsökningen har stoppats, så att till exempel
15 hjälpminnets första kolumn undanlagrar efter uppdateringen datainformation D3/2 i hjälpminnets databitpositioner 72.

 Styrgrind 70 har sin utgång ansluten till den ena ingången hos en nionde AND styrgrind 73, vars andra ingång
20 mottager den via terminal 33 från instruktionsminnet 17 utpekade läsmarkeringen och vars utgång utgör ovannämnda kategorisignalutgång 42, vilken följaktligen har överfört en binär "0" till ovannämnda styrgrind 41 och grindanordning 42 i samband med undanlagringen av adressen A4 i
25 hjälpminnets andra kolumn. Det antages, att utpekningen av läsinstruktionen med tillhörande adress A4 upprepas en första gång efter utpekningen av ett antal i Figur 3 inte visade instruktioner med andra adresser än A3 och A4. Man erhåller, att den en första gång upprepade utpekningen inte
30 resulterar i en binär "1"satt kategorisignalutgång 42 och ett avsökningsstopp på grund av en medelst den första jämförelsekretsen 68 fastställd adresslikhet, så att den en första gång upprepade läsinstruktionen undanlagras en andra gång i en kolumn, vars bitpositioner 57 och 58 dess-
35 förinnan har varit "0" satta. Den andra sekvensens läs-

struktioner med tillhörande adress Ax kallas första kategoris instruktioner om dom utpekas innan samma adress Ax förekommer hos den andra sekvensen i samband med utpekningen av en skrivinstruktion. En binär "0"satt utgång 42
5 identifierar en första kategoris instruktion.

Det antages, att en skrivinstruktion med tillhörande adress A4 och data D4 utpekas efter utpekningen av ovannämnda en första gång upprepad läsinstruktion och av ett antal i Figur 3 inte visade instruktioner med andra
10 adresser än A3 och A4. Man erhåller, att denna skrivinstruktion undanlagras i en dessförinnan ledig kolumn. Det antages vidare, att utpekningen av läsinstruktionen med tillhörande adress A4 upprepas en andra gång efter utpekningen av nämnda skrivinstruktion med adressen A4. Man er-
15 håller ett avsökningsstopp i samband med läsning av den undanlagrade skrivinstruktionen med adressen A4. Man erhåller ingen uppdatering, d v s man bibehåller skrivmarkeringen i bitpositioner 57 och genomför ingen läsmarkering i bitposition 58, och man erhåller en binär "1"satt kate-
20 gorisignalutgång 42, varmed den en andra gång upprepade läsinstruktionen med tillhörande adress A4 identifieras som en andra kategoris instruktion. Följaktligen innehåller hjälpmminnet inga andra kategoris instruktioner, vars utpekningar emellertid resulterar i att den i Figur 2 vi-
25 sade styrgrinden 41 stoppar instruktionsöverföringen till bussystem 3, samt att den datainformation, till exempel D4, vilken läses i samband med det tillhörande avsökningsstoppet från hjälpminnets databitpositioner 72, överförs till databehandlingsenheten via de i Figur 2 visade grin-
30 danordningarna 43 och 44.

Undanlagringsenheten omfattar en andra jämförelsekrets 74, vars utgång aktiveras vid likhet mellan den via en andra bussterminal 75 från adressbussen 8 erhållna adressen och en av de under en avsökningsoperation från
35 hjälpminnets adressbitpositioner 69 lästa adresserna. Den

andra jämförelsekretsens är ansluten till den första ingången hos en tionde AND styrgrind 76, vars andra ingång är ansluten till ovannämnda styrgrind 66, vars tredje ingång mottager de i hjälpminnets bitpositioner 58 undanlagrade läsmarkeringarna och vars utgång utgör ovannämnda återstartsignalutgång 27 och är ansluten till en rader OR grind 77. Från en aktiverad styrgrind 76 erhåller den i Figur 2 visade OR grinden 26 en återstartsignal. Från en aktiverad rader OR grind 77 erhåller avsökningsanordningen 50 en raderorderpuls, på grund av vilken omedelbart makuleras samtliga i hjälpminnets undanlagrade adress- och datainformationer.

Man erhåller, att en radering av hjälpminnets och en återstart av exekveringen av den andra sekvensen genomförs om man påträffar en undanlagrad första kategoris läsinstruktion, vars tillhörande adress överensstämmer med den adress som tillhör en skrivinstruktion, vilken utpekades under exekveringen av den första sekvensen. Raderingen erfordras därför att den tillhörande databehandlingsenheten har på grund av den påträffade första kategoris instruktionen mottagit från huvudminnet datainformation, som den inte hade mottagit om man konsekvent hade tagit hänsyn till den på förhand bestämda ordningsföljden, d v s om man inte hade utpekat parallellt instruktionerna i den första och i den andra sekvensen.

Undanlagringsenheten omfattar en andra NOR grind 78, vars ingångar är anslutna till ovannämnda identifieringssignalingångar 16 och 31 och vars inverterande utgång är ansluten till OR grind 51. Då den första och den andra sekvensen utpekningar är avslutade beordras följaktligen en avsökningsoperation, vilken emellertid är resultatlös hos den undanlagringsenhet som ingår i den databehandlingsenhet, vilken har exekverat den första sekvensen. Utgången hos NOR grind 78 är ansluten till den första ingång hos en elfte AND styrgrind 79, vars andra ingång mot-

tager de i hjälpminnets bitpositioner 57 undanlagrade skrivmarkeringarna, och vars utgång är ansluten via en andra styrterminal 80 till ovannämnda grindanordning 46. Man erhåller, att den medelst NOR grind 78 igångsatta av-
5 sökningsoperationen resulterar i att samtliga i hjälpmi-
net undanlagrade skrivinstruktioner överförs via termina-
lernsa 45, 47 och 48, via grindanordningarna 46 och 38,
och via bussystemet 3 till huvudminnet 1.

Slutligen visar undanlagringsenheten enligt Figur
10 3 en tolvte AND styrgrind 81, vars ingångar är anslutna
till NOR grindarna 56 och 78 och vars utgång är ansluten
till rader OR grind 77. Man erhåller en raderorderpuls då
den medelst NOR grind 78 igångsatta avsökningsoperationen
är avslutad.

15 Som helhetsverkan uppnår man medelst undanlag-
ringsenheten, att den första och den andra sekvensen slut-
giltigt exekveras i den på förhand avgjorda ordningsfölj-
den felfritt trots att man inledningsvis har beordrat att
exekvera båda sekvenser parallellt.

Patentkrav

1. Förfarande för användning av en dator för att exekvera en första och en andra instruktionssekvens, vilken dator omfattar ett hjälpminne och ett centralminne omfattande ett antal medelst adresser utpekbara minnesplatser, vilka instruktionssekvenser exekveras i en förutbestämd ordning, varvid den första sekvensen logiskt kan exekveras före den andra sekvensen, varvid båda instruktionssekvenserna innehåller åtminstone en läsinstruktion och en skrivinstruktion, varvid den nämnda åtminstone ena läsinstruktionen omfattar en läsadress för avhämtning av datainformation från en av centralminnets minnesplatser som kan utpekas med hjälp av nämnda läsadress, varvid nämnda åtminstone ena skrivinstruktion omfattar datainformation och en motsvarande skrivadress, som definierar en minnesplats i centralminnet till vilken nämnda skrivinstruktions datainformation skall överföras, varvid datainformationen som krävs för att exekvera den andra sekvensen inte nödvändigtvis är oberoende av datainformationen som erhålles som ett resultat av exekveringen av den första sekvensen, k ä n n e t e c n a t av följande skeden:
- a) exekvering av instruktioner i båda sekvenserna oberoende av den förutbestämda ordningsföljden för sekvensernas exekvering;
 - b) under den första sekvensens exekvering förhindras överföring till centralminnet av data som erhålles på basen av exekveringen av den andra sekvensens nämnda åtminstone ena skrivinstruktion, och istället, då då nämnda åtminstone ena skrivinstruktion utpekats under exekveringen av den andra sekvensen, lagras den andra sekvensens nämnda åtminstone ena skrivinstruktionens skrivadress och datainformation temporärt i nämnda hjälpminne;
 - c) jämförande av varje läsadress som utpekats under exekveringen av den andra sekvensen med alla temporärt

lagrade skrivadresser, och ifall nämnda läsadress inte är densamma som någon adress som har utpekats under exekveringen av någon av den andra sekvensens skrivinstruktioner, lagring av den andra sekvensens nämnda åtminstone ena läsinstruktions läsadress temporärt i nämnda hjälpminne, i annat fall generering av en första signal då nämnda jämförda läsadress är densamma som en av de temporärt lagrade skrivadresserna, förhindrande då nämnda första signal är mottagen, avläsning av datainformation från centralminnets minnesplats som kan utpekats med nämnda jämförda läsadress, och istället avläsande från nämnda hjälpminne den temporärt lagrade datainformationen som motsvaras av nämnda skrivadress;

d) ytterligare jämförande av skrivadressen som utpekats under exekveringen av den första sekvensens varje skrivinstruktion med alla temporärt lagrade läsadresser och generering av en andra signal då nämnda jämförda skrivadress är densamma som en av de temporärt lagrade läsadresserna;

e) återexekvering av den andra sekvensen som svar på genereringen av den nämnda andra signalen; och

f) överföring av all temporärt lagrad datainformation som svar på slutförandet av den första sekvensen till centralminnet till minnesplatser som utpekats av de motsvarande temporärt lagrade skrivadresserna.

2. Anordning för att enligt patentkrav 1 exekvera två instruktionssekvenser i en på förhand avgjord ordningsföljd, omfattande en första startkrets (13, 25, 28) för att starta exekveringen av den på grund av ordningsföljden första sekvensen och en första respektive andra instruktionsminnesenhet (4) för att lagra den på grund av ordningsföljden första respektive andra sekvensen och för att en i taget utpeka de lagrade instruktionerna, vilka instruktionsminnesenheter är anslutna via ett bussystem (3) till en huvudminnesenhet (1, 11) vars huvudminnesplat-

ser är åtkomliga för datainformationsläsning/skrivning medelst från instruktionsminnesenheteras läs/skrivadressbitpositioner (19, 20, 21) utpekade läs/skrivadresser, varvid i samband med exekveringen av den andra sekvensen används datainformation som är icke på förhand garanterat oberoende av den datainformation som erhålles i samband med exekveringen av den första sekvensen, k ä n n e - t e c k n a d därav, att anordningen omfattar

5
10 a) en andra startkrets (14, 25, 26) för att starta den andra sekvensen, vars första aktiveringsingång (14) är ansluten till nämnda första startkrets,

b) en första instruktionsöverföringskrets (37, 38, 39, 41), vilken ingångsidigt respektive utgångsidigt är ansluten till den andra instruktionsminnesenheten respektive bussystemet och vilken under pågående exekvering av den första sekvensen desaktiveras på grund av utpekningen av en i den andra sekvensen ingående skrivinstruktion,

15
20 c) en hjälpminnesenhet (49, 50), vars ingångsterminaler (33-36) är anslutna till den andra instruktionsminnesenheten och vilken omfattar data- och skrivadressbitpositioner (57, 69, 72) för att undanlagra en skrivadress och datainformation som erhålles på grund av en skrivinstruktion som utpekats under den andra sekvensens exekvering samt läsadressbitpositioner (58, 69) för att
25 undanlagra en adress, vilken erhålles som en läsadress på grund av en läsinstruktion som utpekats under den andra sekvensens exekvering, om denna adress dessförinnan inte har utpekats i samband med exekveringen av den andra sekvensens skrivinstruktioner,

30 d) en omkopplingsjämförelsekrets (68, 70, 73), vars ena jämförelseterminaler är anslutna till den andra instruktionsminnesenhetens läsadressbitpositioner (19,20), vars andra jämförelseterminaler är anslutna till hjälpminnesenhetens nämnda skrivadressbitpositioner (57, 69) och
35 vars utgång sänder ett första respektive andra logiskt om-

kopplingssignaltillstånd på grund av olikhet respektive likhet mellan de på omkopplingsjämförelseterminalerna mottagna adresserna,

5 e) en dataomkopplare (37, 38, 39, 41, 44), vars ena dataingång är ansluten till bussystemet, vars andra dataingång är ansluten till hjälpminnets databitpositioner (72) och vars styringångar är anslutna till utgången hos omkopplingsjämförelsekretsen, för att på grund av nämnda första omkopplingssignaltillstånd hämta datainformation
10 från den huvudminnesplats som är åtkomlig medelst den av omkopplingsjämförelsekretsen mottagna läsadressen och för att på grund av nämnda andra omkopplingssignaltillstånd hämta från hjälpminnet den datainformation som tillhör den av omkopplingsjämförelsekretsen mottagna skrivadressen,

15 f) en beroendejämförelsekrets (66, 74, 76), vars ena jämförelseterminaler (16, 75) mottager de under den första sekvensens exekvering utpekade skrivadresserna, vars andra jämförelseterminaler är anslutna till hjälpminnesenhetens nämnda läsadressbitpositioner (58, 69) och
20 vars till en andra aktiveringsingång hos nämnda andra startkrets ansluten utgång (27) aktiveras vid överensstämmelse mellan de på beroendejämförelseterminalerna mottagna adresserna, och

g) en andra instruktionsöverföringskrets (38, 46,
25 78, 79), vilken ingångsidigt respektive utgångsidigt är ansluten till hjälpminnets data- och skrivadressbitpositioner (57, 69, 72) respektive bussystemet (3) och vilken aktivernas då exekveringen av den första sekvensen är avslutad.

Patenttivaatimukset:

1. Menetelmä tietokoneen käyttämiseksi ensimmäisen ja toisen käskysekvenssin suorittamiseksi, mainitun tietokoneen käsittäessä apumuistin ja keskusmuistin joissa on 5 joukko osoitteella osoitettavia muistipaikkoja, jotka käskysekvenssit suoritetaan ennalta määrättyssä järjestyksessä, ensimmäisen sekvenssin ollessa loogisesti suoritettavissa ennen toista sekvenssiä, kunkin käskysekvenssin käsittäessä ainakin yhden lukukäskyn ja yhden kirjoituskäskyn, mainitun ainakin yhden lukukäskyn käsittäessä lukuosoitteen datainformaation noutamiseksi yhdestä keskusmuistin muistipaikoista, joka on osoitettavissa mainitun lukuosoitteen avulla, ja mainitun ainakin yhden kirjoituskäskyn käsittäessä datainformaatiota ja vastaavan kirjoitusosoitteen, kirjoitusosoitteen määrittäessä yhden keskusmuistin muistipaikan, johon mainitun kirjoituskäskyn datainformaatio on siirrettävä, jolloin toisen sekvenssin suorittamiseen tarvittava datainformaatio ei välttämättä 10 ole riippumaton ensimmäisen sekvenssin suorittamisen tuloksena saatuun datainformaatioon, t u n n e t t u seuraavista vaiheista:

a) suoritetaan käskyjä molemmissa sekvensseissä riippumatta sekvenssien ennalta määrätystä suoritusjärjestyksestä; 25

b) ensimmäisen sekvenssin suorituksen aikana estetään datainformaation siirto keskusmuistipaikkoihin, joka saadaan toisen sekvenssin mainitun ainakin yhden kirjoituskäskyn suorituksen perusteella, ja sen sijaan, kun kohdataan mainittu ainakin yksi kirjoituskäsky toisen sekvenssin suorituksen aikana, talletetaan väliaikaisesti toisen sekvenssin mainitun ainakin yhden kirjoituskäskyn kirjoitusosoite ja datainformaatio mainittuun apumuistiin; 30

c) verrataan kukin toisen sekvenssin suorituksen aikana kohdattu lukuosoite kaikkiin väliaikaisesti tallen-

35

nettuihin kirjoitusosoitteisiin, ja jos mainittu lukuosoite ei ole sama kuin mikään toisen sekvenssin minkään kirjoituskäskyn suorituksen aikana kohdattu osoite, talletetaan väliaikaisesti toisen sekvenssin mainitun ainakin yhden lukukäskyn lukuosoite mainittuun apumuistiin, muussa tapauksessa generoidaan ensimmäinen signaali, kun mainittu verrattu lukuosoite on sama kuin yksi väliaikaisesti tallennetuista kirjoitusosoitteista, estäen, kun mainittu ensimmäisen signaali on vastaanotettu, datainformaation lukemisen keskusmuistin mainitulla verratulla lukuosoitteella osoitettavissa olevasta muistipaikasta, sen sijaan lukien mainitusta apumuistista mainitun kirjoitusosoitteen vastaavan väliaikaisesti tallennetun datainformaation;

d) verrataan edelleen ensimmäisen sekvenssin suorituksen aikana kunkin kohdatun kirjoituskäskyn kirjoitusosoite kaikkiin väliaikaisesti talletettuihin lukuosoitteisiin ja generoidaan toinen signaali, kun mainitty verrattu kirjoitusosoite on sama kuin yksi väliaikaisesti talletetuista lukuosoitteista;

e) suoritetaan toinen sekvenssi uudestaan vasteena mainitun toisen signaalin generoinnille; ja

f) siirretään vasteena ensimmäisen sekvenssin suorituksen päättymiselle kaikki väliaikaisesti talletettu datainformaatio keskusmuistin vastaavien väliaikaisesti talletetujen kirjoitusosoitteiden osoitettavissa oleviin muistipaikkoihin.

2. Laite kahden käskysekvenssin suorittamiseksi patenttivaatimuksen 1 mukaisesti ennalta määrättyssä järjestyksessä käsittäen ensimmäisen käynnistyspiirin (13, 25, 28) järjestyksen perusteella ensimmäisen sekvenssin suorituksen aloittamiseksi ja ensimmäisen vastaavasti toisen käskymuistiyksikön (4) järjestyksen perusteella ensimmäisen vastaavasti toisen sekvenssin tallentamiseksi ja tallennettujen käskyjen osoittamiseksi yksi kerrallaan, jotka käskymuistiyksiköt on liitetty väyläjärjestelmän (3)

kautta päämuistiyksikköön (1, 11), jonka päämuistipaikat ovat tavoitettavissa datainformaation lukua/kirjoitusta varten käskymuistiyksiköiden luku/kirjoitusosoitebittipaikoista (19, 20, 21) osoitettujen luku/kirjoitusosoitteiden avulla, jolloin toisen sekvenssin suorituksen yhtydessä 5 käytetään datainformaatiota, jota ei ole ennalta taattu riippumatta siitä datainformaatiosta, joka saadaan ensimmäisen sekvenssin suorituksen yhtydessä, t u n n e t t u siitä, että laite käsittää

10 a) toisen käynnistyspiirin (14, 25, 26) toisen sekvenssin käynnistämiseksi, jonka ensimmäinen aktivointisisääntulo (14) on liitetty mainittuun ensimmäiseen käynnistyspiiriin,

b) ensimmäisen käskynsiirtopiirin (37, 38, 39, 41), 15 joka sisääntulopuolelta vastaavasti ulostulopuolelta on liitetty toiseen käskymuistiyksikköön vastaavasti väyläjärjestelmään ja joka ensimmäisen sekvenssin käynnissä olevan suorituksen aikana epäaktivoidaan toiseen sekvenssiin sisältyvän kirjoituskäskyn osoituksen perusteella,

20 c) apumuistiyksikön (49, 50), jonka sisääntuloliittimet (33-36) on liitetty toiseen käskymuistiyksikköön ja joka käsittää data- ja kirjoitusosoitebittipaikkoja (57, 69, 72) kirjoitusosoitteen ja datainformaation tallentamiseksi, joka saadaan kirjoituskäskyn perusteella, joka 25 osoitetaan toisen sekvenssin suorituksen aikana sekä lukuosoitebittipaikkoja (58, 69) osoitteen tallentamiseksi, joka saadaan lukuosoitteena lukukäskyn perusteella, joka osoitetaan toisen sekvenssin suorituksen aikana, jos tätä osoitetta sitä ennen ei ole osoitettu toisen sekvenssin kirjoituskäskyjen suorituksen yhteydessä, 30

d) kytkentävertailupiirin (68, 70, 73), jonka toiset vertailuliittimet on liitetty toisen käskymuistiyksikön lukuosoitebittipaikkoihin (19, 20), jonka toiset vertailuliittimet on liitetty apumuistiyksikön mainittuihin 35 kirjoitusosoitebittipaikkoihin (57, 69) ja jonka ulostulo

lähettää ensimmäisen vastaavasti toisen loogisen kytkentäsignaalitilan erilaisuuden vastaavasti yhtäläisyyden perusteella kytkentävertailuliittimiin vastaanotettujen osoitteiden välillä,

5 e) datakytkimen (37, 38, 39, 41, 44), jonka toinen datasisääntulo on liitetty väyläjärjestelmään, jonka toinen datasisääntulo on liitetty apumuistin databittipaikkoihin (72) ja jonka ohjaussisääntulot on liitetty kytkentävertailupiirin ulostuloon noutamaan mainitun ensimmäisen
10 kytkentäsignaalitilan perusteella datainformaatiota siitä päämuistipaikasta, joka on tavoitettavissa kytkentävertailupiirin vastaanottaman lukuosoitteen avulla ja noutamaan mainitun toisen kytkentäsignaalitilan perusteella apumuis-
15 rin vastaanottamaan kirjoitusosoitteeseen,

f) riippuvuusvertailupiirin (66,74,76), jonka toiset vertailuliittimet (16, 75) vastaanottavat ensimmäisen sekvenssin suorituksen aikana osoitetut kirjoitusosoitteet, jonka toiset vertailuliittimet on liitetty apumuis-
20 tiyksikön mainittuihin lukuosoitebittipaikkoihin (58, 69) ja jonka mainitun toisen käynnistyspiirin toiseen aktivoitisisääntuloon liitetty ulostulo (27) aktivoidaan riippuvuusvertailuliittimiin vastaanotettujen osoitteiden välisen yhtäläisyyden yhteydessä ja

25 g) toisen käskyntoimipiirin (38, 46, 78, 79), joka sisääntulopuolelta vastaavasti ulostulopuolelta on liitetty apumuistin data- ja kirjoitusosoitebittipaikkoihin (57, 69, 72) vastaavasti väyläjärjestelmään (3) ja joka aktivoidaan kun ensimmäisen sekvenssin suoritus on päättynyt.

1/3

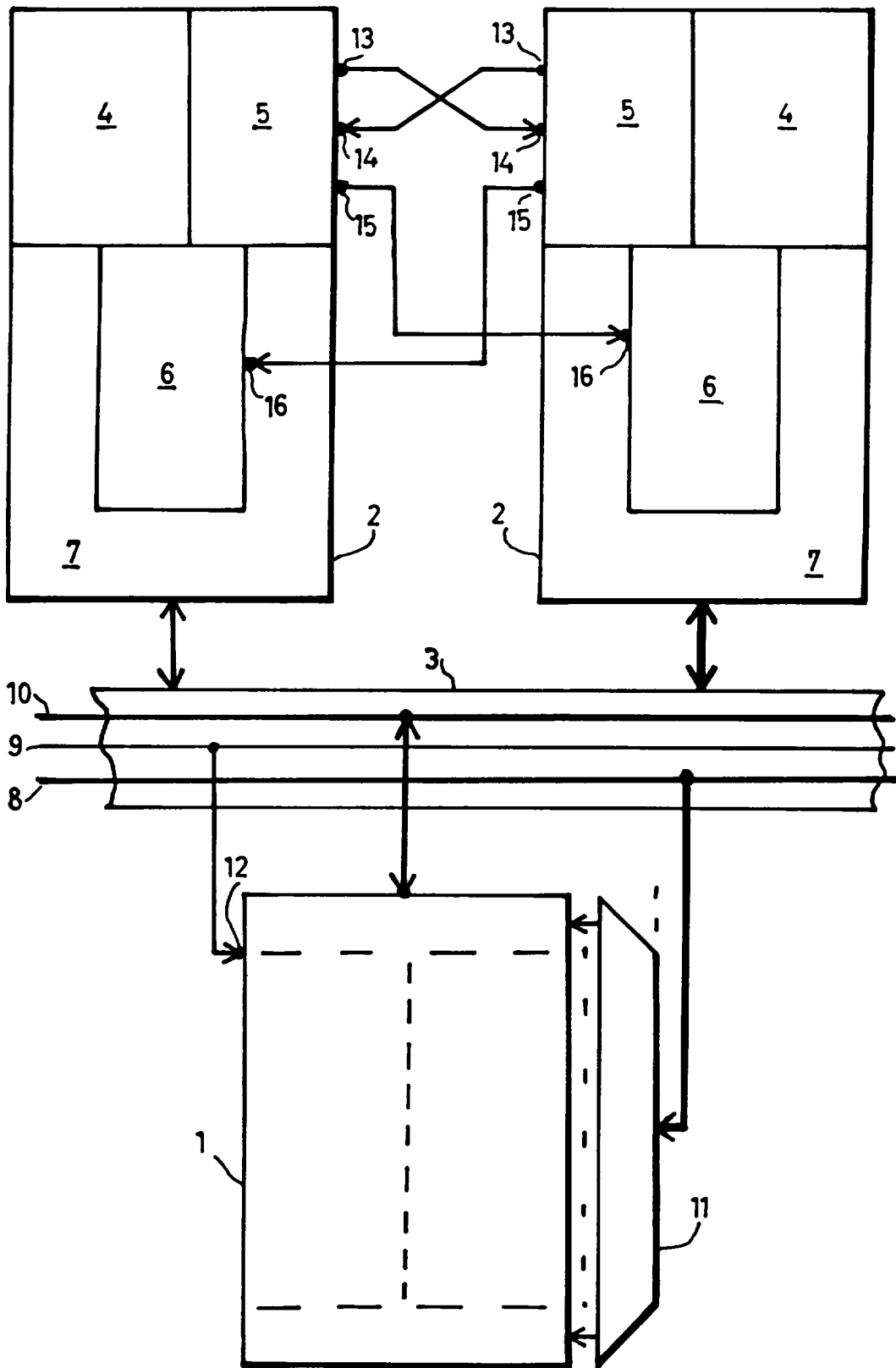


Fig.1

2/3

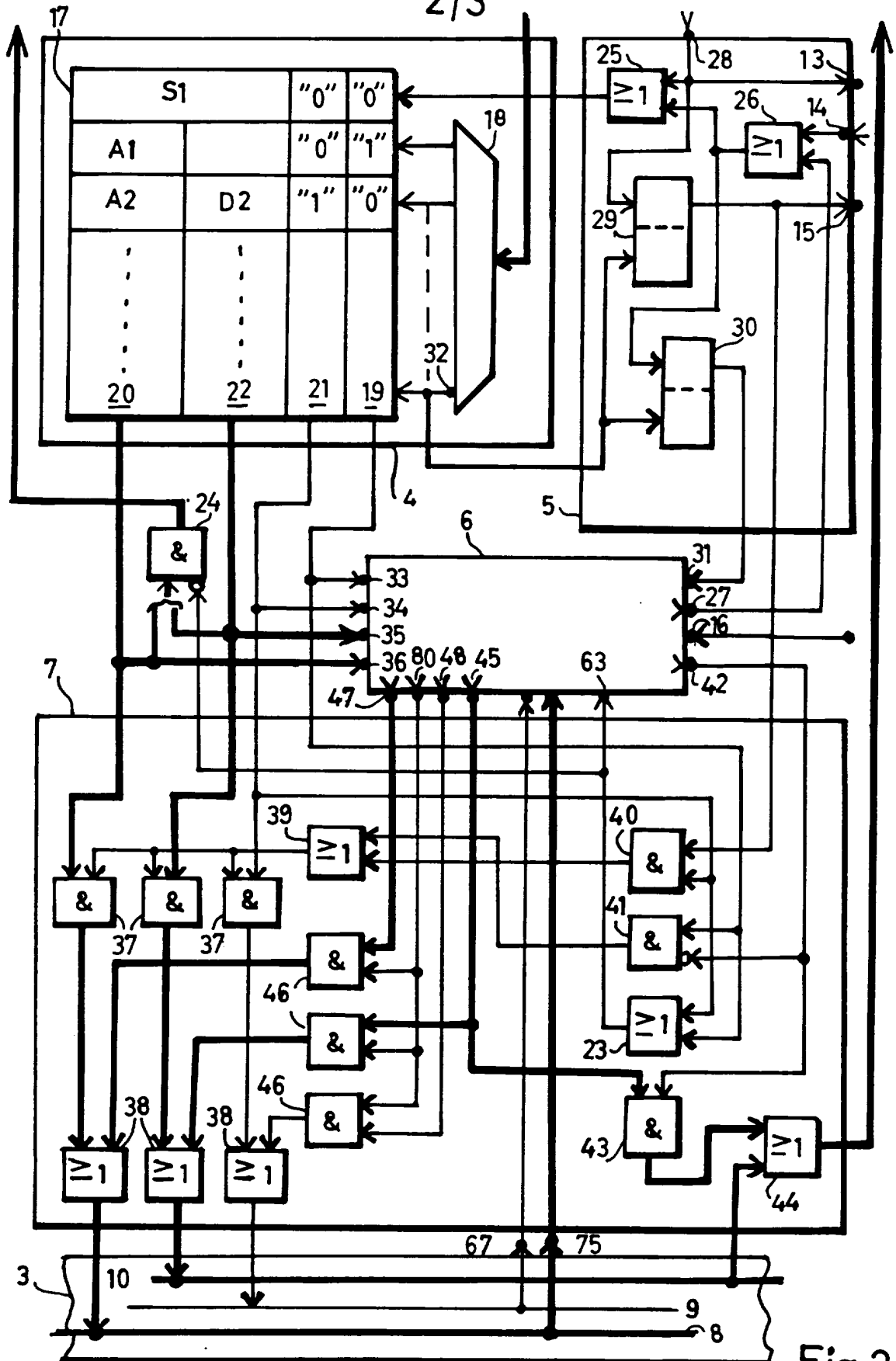


Fig. 2

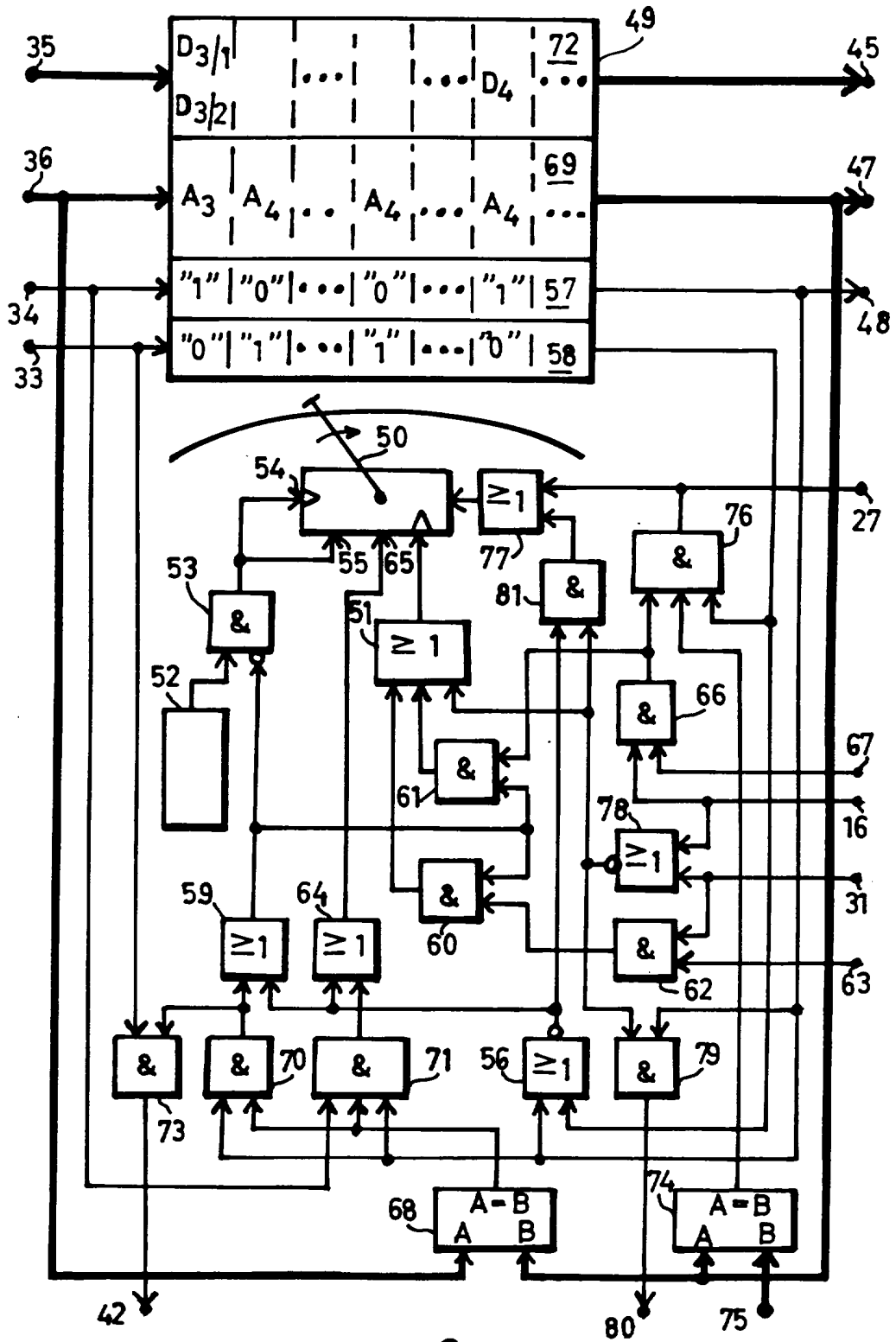


Fig. 3