

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：95132912

※ 申請日期：95. 9. 6

※ IPC 分類：G11C7/12 (2006.01)

一、發明名稱：(中文/英文)

記憶體控制電路與方法 /

MEMORY CONTROL CIRCUIT AND METHOD

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

南亞科技股份有限公司 / NANYA TECHNOLOGY CORP.

代表人：(中文/英文)

連日昌 / LIEN, JIH

住居所或營業所地址：(中文/英文)

桃園縣龜山鄉華亞科技園區復興三路六六九號 /

Hwa-Ya Technology Park 669, Fuhsing 3 Rd., Kueishan, Tao-Yuan Hsien,
Taiwan, R.O.C.

國 籍：(中文/英文)

中華民國 / TWN

三、發明人：(共 1 人)

姓 名：(中文/英文)

1. 鄭文昌 / CHENG, WEN-CHANG

國 籍：(中文/英文)

1. 中華民國 / TWN

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係有關於隨機存取記憶體（random access memory, RAM）之控制，尤指一種記憶體控制電路與方法。

【先前技術】

隨著資訊產業的蓬勃發展，半導體元件之相關技術亦日益精進。為了提升隨機存取記憶體（random access memory, RAM）於寫入／讀取資料的速度，遂出現了雙倍速資料傳輸（double data rate, DDR）技術的應用。應用這種技術之隨機存取記憶體即為所謂的雙倍速隨機存取記憶體（DDR RAM）。

傳統的隨機存取記憶體之資料存取係對應於時脈訊號的複數個週期中每一週期之一特定邊緣，例如：上升緣（rising edge）。由於雙倍速隨機存取記憶體之資料存取係對應於時脈訊號的複數個週期中每一週期之上升緣與下降緣（falling edge），所以若使用相同頻率之時脈訊號作為運作基準，則雙倍速隨機存取記憶體之資料存取速度為傳統的隨機存取記憶體之資料存取速度的兩倍。

雙倍速隨機存取記憶體係應用了有別於時脈訊號之資料頻閃（data strobe）訊號作為存取資料的依據，而上述之資料頻閃訊號也就是所謂的 DQS 訊號，其訊號格式係為同業所熟知。如第 1 圖所示，當一寫入命令 WR 被輸出時，資料頻閃訊號 DQS 應該於進

入一低位準之後出現複數個週期性脈衝；這些週期性脈衝之上升緣與下降緣可作為資料訊號 DQ 所載 (carry) 之 D0、D1、D2、D3... 等資料被寫入記憶體中的記憶單元 (memory cell) 的依據。另外，資料頻閃訊號 DQS 中出現在這些週期性脈衝之前的這個低位準的部分係稱為前文 (preamble)，如第 1 圖所示。此外，時脈訊號 VCLK 於寫入命令 WR 下達時的上升緣至資料頻閃訊號 DQS 於該前文之後的第一個上升緣之間的時間間距 (time interval) 係定義為 T_{DQSS} 。

在某些情況下，例如：當時脈訊號 VCLK 的頻率被提高了、但是電路系統中有些部份的訊號延遲未被妥善處理時，便無法確保資料頻閃訊號 DQS 符合特定規格。一旦時間間距 T_{DQSS} 不符合上述之特定規格所定義的範圍，便無法確保資料訊號 DQ 所載之資料最終可被正確地寫入記憶單元。

【發明內容】

因此本發明之目的之一在於提供一種記憶體控制電路與方法，以解決上述問題。

本發明之一較佳實施例中提供一種記憶體控制電路。該記憶體控制電路包含有：一相位偵測模組，用來偵測一資料頻閃 (data strobe) 訊號與一時脈訊號之間之相位差；一控制模組，耦接至該相位偵測模組，用來依據該相位差來產生一組控制訊號，其中該

組控制訊號係對應於該相位差；一閃鎖 (latch) 模組，用來依據該資料頻閃訊號之上升緣／下降緣來閃鎖一資料訊號所載 (carry) 之寫入資料；一奇偶資料分離器，耦接至該閃鎖模組，用來對該寫入資料進行奇偶資料分離處理，以產生一資料分離訊號，其中該資料分離訊號載有對應於該寫入資料之奇／偶資料；以及一可調延遲線 (adjustable delay line) 模組，耦接至該奇偶資料分離器以及該控制模組，用來依據該組控制訊號來調整該資料分離訊號所載之奇／偶資料的延遲，其中該奇／偶資料之延遲量係對應於該組控制訊號。

本發明於提供上述之記憶體控制電路之同時，亦對應地提供一種記憶體控制方法。該記憶體控制方法包含有：偵測一資料頻閃訊號與一時脈訊號之間之相位差；依據該相位差來產生一組控制訊號，其中該組控制訊號係對應於該相位差；依據該資料頻閃訊號之上升緣／下降緣來閃鎖一資料訊號所載之寫入資料；對該寫入資料進行奇偶資料分離處理，以產生一資料分離訊號，其中該資料分離訊號載有對應於該寫入資料之奇／偶資料；以及依據該組控制訊號來調整該資料分離訊號所載之奇／偶資料的延遲，其中該奇／偶資料之延遲量係對應於該組控制訊號。

【實施方式】

請參考第 2 圖，第 2 圖為本發明一較佳實施例所提供之記憶體控制電路 100 的示意圖，其中記憶體控制電路 100 包含有一相位

偵測模組 110、一控制模組 120、一閃鎖 (latch) 模組 132、一緩衝模組 134、一奇偶資料分離器 136、一可調延遲線 (adjustable delay line) 模組 142、一緩衝模組 144、以及一開關模組，其中該開關模組於本實施例中係為 XY 開關模組 146。如第 2 圖所示，相位偵測模組 110 包含有兩接收單元 112-1 與 112-2、一延遲吻合控制器 114、以及一相位偵測器 116，其中延遲吻合控制器 114 包含有至少一延遲線 (delay line)；於本實施例中，延遲吻合控制器 114 包含有延遲線 114-1 與 114-2，每一延遲線包含有複數個延遲單元 (未顯示)。

相位偵測模組 110 可偵測上述之資料頻閃 (data strobe) 訊號 DQS 與上述之時脈訊號 VCLK 之間之相位差。於第 2 圖所示之相位偵測模組 110 中，兩接收單元 112-1 與 112-2 分別接收時脈訊號 VCLK 與資料頻閃訊號 DQS，而延遲吻合控制器 114 則可控制延遲線 114-1 來延遲時脈訊號 VCLK，並可控制延遲線 114-2 來延遲資料頻閃訊號 DQS；藉由延遲吻合控制器 114 之控制，時脈訊號 VCLK 與資料頻閃訊號 DQS 之間的延遲量可被妥善地控制在一特定範圍內。如此，延遲吻合控制器 114 進行延遲吻合控制之後所輸出之時脈訊號 VCLK 與資料頻閃訊號 DQS 可作為相位偵測器 116 之偵測依據。於是，相位偵測器 116 便依據延遲吻合控制器 114 所輸出之時脈訊號 VCLK 與資料頻閃訊號 DQS 來偵測該相位差。

另外，控制模組 120 依據該相位差來產生一組控制訊號 Ctrl，其中控制訊號 Ctrl 係對應於該相位差。依據本實施例，控制模組 120 係為一解碼器，並可依據該相位差來進行解碼以產生控制訊號 Ctrl。此外，門鎖模組 132 可依據資料頻閃訊號 DQS 之上升緣／下降緣來門鎖資料訊號 DQ 所載 (carry) 之寫入資料，以供緩衝模組 134 進行緩衝處理。於是，奇偶資料分離器 136 對緩衝處理後之該寫入資料進行奇偶資料分離處理，以產生一資料分離訊號 SRWD，其中資料分離訊號 SRWD 載有對應於該寫入資料之奇／偶資料。

依據本發明，可調延遲線模組 142 依據控制訊號 Ctrl 來調整資料分離訊號 SRWD 所載之奇／偶資料的延遲，其中該奇／偶資料之延遲量係對應於控制訊號 Ctrl。如前面所述，控制訊號 Ctrl 係對應於該相位差，所以該奇／偶資料之延遲量亦對應於該相位差。藉由上述之可調延遲控制機制，可調延遲線模組 142 輸出延遲調整後之資料分離訊號 SRWD_adj，其中延遲調整後之資料分離訊號 SRWD_adj 係對應於資料分離訊號 SRWD，且載有延遲後之奇／偶資料。於是，延遲調整後之資料分離訊號 SRWD_adj 被輸入至緩衝模組 144 以供緩衝處理。

如第 2 圖所示，緩衝模組 144 依據奇偶資料寫入致能 (enable) 訊號 SRWDWREN 對延遲後之奇／偶資料進行緩衝控制；當奇偶資料寫入致能訊號 SRWDWREN 處於一致能狀態時，緩衝模組 144

可將該延遲後之奇／偶資料輸出至 XY 開關模組 146。於是，XY 開關模組 146 可依據至少一選擇訊號 XY_SW 來輸出該延遲後之奇／偶資料，以供寫入記憶體之記憶單元。上述之奇偶資料寫入致能訊號 SRWDWREN 與選擇訊號 XY_SW 均為同業所熟知，故不在此贅述其細節。

依據本實施例，第 2 圖所示之一部份元件之實施細節係如第 3 圖所示。閃鎖模組 132 包含有複數個閃鎖 132-0、132-1、...、與 132-15，分別對應資料訊號 DQ 之複數個位元 DQ(0)、DQ(1)、...、與 DQ(15)，其中每一閃鎖 132-i ($i = 0、1、...、15$) 依據資料頻閃訊號 DQS 來閃鎖資料訊號 DQ 之一個位元 DQ(i)。閃鎖 132-0、132-1、...、與 132-15 所閃鎖之資料訊號 DQ 之位元 DQ(0)、DQ(1)、...、與 DQ(15) 分別透過緩衝模組 134 中對應的緩衝器 134-0、134-1、...、與 134-15 被輸出至奇偶資料分離器 136，以進行奇偶資料分離處理。奇偶資料分離處理後之資料分離訊號 SRWD 具有複數個位元 SRWD(0)、SRWD(1)、...、與 SRWD(31)。

如第 3 圖所示，可調延遲線模組 142 包含有複數個可調延遲線 142-0、142-1、...、與 142-31，分別對應於資料分離訊號 SRWD 之複數個位元 SRWD(0)、SRWD(1)、...、與 SRWD(31)，其中之每一可調延遲線 142-j ($j = 0、1、...、31$) 包含有複數個延遲單元（未顯示）。依據本實施例，每一可調延遲線 142-j 藉由選擇其複數個延遲單元中對應控制訊號 Ctrl 之延遲單元的輸出，即可施加



(apply) 對應控制訊號 Ctrl 之延遲量於資料分離訊號 SRWD 之一個位元 SRWD(j)，作為延遲調整後之資料分離訊號 SRWD_adj 當中對應之位元 SRWD_adj(j)。

本發明的好處之一是，本發明可解決習知技術中、當資料頻閃訊號 DQS 中之時間間距 T_{DQSS} 不符規格時無法確保資料訊號 DQ 所載之資料可被正確地寫入記憶單元之問題。

藉由本發明所提供之相位差偵測機制以及對資料分離訊號 SRWD 之可調延遲控制，資料頻閃訊號 DQS 不論處於訊號領先之狀況或是訊號落後的狀況，本發明之記憶體控制電路與方法可將資料分離訊號 SRWD 對應地調整，使得延遲調整後之資料分離訊號 SRWD_adj 所載之奇／偶資料出現的時間區間維持一致；也就是說，本發明可以維持延遲調整後之資料分離訊號 SRWD_adj 之資料分離訊號窗 (SRWD window) 的大小，不受資料頻閃訊號 DQS 係處於訊號領先之狀況或是訊號落後的狀況之影響。因此，延遲調整後之資料分離訊號 SRWD_adj 所載之奇／偶資料可被正常地透過緩衝模組 144 與 XY 開關模組 146 寫入記憶體中之記憶單元。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

【圖式簡單說明】

第 1 圖為習知之資料頻閃訊號與資料訊號的示意圖。

第 2 圖為本發明之一實施例所提供之記憶體控制電路的示意圖。

第 3 圖為第 2 圖所示之一部份元件之實施細節的示意圖。

【主要元件符號說明】

100	記憶體控制電路
110	相位偵測模組
112-1, 112-2	接收單元
114	延遲吻合控制器
114-1, 114-2	延遲線
116	相位偵測器
120	控制模組
132	門鎖模組
132-0, 132-1, ... , 132-15	門鎖
134, 144	緩衝模組
134-0, 134-1, ... , 134-15	緩衝器
136	奇偶資料分離器
142	可調延遲線模組
142-0, 142-1, ... , 142-31	可調延遲線
146	XY 開關模組
VCLK	時脈訊號

T	時脈訊號之週期
WR	寫入命令
DQS	資料頻閃訊號
T _{DQSS}	時間間距
Ctrl	控制訊號
DQ	資料訊號
DQ(0), DQ(1), ... , DQ(15)	資料訊號之複數個位元
D0, D1, D2, D3	寫入資料
SRWD	資料分離訊號
SRWD(0), SRWD(1), ... , SRWD(31)	資料分離訊號之複數個位元
SRWD_adj	延遲調整後之資料分離訊號
SRWDWREN	奇偶資料寫入致能訊號
XY_SW	選擇訊號

五、中文發明摘要：

本發明提供一種記憶體控制電路，其具有：一相位偵測模組，用來偵測一資料頻閃訊號與一時脈訊號之間之相位差；一控制模組，用來依據該相位差來產生一組控制訊號，該組控制訊號係對應於該相位差；一閃鎖模組，用來依據該資料頻閃訊號之上升緣／下降緣來閃鎖一資料訊號所載之寫入資料；一奇偶資料分離器，用來對該寫入資料進行奇偶資料分離處理以產生一資料分離訊號，其中該資料分離訊號載有對應於該寫入資料之奇／偶資料；以及一可調延遲線模組，用來依據該組控制訊號來調整該奇／偶資料的延遲，該奇／偶資料之延遲量係對應於該組控制訊號。

六、英文發明摘要：

A memory control circuit includes: a phase detection module for detecting a phase difference between a data strobe signal and a clock signal; a control module, coupled to the phase detection module, for generating a set of control signals according to the phase difference, where the set of control signals are corresponding to the phase difference; a latch module for latching write data carried by a data signal according to rising/falling edges of the data strobe signal; an odd/even data separator, coupled to the latch module, for performing odd/even data separation on the write data to generate a data separation signal carrying odd/even data corresponding to the write data; and an adjustable delay line module, coupled to the odd/even data separator and the control module, for adjusting the odd/even data's delay according to the control signals, where the delay amount of the odd/even data is corresponding to the control signals.

十、申請專利範圍：

1. 一種記憶體控制電路，其包含有：

一相位偵測模組，用來偵測一資料頻閃（data strobe）訊號與一時脈訊號之間之相位差；

一控制模組，耦接至該相位偵測模組，用來依據該相位差來產生一組控制訊號，其中該組控制訊號係對應於該相位差；

一閃鎖（latch）模組，用來依據該資料頻閃訊號之上升緣／下降緣來閃鎖一資料訊號所載（carry）之寫入資料；

一奇偶資料分離器，耦接至該閃鎖模組，用來對該寫入資料進行奇偶資料分離處理，以產生一資料分離訊號，其中該資料分離訊號載有對應於該寫入資料之奇／偶資料；以及

一可調延遲線（adjustable delay line）模組，耦接至該奇偶資料分離器以及該控制模組，用來依據該組控制訊號來調整該資料分離訊號所載之奇／偶資料的延遲，其中該奇／偶資料之延遲量係對應於該組控制訊號。

2. 如申請專利範圍第 1 項所述之記憶體控制電路，其中該資料訊號係為 DQ 訊號，而該資料頻閃訊號係為 DQS 訊號。

3. 如申請專利範圍第 1 項所述之記憶體控制電路，其中該相位偵測模組包含有：



兩接收單元，分別用來接收該時脈訊號與該資料頻閃訊號；

以及

一相位偵測器，耦接至該兩接收單元，用來偵測該相位差。

4. 如申請專利範圍第 3 項所述之記憶體控制電路，其中該相位偵測模組另包含有：

一延遲吻合控制器，耦接至該兩接收單元當中之至少一接收

單元，該延遲吻合控制器包含有至少一延遲線 (delay line)，用來延遲該時脈訊號及／或該資料頻閃訊號；

其中該相位偵測器依據該至少一延遲線所延遲之該時脈訊號及／或該資料頻閃訊號來偵測該相位差。

5. 如申請專利範圍第 1 項所述之記憶體控制電路，其中該控制模組係為一解碼器，用來依據該相位差進行解碼以產生該組控制訊號。

6. 如申請專利範圍第 1 項所述之記憶體控制電路，其中該該門鎖模組包含有複數個門鎖，分別對應該資料訊號之複數個位元。

7. 如申請專利範圍第 1 項所述之記憶體控制電路，其中該可調延遲線模組包含有複數個可調延遲線，分別對應於該資料分離訊號之複數個位元，以及每一可調延遲線施加 (apply) 對



應該組控制訊號之延遲量於該資料分離訊號之一個位元。

8. 如申請專利範圍第 7 項所述之記憶體控制電路，其中該可調延遲線模組中之每一可調延遲線包含有複數個延遲單元。
9. 如申請專利範圍第 1 項所述之記憶體控制電路，其另包含有：
一緩衝模組，耦接至該可調延遲線模組，用來對延遲後之奇／偶資料進行緩衝控制。
10. 如申請專利範圍第 9 項所述之記憶體控制電路，其另包含有：
一開關模組，耦接至該緩衝模組，用來依據至少一選擇訊號來輸出該延遲後之奇／偶資料。
11. 一種記憶體控制方法，其包含有：
偵測一資料頻閃（data strobe）訊號與一時脈訊號之間之相位差；
依據該相位差來產生一組控制訊號，其中該組控制訊號係對應於該相位差；
依據該資料頻閃訊號之上升緣／下降緣來門鎖一資料訊號所載（carry）之寫入資料；
對該寫入資料進行奇偶資料分離處理，以產生一資料分離訊號，其中該資料分離訊號載有對應於該寫入資料之奇／偶資料；以及

依據該組控制訊號來調整該資料分離訊號所載之奇／偶資料的延遲，其中該奇／偶資料之延遲量係對應於該組控制訊號。

12. 如申請專利範圍第 11 項所述之記憶體控制方法，其中該資料訊號係為 DQ 訊號，而該資料頻閃訊號係為 DQS 訊號。
13. 如申請專利範圍第 11 項所述之記憶體控制方法，其中偵測該資料頻閃訊號與該時脈訊號之間之相位差之步驟另包含有：
分別接收該時脈訊號與該資料頻閃訊號；
利用（utilize）至少一延遲線（delay line）來延遲該時脈訊號及／或該資料頻閃訊號；以及
依據該至少一延遲線所延遲之該時脈訊號及／或該資料頻閃訊號來偵測該相位差。
14. 如申請專利範圍第 11 項所述之記憶體控制方法，其中依據該相位差來產生該組控制訊號之步驟另包含有：
依據該相位差進行解碼以產生該組控制訊號。
15. 如申請專利範圍第 11 項所述之記憶體控制方法，其中依據該資料頻閃訊號之上升緣／下降緣來門鎖該資料訊號所載之寫入資料之步驟另包含有：
利用（utilize）複數個門鎖來門鎖該資料訊號所載之寫入資

料，其中該複數個門鎖係分別對應該資料訊號之複數個位元。

16. 如申請專利範圍第 11 項所述之記憶體控制方法，其中依據該組控制訊號來調整該資料分離訊號所載之奇／偶資料的延遲之步驟另包含有：

利用 (utilize) 複數個可調延遲線 (adjustable delay line) 來調整該資料分離訊號所載之奇／偶資料的延遲，其中該複數個可調延遲線係分別對應於該資料分離訊號之複數個位元，且每一可調延遲線施加 (apply) 對應該組控制訊號之延遲量於該資料分離訊號之一個位元。

17. 如申請專利範圍第 16 項所述之記憶體控制方法，其中每一可調延遲線包含有複數個延遲單元。

18. 如申請專利範圍第 11 項所述之記憶體控制方法，其另包含有：

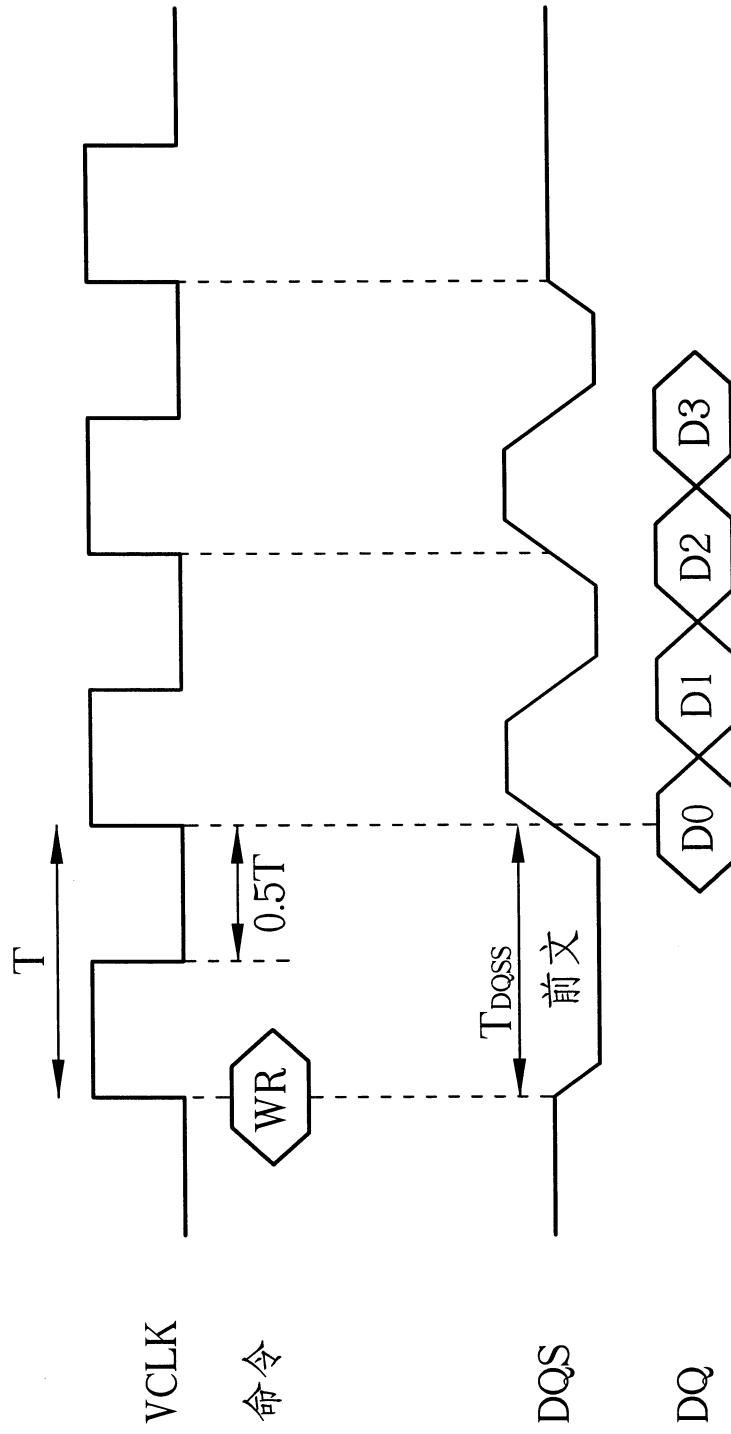
對延遲後之奇／偶資料進行緩衝控制。

19. 如申請專利範圍第 18 項所述之記憶體控制方法，其另包含有：利用 (utilize) 一開關模組以依據至少一選擇訊號來輸出該延遲後之奇／偶資料。

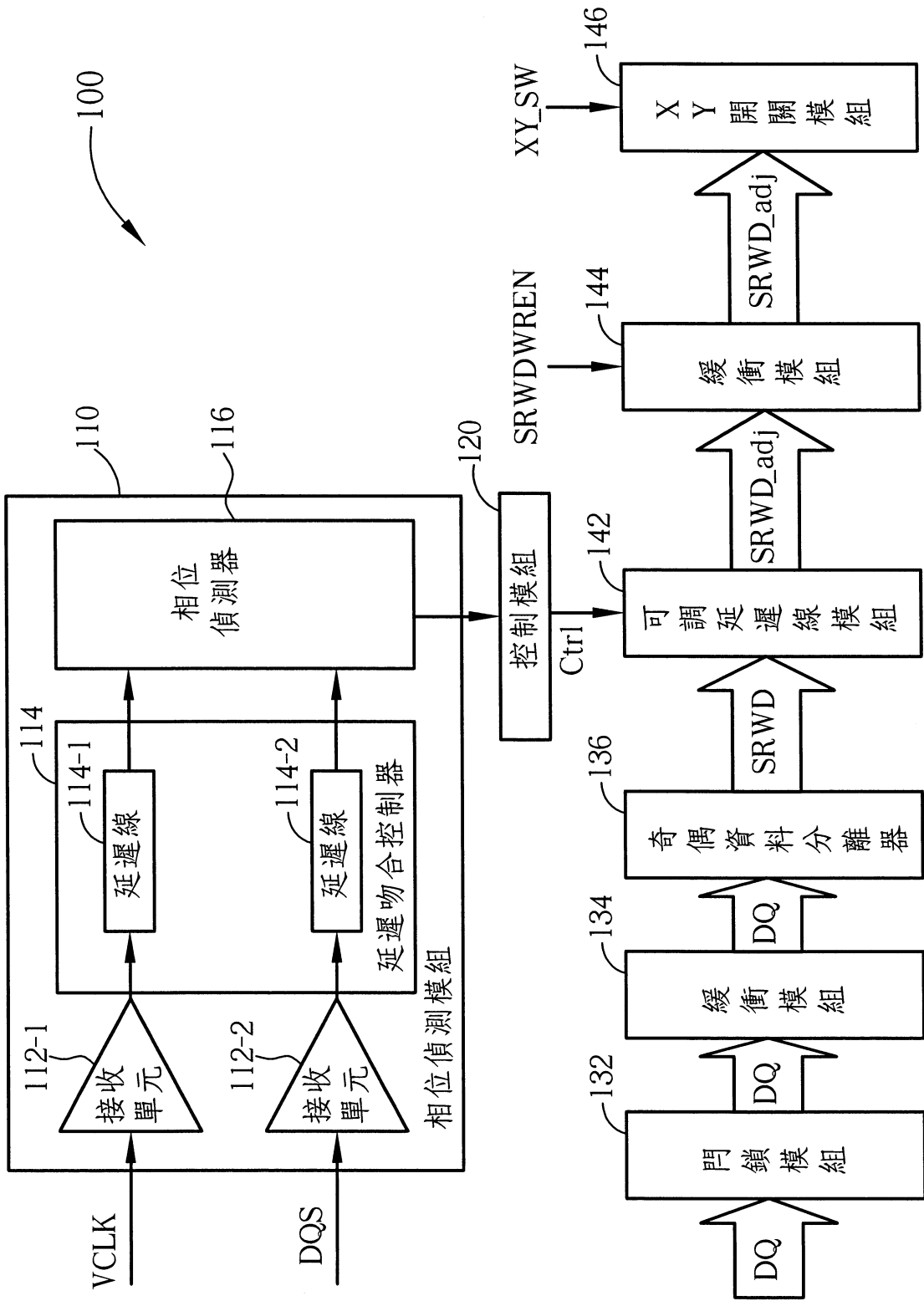


十一、圖式：

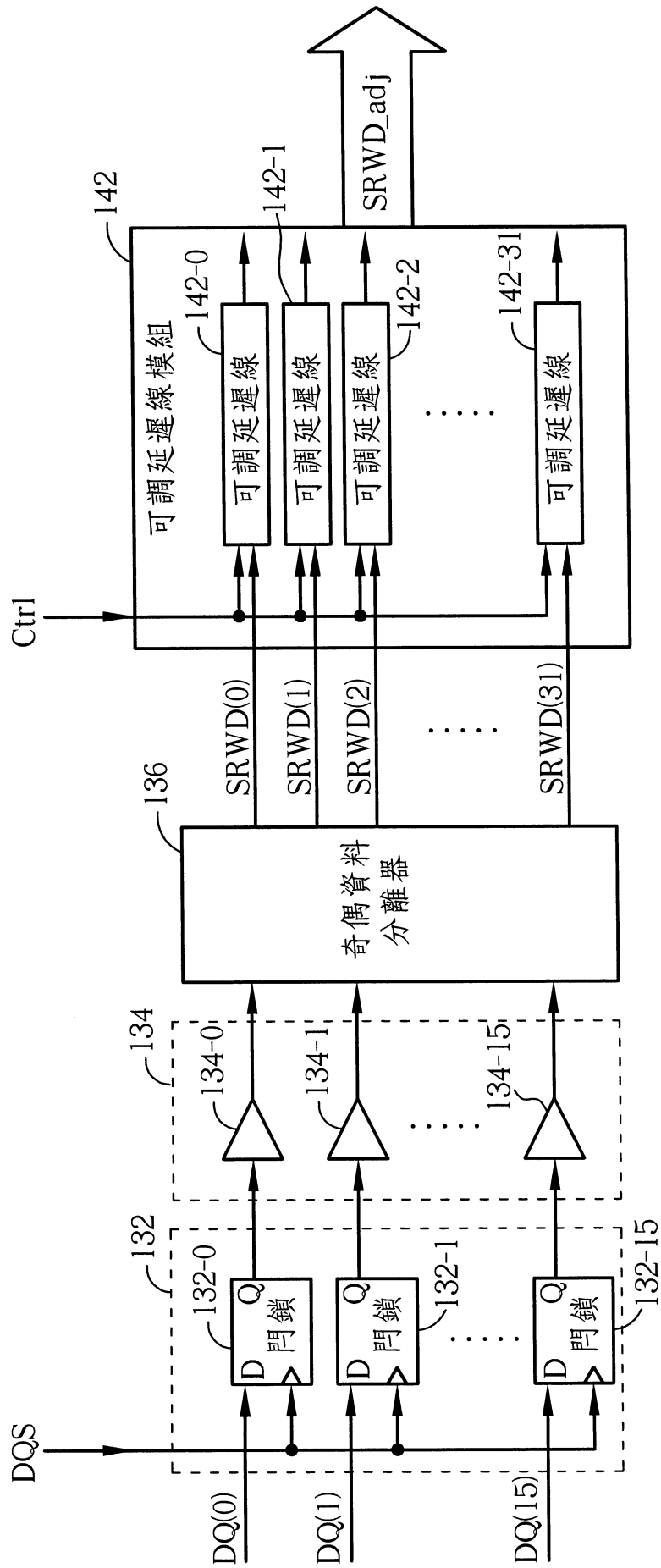




第1圖



第2圖



第3圖

七、指定代表圖：

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件符號簡單說明：

100	記憶體控制電路
110	相位偵測模組
112-1, 112-2	接收單元
114	延遲吻合控制器
114-1, 114-2	延遲線
116	相位偵測器
120	控制模組
132	門鎖模組
134, 144	緩衝模組
136	奇偶資料分離器
142	可調延遲線模組
146	XY 開關模組
VCLK	時脈訊號
DQS	資料頻閃訊號
Ctrl	控制訊號
DQ	資料訊號
SRWD	資料分離訊號
SRWD_adj	延遲調整後之資料分離訊號

SRWDWREN	奇偶資料寫入致能訊號
XY_SW	選擇訊號

八、本案若有化學式時，請揭示最能顯示發明特徵的化學

式：

無