

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3945602号

(P3945602)

(45) 発行日 平成19年7月18日(2007.7.18)

(24) 登録日 平成19年4月20日(2007.4.20)

(51) Int. Cl.		F I	
H03M 13/00	(2006.01)	H03M 13/00	
G11B 20/18	(2006.01)	G11B 20/18	542A
		G11B 20/18	544Z

請求項の数 20 (全 26 頁)

(21) 出願番号	特願平10-234230	(73) 特許権者	000005223 富士通株式会社
(22) 出願日	平成10年8月20日(1998.8.20)		神奈川県川崎市中原区上小田中4丁目1番1号
(65) 公開番号	特開2000-4170(P2000-4170A)	(74) 代理人	100068755 弁理士 恩田 博宣
(43) 公開日	平成12年1月7日(2000.1.7)	(72) 発明者	堀部 康司 愛知県春日井市高蔵寺町二丁目1844番2 富士通ヴィエルエスアイ株式会社内
審査請求日	平成17年6月10日(2005.6.10)		審査官 岡 裕之
(31) 優先権主張番号	特願平10-102699	(56) 参考文献	特開平06-326689(JP,A) 特開昭63-197123(JP,A) 特開平09-181706(JP,A) 最終頁に続く
(32) 優先日	平成10年4月14日(1998.4.14)		
(33) 優先権主張国	日本国(JP)		

(54) 【発明の名称】 訂正検査方法及び訂正検査装置

(57) 【特許請求の範囲】

【請求項1】

第1方向に対応した誤り検出符号を備える基礎データに対し、当該誤り検出符号を用いて検査演算を行い、第1標本値を生成するステップと、

前記第1方向に誤り訂正を行うステップと、

前記第1方向の誤り訂正によって得られた訂正值に対して検査演算を行って第2標本値を生成するステップと、

前記第1標本値と第2標本値とを比較して、第1検査値を生成するステップと、

前記第1方向に誤り訂正がなされた基礎データに対して、第1方向とは異なる第2方向に誤り訂正を行うステップと、

前記第2方向の誤り訂正によって得られた訂正值を第1方向に沿って検査演算を行い、第3標本値を生成するステップと、

前記第1検査値と第3標本値とを比較して、前記第2方向の誤り訂正を検査する第2検査値を生成するステップと

を備えることを特徴とする訂正検査方法。

【請求項2】

少なくとも前記第1検査値あるいは第2検査値は、その比較を排他的論理和演算によってなすことを特徴とする請求項1記載の訂正検査方法。

【請求項3】

前記第3標本値を生成するステップは、前記第2方向の誤り訂正によって得られた訂正

値を第 1 方向に沿って並び替えを行い、その結果を検査演算するものであることを特徴とする請求項 1 記載の訂正検査方法。

【請求項 4】

前記第 3 標本値を生成するステップは、前記第 2 方向の誤り訂正によって得られた訂正值を第 1 方向に沿って順次取得しつつ検査演算を行うものであることを特徴とする請求項 1 記載の訂正検査方法。

【請求項 5】

前記訂正值に対する検査演算は、演算すべきデータが誤り位置以外である時は零を演算し、誤り位置に到達した場合は、その位置に対応する前記訂正值を演算するものであることを特徴とする請求項 1 記載の訂正検査方法。

10

【請求項 6】

第 1 方向に対応した誤り検出符号を備える基礎データに対し、当該誤り検出符号を用いて検査演算を行い、第 1 標本値を生成するステップと、

前記第 1 方向とは異なる第 2 方向に誤り訂正を行うステップと、

前記第 2 方向の誤り訂正によって得られた訂正值を第 1 方向に沿って検査演算を行い、第 2 標本値を生成するステップと、

前記第 1 標本値と前記第 2 標本値とを比較して、前記第 2 方向の誤り訂正を検査する検査値を生成するステップと

を備え、

前記基礎データは、前記第 1 方向に誤り訂正処理がなされたものであることを特徴とする訂正検査方法。

20

【請求項 7】

前記検査値は、前記第 1 標本値と第 2 標本値とを排他的論理和演算することで得られるものであることを特徴とする請求項 6 記載の訂正検査方法。

【請求項 8】

前記第 2 標本値を生成するステップは、前記第 2 方向の誤り訂正によって得られた訂正值を第 1 方向に沿って並び替えを行い、その結果を検査演算するものであることを特徴とする請求項 6 記載の訂正検査方法。

【請求項 9】

前記第 2 標本値を生成するステップは、前記第 2 方向の誤り訂正によって得られた訂正值を第 1 方向に沿って順次取得しつつ検査演算を行うものであることを特徴とする請求項 6 記載の訂正検査方法。

30

【請求項 10】

前記訂正值に対する検査演算は、演算すべきデータが誤り位置以外である時は零を演算し、誤り位置に到達した場合は、その位置に対応する前記訂正值を演算するものであることを特徴とする請求項 6 記載の訂正検査方法。

【請求項 11】

第 1 方向に対応した誤り検出符号を備える基礎データに対し、当該誤り検出符号を用いて検査演算を行い、第 1 標本値を生成する第 1 検査演算部と、

前記第 1 方向に誤り訂正を行う第 1 誤り訂正部と、

前記第 1 誤り訂正部によって得られた訂正值に対して検査演算を行って第 2 標本値を生成する第 2 検査演算部と、

40

前記第 1 標本値と第 2 標本値とを比較して、第 1 検査値を生成する第 1 比較部と、

前記第 1 方向に誤り訂正がなされた基礎データに対して、第 1 方向とは異なる第 2 方向に誤り訂正を行う第 2 誤り訂正部と、

前記第 2 誤り訂正部によって得られた訂正值を第 1 方向に沿って検査演算を行い、第 3 標本値を生成する第 3 検査演算部と、

前記第 1 検査値と第 3 標本値とを比較して、前記第 2 方向の誤り訂正を検査する第 2 検査値を生成する第 2 比較部と

を備えることを特徴とする訂正検査装置。

50

【請求項 1 2】

少なくとも前記第 1 比較部あるいは第 2 比較部は、その比較を排他的論理和演算によってなすことを特徴とする請求項 1 1 記載の訂正検査装置。

【請求項 1 3】

前記第 3 検査演算部は、前記第 2 方向の誤り訂正によって得られた訂正値を第 1 方向に沿って並び替えて保管する記憶部と、その結果を検査演算する検査演算部とを備えることを特徴とする請求項 1 1 記載の訂正検査装置。

【請求項 1 4】

前記第 3 検査演算部は、前記第 2 方向の誤り訂正によって得られた訂正値を第 1 方向に沿って順次取得するデータ呼び出し部と、その呼び出されたデータに対して順次に検査演算を行う検査演算部を備えることを特徴とする請求項 1 1 記載の訂正検査装置。

10

【請求項 1 5】

前記検査演算部は、演算すべきデータが誤り位置以外である時は零を演算し、誤り位置に到達した場合は、その位置に対応する前記訂正値を演算するものであることを特徴とする請求項 1 1 記載の訂正検査装置。

【請求項 1 6】

第 1 方向に対応した誤り検出符号を備える基礎データに対し、当該誤り検出符号を用いて検査演算を行って第 1 標本値を生成する第 1 検査演算部と、

前記第 1 方向とは異なる第 2 方向に誤り訂正を行う誤り訂正部と、

前記誤り訂正部によって得られた訂正値を第 1 方向に沿って検査演算を行い、第 2 標本値を生成する第 2 検査演算部と、

20

前記第 1 標本値と前記第 2 標本値とを比較して、前記第 2 方向の誤り訂正を検査する検査値を生成する比較部と、を備え

前記基礎データは、前記第 1 方向に誤り訂正処理がなされたものであることを特徴とする訂正検査装置。

【請求項 1 7】

前記比較部は、前記第 1 標本値と第 2 標本値とを排他的論理和演算することを特徴とする請求項 1 6 記載の訂正検査装置。

【請求項 1 8】

前記第 2 検査演算部は、前記第 2 方向の誤り訂正によって得られた訂正値を第 1 方向に沿って並び替えて保管する記憶部と、その結果を検査演算する検査演算部とを備えることを特徴とする請求項 1 6 記載の訂正検査装置。

30

【請求項 1 9】

前記第 2 検査演算部は、前記第 2 方向の誤り訂正によって得られた訂正値を第 1 方向に沿って呼び出すデータ呼び出し部と、その呼び出されたデータに対して順次に検査演算を行う検査演算部を備えることを特徴とする請求項 1 6 記載の訂正検査装置。

【請求項 2 0】

前記検査演算部は、演算すべきデータが誤り位置以外である時は零を演算し、誤り位置に到達した場合は、その位置に対応する前記訂正値を演算するものであることを特徴とする請求項 1 6 記載の訂正検査装置。

40

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は記録媒体から読み出されたデータの誤りを訂正する誤り訂正処理の結果に誤りが有るか否かを検査する訂正検査方法及び訂正検査装置に関するものである。

【0002】

近年、光ディスク等の記録媒体における記録容量の大容量化に伴い、そのデータ読み出しに要する時間が長くなっている。特に、データ読み出しに要する時間のうち、誤り訂正処理動作に要する時間の割合が長くなる傾向にある。そのため、誤り訂正処理動作における訂正検査処理、特に誤り訂正処理の結果に誤りが有るか否かを検査する訂正検査処理に要

50

する時間の短縮化を図る必要がある。

【 0 0 0 3 】

【 従来 の 技 術 】

従来、記録媒体（テープ、ビデオ、CD、DVD等）に記録されたデータには、そのデータの読み出し時等に発生する誤りを検出するために誤り検出符号(EDC:Error Detecting Code)が予め付加されている。また、データには、発生する誤りを訂正するために誤り訂正符号(ECC:Error Correcting Code)が予め付加されている。

【 0 0 0 4 】

例えばDVD-ROMに記録されるデータのフォーマットを説明すると、図15に示すように、一つのセクタ1は、12バイトのID及び予約領域と、2kバイトのユーザーデータと、4バイトの誤り検出符号EDCとから構成される。

10

【 0 0 0 5 】

誤り検出符号EDCは、例えばID及び予約領域に格納されたデータとユーザーデータに、巡回冗長検査(CRC:cyclic redundancy check)に基づく演算(以下、CRC演算という)を行った演算結果に対応する符号(巡回符号:cyclic codeであり、以下CRCデータという)である。そして、誤り検出符号EDCは、誤り訂正が正しく行われたか、又は誤り訂正によりデータが正しく復元されたかを確認するために付加される。

【 0 0 0 6 】

各セクタ1はPI方向(行方向、すなわち図16において横方向であり、この方向を第1方向とする)に12段のデータとして構成され、1段が172バイトのデータとして構成される。従って、初段は12バイトのID及び予約領域と160バイトのユーザーデータが記録され、終段は168バイトのユーザーデータと4バイトの誤り検出符号EDCが記録され、中間段は172バイトのユーザーデータが記録される。

20

【 0 0 0 7 】

図16に示すように、データブロック2は16個のセクタ1と、PO-ECC部3及びPI-ECC部4とから構成される。PO-ECC部3は、各セクタ1を跨るPO方向(列方向、すなわち図16において縦方向であり、この方向を第2方向とする)のデータに対する誤り訂正符号であり、PI-ECC部4はPO-ECC部3を含むPI方向の誤り訂正符号である。

【 0 0 0 8 】

そして、PI-ECC部4はデータブロック2内のPI方向の1行毎、すなわちPIインターリーブ毎の誤り訂正を行うためのシンドロームを生成するために付加され、PO-ECC部3はデータブロック2内のPO方向の1列毎、すなわちPOインターリーブ毎の誤り訂正を行うためのシンドロームを生成するために付加される。

30

【 0 0 0 9 】

データブロック2は、図19に示す符号化フォーマットでDVD-ROM上に格納される。すなわち、PO-ECC部3は各インターリーブ毎に分割され、各セクタ1間に1インターリーブずつが挿入される。

【 0 0 1 0 】

このようなフォーマットにより、データ再生時の誤り訂正処理において、高い誤り検出・訂正能力が確保される。

40

そして、記録媒体に対してデータの入出力を行うコントローラには、データブロック2の誤りを訂正する誤り訂正回路が備えられる。まず、誤り訂正回路は、PI方向の誤り訂正処理を実行する。即ち、誤り訂正回路は、図17に示すように、PI方向のデータを1バイトずつ順次入力し、PIシンドロームを順次作成する。

【 0 0 1 1 】

誤り訂正回路は、1インターリーブのPIシンドロームに基づいて誤り情報を作成する。誤り情報は、誤データの位置と誤データに対する補正值を含む。誤り訂正回路は、誤り情報の誤り位置のデータと補正值を用いて、1インターリーブのデータに発生する誤りを訂正する。そして、誤り訂正回路は、上記の処理を全PIインターリーブについて繰り返し

50

実行する。

【 0 0 1 2 】

次に、誤り訂正回路は、P I 方向の誤り訂正処理と同様に、P O 方向の誤り訂正処理を実行する。即ち、誤り訂正回路は、図 1 8 に示すように、P O 方向のデータを 1 バイトずつ順次入力し、P O シンドロームを順次作成する。誤り訂正回路は、1 インターリーブの P O シンドロームを作成すると、誤り情報を作成する。誤り訂正回路は、誤り情報に基づいて、誤り位置のデータと補正値を演算する事により、1 インターリーブのデータに発生する誤りを訂正する。そして、誤り訂正回路は、上記の処理を全 P O インターリーブについて繰り返し実行する。

【 0 0 1 3 】

このようにして、誤り訂正回路は、データブロック 2 の全てのデータに対して P I 方向と P O 方向に誤り訂正を実施する。

【 0 0 1 4 】

【 発明が解決しようとする課題 】

ところで、前記各誤り訂正処理において、ユーザデータが正しく訂正されたか否かを検査する誤り検出処理を実施する必要がある。ユーザデータが正しく訂正されていない場合、再び P I , P O 誤り訂正をエラーが無くなるまで繰り返す必要があるからである。そして、誤り検出処理は、各誤り訂正処理毎に行われる必要がある。もし、P I 誤り訂正においてユーザデータが正しく訂正された場合、P O 誤り訂正処理を省略して誤り訂正処理の処理時間を短縮しなければならないからである。

【 0 0 1 5 】

即ち、誤り訂正回路は、P I 方向、P O 方向の誤り訂正処理に対してそれぞれ誤り検出処理を行う。誤り検出処理は、セクタ 1 のユーザデータに付加した誤り検出符号 E D C を利用して、ユーザデータの品質を評価するものである。尚、誤り検出符号 E D C として C R C データをユーザデータに付加してあることから、誤り訂正回路は誤り検出処理として C R C チェックを実施する。

【 0 0 1 6 】

誤り訂正回路は、図 1 5 の 1 セクタに含まれるデータ (I D 及び予約領域に格納されたデータ、ユーザデータ及び誤り検出符号 E D C) を基礎データとし、その基礎データに対して検査演算としての C R C 演算を実施する。その演算結果は、ユーザデータに誤りが発生していない場合にゼロとなる。従って、ユーザデータに誤りが発生している場合、C R C 演算の演算結果は、発生したエラーに相当する値となる。このことに基づいて、誤り訂正回路は、上記誤り訂正処理の正否を判断する。

【 0 0 1 7 】

即ち、誤り訂正回路は、先ず、誤り訂正前の基礎データを C R C 演算し、その演算結果を記憶する。次に、誤り訂正回路は、シンドロームから作成した補正値を C R C 演算する。そして、誤り訂正回路は、両演算結果を比較し、両演算結果が等しい場合に補正値により誤り訂正を行った結果が正しいと判断する。

【 0 0 1 8 】

そして、誤り訂正回路は、P I 方向の誤り訂正処理を行う際に、誤り検出処理を実施することができる。即ち、C R C データは、基礎データの入力順に演算されたデータである。この基礎データの入力方向は、図 1 5 において横方向であり、図 1 6 の P I 誤り訂正処理におけるデータの入力方向と一致している。従って、誤り訂正回路は、P I 誤り訂正処理において P I インターリーブのデータを入力する際に、基礎データを C R C 演算する。これにより、C R C 演算を P I 誤り訂正処理と別に行う場合に比べて誤り訂正処理に要する時間を短くする。

【 0 0 1 9 】

しかしながら、誤り訂正回路は、P O 方向の誤り訂正処理を行う際に誤り検出処理を実施することができない。これは、C R C 演算はデータ入力順に重みを持っているためである。P O 誤り訂正処理におけるデータの入力順は、C R C 演算の際に入力する基礎データの

10

20

30

40

50

入力方向と直交している。従って、P O 誤り訂正処理において P O インターリーブのデータを入力する際に C R C 演算を行う事ができない。

【 0 0 2 0 】

そのため、誤り訂正回路は、P O 方向の誤り訂正処理を行った後、再び P I 方向の誤り訂正処理を行うしか、他に提唱されていなかった。即ち、その P I 方向の誤り訂正処理において C R C チェックを行うことにより、P O 方向の誤り訂正処理が正しく行われたか否かを判断する訳である。

【 0 0 2 1 】

従って、P O 方向の誤り訂正処理の後に P I 誤り訂正処理を行う必要があるため、そのデータ読み出し、誤り訂正処理に要する時間余分に必要で、全体での処理時間が増大するという問題点がある。そして、D V D - R O M では、一つのデータブロックのデータ量が非常に大きいため、バッファメモリに対するアクセス時間が増大して、誤り訂正処理に要する時間がますます増大するという問題点がある。

10

【 0 0 2 2 】

本発明は上記問題点を解決するためになされたものであって、その目的は誤り検査符号を演算する際のデータの入力方向と異なる方向に誤り訂正を行う誤り訂正処理の結果をチェックする訂正検査処理に要する時間を短縮することのできる訂正検査方法及び訂正検査装置を提供することにある。

【 0 0 2 3 】

【課題を解決するための手段】

20

請求項 1 に記載の発明によれば、第 1 方向に対応した誤り検出符号を備える基礎データに対し、当該誤り検出符号を用いて検査演算を行って生成した第 1 標本値と、第 1 方向の誤り訂正によって得られた訂正值に対して検査演算を行って生成した第 2 標本値とが比較されて、第 1 検査値が得られる。この第 1 検査値により第 1 方向に対する訂正検査が行われる。次に、第 1 方向に誤り訂正がなされた基礎データに対して、第 1 方向とは異なる第 2 方向に誤り訂正を行い、その第 2 方向の誤り訂正によって得られた訂正值を第 1 方向に沿って検査演算を行い、第 3 標本値が生成される。そして、第 1 検査値と第 3 標本値とが比較されて、前記第 2 方向の誤り訂正を検査する第 2 検査値が生成されるようにした。これにより、第 2 方向に対する訂正検査において、再び第 1 方向への誤り訂正及びその訂正内容の評価を行うための第 1 方向への基礎データの読み出しを行う必要がなくなる。

30

【 0 0 2 4 】

なお、少なくとも前記第 1 検査値あるいは第 2 検査値は、請求項 2 に記載の発明のように、その比較を排他的論理和演算によってなすことにより得ることができる。

【 0 0 2 5 】

前記第 3 標本値は、請求項 3 に記載の発明のように、第 2 方向の誤り訂正によって得た訂正值を第 1 方向に沿って並び替え、その結果を検査演算して得ることができる。また、前記第 3 標本値は、請求項 4 に記載の発明のように、第 2 方向の誤り訂正によって得た訂正值を第 1 方向に沿って順次取得しつつ検査演算して得ることができる。

【 0 0 2 6 】

前記検査値は、請求項 5 に記載の発明のように、演算すべきデータが誤り位置以外である時は零を演算し、誤り位置に到達した場合はその位置に対応する訂正值を演算して得ることができる。

40

【 0 0 2 7 】

請求項 6 に記載の発明によれば、第 1 方向に対応した誤り検出符号を備える基礎データに対し、当該誤り検出符号を用いて検査演算が行われて生成された第 1 標本値と、第 1 方向とは異なる第 2 方向に行った誤り訂正によって得られた訂正值を第 1 方向に沿って検査演算されて生成された第 2 標本値とが比較されて第 2 方向の誤り訂正を検査する検査値が生成される。また、基礎データは、前記第 1 方向に誤り訂正処理がなされたものであり、この基礎データに対して前記第 2 方向の誤り訂正を検査する検査値が生成される。これにより、第 2 方向に対する訂正検査において、再び第 1 方向への誤り訂正及びその訂正内容

50

の評価を行うための第1方向への基礎データの読み出しを行う必要がなくなる。

【0028】

なお、前記検査値は、請求項7に記載の発明のように、第1標本値と第2標本値とを排他的論理和演算し得ることができる。

前記第2標本値は、請求項8に記載の発明のように、第2方向の誤り訂正によって得た訂正值を第1方向に沿って並び替えし、その結果を検査演算して生成することができる。また、前記第2標本値は、請求項9に記載の発明のように、第2方向の誤り訂正によって得た訂正值を第1方向に沿って順次取得しつつ検査演算を行って生成することができる。

【0029】

前記検査値は、請求項10に記載の発明のように、演算すべきデータが誤り位置以外である時は零を演算し、誤り位置に到達した場合はその位置に対応する訂正值を演算して得ることができる。

10

【0031】

請求項11に記載の発明によれば、第1方向に対応した誤り検出符号を備える基礎データに対し、当該誤り検出符号を用いて検査演算を行って生成した第1標本値と、第1方向に誤り訂正によって得られた訂正值に対して検査演算を行って生成した第2標本値とを比較して、第1検査値が生成される。この第1検査値により第1方向に対する訂正検査が行われる。次に、第1方向に誤り訂正がなされた基礎データに対して、第1方向とは異なる第2方向に誤り訂正が行われ、それによって得られた訂正值を第1方向に沿って検査演算を行って生成した第3標本値と第1検査値とを比較して、第2方向の誤り訂正を検査する第2検査値が生成される。これにより、第2方向に対する訂正検査において、再び第1方向への誤り訂正及びその訂正内容の評価を行うための第1方向への基礎データの読み出しを行う必要がなくなる。

20

【0032】

なお、少なくとも前記第1比較部あるいは第2比較部は、請求項12に記載の発明のように、その比較を排他的論理和演算によってなすことにより前記検査値を得ることができる。

【0033】

前記第3検査演算部は、請求項13に記載の発明のように、第2方向の誤り訂正によって得られた訂正值を第1方向に沿って並び替えて保管する記憶部と、その結果を検査演算する検査演算部とを備え、その検査演算により前記第3標本値を生成することができる。また、前記第3検査演算部は、請求項14に記載の発明のように、第2方向の誤り訂正によって得られた訂正值を第1方向に沿って順次取得するデータ呼び出し部と、その呼び出されたデータに対して順次に検査演算を行う検査演算部とを備え、その検査演算により前記第3標本値を生成することができる。

30

【0034】

前記検査演算部は、請求項15に記載の発明のように、演算すべきデータが誤り位置以外である時は零を演算し、誤り位置に到達した場合はその位置に対応する訂正值を演算して前記標本値を得ることができる。

【0035】

請求項16に記載の発明によれば、第1方向に対応した誤り検出符号を備える基礎データに対し、当該誤り検出符号を用いて検査演算を行って第1標本値が得られる。次に、第1方向とは異なる第2方向に誤り訂正が行われ、それにより得られた訂正值を第1方向に沿って検査演算して第2標本値を得る。そして、第1標本値と前記第2標本値とを比較して、第2方向の誤り訂正を検査する検査値が得られる。また、基礎データが前記第1方向に誤り訂正処理されたものであり、この基礎データに対して前記第2方向の誤り訂正を検査する検査値が得られる。これにより、第2方向に対する訂正検査において、再び第1方向への誤り訂正及びその訂正内容の評価を行うための第1方向への基礎データの読み出しを行う必要がなくなる。

40

【0036】

50

なお、前記比較部は、請求項 17 に記載の発明のように、比較部により、第 1 標本値と第 2 標本値とを排他的論理和演算することにより前記第 1 検査値を得ることができる。

【0037】

前記第 2 検査演算部は、請求項 18 に記載の発明のように、第 2 方向の誤り訂正によって得られた訂正値を第 1 方向に沿って並び替えて保管する記憶部と、その結果を検査演算する検査演算部とを備え、その検査演算により前記第 2 標本値を生成することができる。また、前記第 2 検査演算部は、請求項 19 に記載の発明のように、第 2 方向の誤り訂正によって得られた訂正値を第 1 方向に沿って呼び出すデータ呼び出し部と、その呼び出されたデータに対して順次に検査演算を行う検査演算部とを備え、その検査演算により前記第 2 標本値を生成することができる。

10

【0038】

前記検査演算部は、請求項 20 に記載の発明のように、演算すべきデータが誤り位置以外である時は零を演算し、誤り位置に到達した場合はその位置に対応する訂正値を演算して前記標本値を得ることができる。

【0039】

【発明の実施の形態】

(第一実施形態)

以下、本発明を具体化した第一実施形態を図 1 ~ 図 8 に従って説明する。

【0040】

図 1 に示すように、光ディスク制御装置 21 は、ATAPI (AT attachment packet interface) 等の所定のインターフェースを介してコンピュータ 22 に接続されている。また、光ディスク制御装置 21 は、インターフェースを介して光ディスク駆動装置 23 に接続されている。

20

【0041】

光ディスク駆動装置 23 は、記録媒体としてのデジタルビデオディスク (DVD: Digital Video Disk) 24 を所定の速度で回転駆動するとともに、DVD 24 に記録されたデータを図示しない光ピックアップにより読み出す。そして、光ディスク駆動装置 23 は、読み出しデータを光ディスク制御装置 21 に出力する。

【0042】

光ディスク制御装置 21 は、光ディスクコントローラ 25、マイクロプロセッサ 26、記憶装置としてのバッファメモリ 27、インターフェース回路 28、及び、入出力駆動回路 29 を備える。

30

【0043】

光ディスクコントローラ (以下、単にコントローラという) 25 は、光ディスク駆動装置 23 への命令送信及びステータス受領と、光ディスクからの読み出しフォーマット解読及びエラー訂正と、光ディスク駆動装置 23 とバッファメモリ 27 間のデータ転送と、インターフェース回路 28 とバッファメモリ 27 間のデータ転送等の各処理を行う。

【0044】

また、コントローラ 25 には、光ディスク駆動装置 23 から出力される読み出しデータが入出力駆動回路 29 を介して入力される。コントローラ 25 は、入力されるデータに誤り訂正等の処理を施してバッファメモリ 27 に格納する。そして、コントローラ 25 は、マイクロプロセッサ 26 の命令に基づいて、バッファメモリ 27 に格納したデータを、インターフェース回路 28 を介して外部機器としてのコンピュータ 22 に転送する。

40

【0045】

コントローラ 25 は、図 2 に示す P I 誤り訂正部 30 と、図 3 に示す P O 誤り訂正部 40 を含んで構成される。

図 2 に示すように、P I 誤り訂正部 30 は、第 1 誤り訂正部としての誤り情報生成回路 31、第 1 誤り訂正部としての誤り訂正回路 32、第 1 検査演算部としての第 1 C R C 演算回路 33、第 2 検査演算部としての第 2 C R C 演算回路 34、第 1 比較部としての E O R 回路 35 を含む。P I 誤り訂正部 30 には、図 17 に示すように、入力データとして P I

50

インターリーブが1バイトずつ順次入力される。

【0046】

誤り情報生成回路31は、入力データを基にPIシンδροームを順次作成する。そして、誤り情報生成回路31は、1インターリーブのPIシンδροームを作成すると、そのPIシンδροームを基に誤り情報を作成する。誤り情報は、第1方向としてのPI方向における誤データの位置と誤データに対する補正值を含む。誤り情報生成回路31は、生成した誤り情報を誤り訂正回路32に出力する。

【0047】

誤り訂正回路32は、1インターリーブ分の入力データを記録するためのレジスタを含む。誤り訂正回路32は、入力データ(PIインターリーブのデータ)をレジスタに記憶する。誤り訂正回路32は、誤り情報生成回路31から入力される誤り情報に基づいて、レジスタに記憶したデータの誤り訂正を行う。誤り訂正回路32は、誤り訂正後のデータを図1のバッファメモリ27に格納する。

10

【0048】

前記誤り情報生成回路31及び誤り訂正回路32は、上記の処理を全PIインターリーブについて繰り返し実行する。これにより、図16に示す一つのデータブロックに対する誤り訂正処理が実施される。

【0049】

第1CRC演算回路33には、前記入力データが入力される。第1CRC演算回路33は、図15の1セクタに含まれるデータ(ID及び予約領域に格納されたデータ、ユーザデータ及び誤り検出符号EDC)を基礎データとし、この基礎データに対して検査演算としてのCRC演算する。このCRC演算は、誤り検出符号EDCを算出するときの演算方法及び演算方向に対応している。

20

【0050】

この時、第1CRC演算回路33は、前記誤り情報生成回路31と同時に演算を行う。このことは、演算時間が長くなるのを防ぐ。そして、第1CRC演算回路33は、図15の1セクタに含まれる基礎データのCRC演算を終了すると、その演算結果を第1標本値としてEOR回路35に出力する。

【0051】

第2CRC演算回路34は、誤り情報生成回路31から入力される誤り情報に含まれる補正值を、誤データの位置に基づいてCRC演算する。CRC演算は、データ入力順と演算するデータの数に重みを持っている。そのため、図15に示す基礎データのバイト数と同じ数のデータをCRC演算しなければ正しい演算結果を得ることができない。

30

【0052】

従って、第2CRC演算回路34は、演算回数をカウントしている。このカウント値は、各PIインターリーブにおけるデータの入力バイト数と一致している。そして、第2CRC演算回路34は、カウント値が誤りデータの位置と一致しない、即ち、基礎データが正しい場合に、その基礎データに対する補正值を「0」としてCRC演算を行う。一方、カウント値が誤りデータの位置と一致する場合、第2CRC演算回路34は、その誤りデータの位置に対応する補正值をCRC演算する。これにより、CRC演算におけるデータ数を入力データのバイト数と一致させる。

40

【0053】

このようにして、第2CRC演算回路34は、図15の1セクタに含まれる基礎データのバイト数に対応する回数、補正值のCRC演算を行う。そして、第2CRC演算回路34は、CRC演算の演算結果を第2標本値としてEOR回路35に出力する。

【0054】

EOR回路35は、第1、第2CRC演算回路33、34から入力される演算結果、即ち第1、第2標本値を比較して第1検査値としての判定データを生成する。詳しくは、EOR回路35は、第1、第2標本値を排他的論理和演算(EOR演算)し、その演算結果を判定データ(第1検査値)としてメモリ36に格納する。

50

【 0 0 5 5 】

メモリ 3 6 は、図 1 のバッファメモリ 2 7 の一部領域である。即ち、バッファメモリ 2 7 は、誤り訂正回路 3 2 による誤り訂正後のデータブロックを記憶するための領域と、判定データを記憶するための領域を有する。そして、この判定データのデータ量は、一つのデータブロックのデータ量に比べて非常に少ない。これにより、バッファメモリ 2 7 に対するアクセス時間は極僅かしか増加しない。尚、メモリ 3 6 をバッファメモリ 2 7 と別に備える構成としてもよい。その場合、バッファメモリ 2 7 に対するアクセス時間は増加しない。

【 0 0 5 6 】

このメモリ 3 6 に格納された判定データ（第 1 検査値）は、P I 方向の誤り訂正を行う前の基礎データを C R C 演算した演算結果（第 1 標本値）と、P I シンドロームから作成した補正値を C R C 演算した結果（第 2 標本値）とを E O R 演算した結果である。従って、図 1 のコントローラ 2 5 は、判定データに基づいて、P I 方向の誤り訂正が正しく行われたか否かを判断する。

10

【 0 0 5 7 】

図 3 に示すように、P O 誤り訂正部 4 0 は、第 2 誤り訂正部としての誤り情報生成回路 4 1、第 2 誤り訂正部としての誤り訂正回路 4 2、第 3 検査演算部、データ呼び出し部としてのソート回路 4 3、第 3 検査演算部としての C R C 演算回路 4 4、第 2 比較部としての E O R 回路 4 5 を含む。P O 誤り訂正部 4 0 には、図 1 8 に示すように、入力データとして P O インターリーブが 1 バイトずつ順次入力される。

20

【 0 0 5 8 】

誤り情報生成回路 4 1 は、入力データを基に P O シンドロームを順次作成する。そして、誤り情報生成回路 4 1 は、1 インターリーブの P O シンドロームを作成すると、その P O シンドロームを基に誤り情報を作成する。誤り情報は、第 2 方向としての P O 方向における誤データの位置と誤データに対する補正値（訂正值）を含む。誤り情報生成回路 4 1 は、生成した誤り情報を誤り訂正回路 4 2 に出力する。また、誤り情報生成回路 4 1 は、生成した誤り情報をメモリ 4 6 に格納する。

【 0 0 5 9 】

誤り訂正回路 4 2 は、1 インターリーブ分の入力データを記録するためのレジスタを含む。誤り訂正回路 4 2 は、入力データ（P O インターリーブのデータ）をレジスタに記憶する。誤り訂正回路 4 2 は、誤り情報生成回路 4 1 から入力される誤り情報に基づいて、レジスタに記憶したデータの誤り訂正を行う。誤り訂正回路 4 2 は、誤り訂正後のデータを図 1 のバッファメモリ 2 7 に格納する。

30

【 0 0 6 0 】

前記誤り情報生成回路 4 1 及び誤り訂正回路 4 2 は、上記の処理を全 P O インターリーブについて繰り返し実行する。これにより、図 1 6 に示す一つのデータブロックに対する誤り訂正処理が実施される。そして、誤り情報生成回路 4 1 は、メモリ 4 6 に、一つのデータブロックにおける P O 方向の誤り情報を格納する。

【 0 0 6 1 】

ソート回路 4 3 は、メモリ 4 6 に記憶された誤り情報を、誤データの位置をキーとして P I 方向にソートし、その結果を記憶部としてのメモリ 4 6 に格納する。そして、ソート回路 4 3 は、ソート後の誤り情報をメモリ 4 6 から読み出し、読み出した誤り情報を C R C 演算回路 4 4 に出力する。

40

【 0 0 6 2 】

このメモリ 4 6 に格納された誤り情報は、入力データに誤りがあるときのみである。そして、入力データは、P I 方向に誤りが訂正されている。従って、誤り情報のデータ量は、一つのデータブロックのデータ量に比べて非常に少ない。従って、メモリ 4 6 に対する誤り情報のアクセス時間（誤り情報生成回路 4 1 からの書き込み時間、ソート回路 4 3 のアクセス時間）は、従来の P O 誤り訂正後に行う P I 誤り訂正に要する時間に比べて短い。

【 0 0 6 3 】

50

CRC演算回路44は、ソート回路43から入力される誤り情報に含まれる補正值(訂正值)を、誤データの位置に基づいてCRC演算する。CRC演算は、データ入力順と演算するデータの数に重みを持っている。そのため、図15に示す基礎データのバイト数と同じ数のデータをCRC演算しなければ正しい演算結果を得ることができない。

【0064】

従って、CRC演算回路44は、演算回数をカウントしている。このカウント値は、各POインターリーブにおけるデータの入力バイト数と一致している。そして、CRC演算回路44は、カウント値が誤りデータの位置と一致しない、即ち、基礎データが正しい場合に、その基礎データに対する補正值を「0」としてCRC演算を行う。一方、カウント値が誤りデータの位置と一致する場合、CRC演算回路44は、その誤りデータの位置に 10
対応する補正值をCRC演算する。これにより、CRC演算におけるデータ数を入力データのバイト数と一致させる。

【0065】

CRC演算回路44に入力される誤り情報は、ソート回路43によりPI方向にソートされている。従って、CRC演算回路44は、PO方向の誤り訂正処理において、そのPO方向と異なるデータ入力順と同じPI方向に補正值をCRC演算する。

【0066】

このようにして、CRC演算回路44は、図15の1セクタに含まれる基礎データ(ID及び予約領域に格納されたデータ、ユーザデータ及び誤り検出符号EDC)のバイト数に 20
対応する回数、補正值のCRC演算を行う。そして、CRC演算回路44は、CRC演算の演算結果を第3標本値としてEOR回路45に出力する。

【0067】

EOR回路45は、メモリ36に格納された第1判定データ(第1検査値)を入力する。EOR回路45は、入力した判定データとCRC演算回路44から入力される演算結果、即ち第1検査値と第3標本値とを比較して第2検査値としての第2判定データを生成する。詳しくは、EOR回路45は、第1検査値と第3標本値とをEOR演算し、その演算結果を第2判定データ(第2検査値)としてメモリ47に格納する。

【0068】

メモリ36に格納された第1判定データ(第1検査値)は、上記したように、PI誤り訂正前の基礎データ(ID及び予約領域に格納されたデータ、ユーザデータ及び誤り検出符 30
号EDC)(図15参照)のCRC演算結果(第1標本値)と、PI誤り訂正における補正值のCRC演算結果(第2標本値)をEOR演算したものである。この第1判定データは、PI誤り訂正後の基礎データのCRC演算結果、即ちPO誤り訂正前のそれと同じ値となることが判っている。従って、EOR回路45の演算結果である第2判定データ(第2検査値)は、PO誤り訂正が正確に行われたか否かを判断するためのデータとなる。即ち、図1のコントローラ25は、メモリ47に格納された第2判定データに基づいて、PO誤り訂正が正確に行われたか否かを判断する。

【0069】

尚、メモリ46, 47は、メモリ36と同様に図1のバッファメモリ27の一部領域である。即ち、バッファメモリ27は、誤り訂正回路42による誤り訂正後のデータブロック 40
を記憶するための領域、第1, 第2判定データを記憶するための領域(メモリ36, 47)、誤り情報を記憶するための領域(メモリ46)を有する。そして、第1, 第2判定データと誤り情報のデータ量は、一つのデータブロックのデータ量に比べて非常に少ない。これにより、バッファメモリ27に対するアクセス時間は極僅かしか増加しない。尚、メモリ36, 46, 47をバッファメモリ27と別に備える構成としてもよい。その場合、バッファメモリ27に対するアクセス時間は増加しない。

【0070】

次に、上記のようなコントローラ25に基づく誤り訂正処理動作を図4~図8に従って説明する。

コントローラ25は、ステップ1において図1のDVD24からデータを読み出す。次に 50

、ステップ2においてコントローラ25は、読み出したデータに対してPI方向におけるPI誤り訂正処理を実施する。この時、コントローラ25は、PI誤り訂正処理に対してCRCチェックを行う。そして、コントローラ25は、PI誤り訂正処理を終了すると、ステップ2からステップ3に移る。

【0071】

ステップ3において、コントローラ25は、PO方向におけるPO誤り訂正処理を実施する。このステップ3において、コントローラ25は、PO誤り訂正処理に対するCRCチェックを実施する。

【0072】

コントローラ25は、CRCチェック結果に基づいて、誤りが無くなるまでステップ2, 3のPI, PO誤り訂正処理を繰り返し実行する。そして、コントローラ25は、誤りが無くなると、誤り訂正処理を終了する。

10

【0073】

尚、図4において、コントローラ25は、PO誤り訂正処理の後に誤り訂正処理を終了するようにしてあるが、図14に示すように、ステップ2におけるPI誤り訂正処理におけるCRCチェックの結果、誤りが無いと判断した場合に誤り訂正処理を終了するように構成してもよい。

【0074】

図5に示すステップ11~ステップ17は、図4のPI誤り訂正処理(ステップ2)のサブステップである。即ち、ステップ11において、コントローラ25は、図16のデータブロック2の各セクタ1からPI方向のデータを1バイトずつ順次入力する。次に、ステップ12において、コントローラ25は、基礎データのCRC演算を行う。それと共に、ステップ13において、コントローラ25は、一つのPIインターリーブ毎にPIシンドロームを順次生成する。

20

【0075】

コントローラ25は、PI方向の1インターリーブのPIシンドロームを生成すると、ステップ13からステップ14に移る。そのステップ14において、コントローラ25は、PIシンドロームから当該インターリーブの誤り情報(誤データの位置及び補正值(訂正值))を算出する。更に、ステップ15において、コントローラ25は、算出した誤り情報をCRC演算し、第1標本値を生成する。そして、コントローラ25は、ステップ15

30

【0076】

次に、その誤り情報を基に、ステップ16において、コントローラ25は、ステップ14において算出した誤り情報を基に当該インターリーブの誤り訂正、即ち誤データの書き換え動作を行う。そして、コントローラ25は、誤り訂正後の当該インターリーブを図1のバッファメモリ27に格納する。

【0077】

そして、コントローラ25はこのような動作を全PIインターリーブについて繰り返し実行し、訂正したPIインターリーブを図1のバッファメモリ27に順次格納する。このPIインターリーブの格納を終了すると、コントローラ25はステップ16からステップ17に移る。

40

【0078】

これにより、バッファメモリ27には、PI誤り訂正後の一つのデータブロック2が格納される。また、コントローラ25は、一つのデータブロック2における全ての補正值(訂正值)に対してCRC演算を行った結果、即ち第2標本値を得る。

【0079】

次に、ステップ17において、コントローラ25は、基礎データのCRC演算結果(ステップ12)である第1標本値と、補正值のCRC演算結果(ステップ15)である第2標本値をEOR演算し、第1検査値を得る。更に、コントローラ25は、その演算結果(第1検査値)を図2のメモリ36に格納する。そして、コントローラ25は、演算結果の格

50

納を終了すると、当該 P I 誤り訂正処理を終了して図 6 の P O 誤り訂正処理を実行する。

【 0 0 8 0 】

図 6 に示すステップ 2 1 ~ ステップ 2 7 は、図 4 の P O 誤り訂正処理（ステップ 3）のサブステップである。即ち、図 1 のコントローラ 2 5 は、ステップ 2 1 において、バッファメモリ 2 7 に格納されたデータブロック 2 を、図 1 8 に示すように、P O 方向の各インターリーブ毎に順次入力する。ステップ 2 2 において、コントローラ 2 5 は、一つの P O インターリーブ毎に P O シンドロームを順次作成する。

【 0 0 8 1 】

コントローラ 2 5 は、P O 方向の 1 インターリーブの P O シンドロームを生成すると、ステップ 2 2 からステップ 2 3 に移る。そのステップ 2 3 において、コントローラ 2 5 は、P O シンドロームから当該インターリーブの誤り情報（誤りデータの位置及び補正值（訂正值））を算出する。コントローラ 2 5 は、算出した誤り情報を図 3 のメモリ 4 6 に格納する。その誤り情報を基に、ステップ 2 4 において、コントローラ 2 5 は、当該インターリーブの誤り訂正、即ち誤データの書き換え動作を行う。そして、コントローラ 2 5 は、誤り訂正後の当該インターリーブを図 1 のバッファメモリ 2 7 に格納する。

10

【 0 0 8 2 】

そして、コントローラ 2 5 はこのような動作を全 P O インターリーブについて繰り返し実行する。これにより、バッファメモリ 2 7 に格納されたデータブロック 2 に対する P O 方向の誤り訂正処理が実施される。また、図 3 のメモリ 4 6 には、一つのデータブロック 2 に対して算出した誤り情報が P O 方向に格納される。

20

【 0 0 8 3 】

次に、コントローラ 2 5 は、ステップ 2 5 において、メモリ 4 6 に格納した誤り情報を、誤データの位置に基づいて P I 方向にソートする。このソート処理について詳述すれば、今、図 7 に示すように、ブロックデータ 2 が 6 行 6 列のマトリックスに形成されている。そして、このマトリックスにおいて、「・」にて示す位置が、ステップ 2 3 において算出された誤り位置である。コントローラ 2 5 は、この誤り位置及びその位置に対する補正值を図 8 (a) に示すように、P O 方向に対応する順番で格納する。

【 0 0 8 4 】

詳述すれば、コントローラ 2 5 は、P O 方向、即ち、図 7 の座標値が「X 1」の列に対して P O 方向の誤り訂正を行う。この時、コントローラ 2 5 は、誤り位置（X 1 , Y 2 ）、（X 1 , Y 6）とそれらの位置に対する補正值 Z 1 , Z 2 を算出する。コントローラ 2 5 は、メモリ 4 6 の第 1 領域 4 6 a に誤り位置（X 1 , Y 2）と補正值 Z 1 を、メモリ 4 6 の第 2 領域 4 6 b に誤り位置（X 1 , Y 6）と補正值 Z 2 を格納する。

30

【 0 0 8 5 】

同様に、コントローラ 2 5 は、座標値「X 2」~「X 6」の各列に対して P O 誤り訂正を行い、その時に算出した誤り位置（X 2 , Y 5 ）、（X 4 , Y 6 ）、（X 5 , Y 3 ）、（X 6 , Y 2）と補正值 Z 3 , Z 4 , Z 5 , Z 6 を、メモリ 4 6 の領域 4 6 c , 4 6 d , 4 6 e , 4 6 f に格納する。

【 0 0 8 6 】

このように格納された誤り情報（誤り位置及び補正值）に対して、コントローラ 2 5 は、ステップ 2 5 のソート処理を実施する。このソート処理において、コントローラ 2 5 は、処理を行う P I 方向に沿って、即ち行を示す座標値 Y（Y 1 ~ Y 6）をキーとしてソートを行う。その結果を図 8 (b) に示す。このようにして、コントローラ 2 5 は、誤り情報（誤り位置及び補正值）を、P I 方向に沿って並べる。全誤り情報のソートを終了すると、コントローラ 2 5 は、ステップ 2 5 からステップ 2 6 に移る。

40

【 0 0 8 7 】

ステップ 2 6 において、コントローラ 2 5 は、補正值（訂正值）を順次 C R C 演算し、第 3 標本値を得る。このとき、補正值は P I 方向にソートされているため、コントローラ 2 5 は、図 1 5 の基礎データの入力方向に沿って補正值を C R C 演算した演算結果（第 3 標本値）を得る。そして、コントローラ 2 5 は、ステップ 2 6 からステップ 2 7 に移る。

50

【 0 0 8 8 】

ステップ 27 において、コントローラ 25 は、メモリ 36 から図 5 のステップ 17 における演算結果（第 1 検査値）を入力する。そして、コントローラ 25 は、補正値の CRC 演算結果（ステップ 26）である第 3 標本値と第 1 検査値を EOR 演算し、第 2 検査値を得る。

【 0 0 8 9 】

メモリ 36 から入力した演算結果（第 1 検査値）は、図 5 の PI 誤り訂正処理における CRC チェックの結果である。そして、この CRC チェックの結果は、PI 誤り訂正後のデータブロックにおける基礎データを CRC 演算した結果に対応している。

【 0 0 9 0 】

従って、コントローラ 25 は、メモリ 36 から入力した演算結果である第 1 検査値と、補正値の CRC 演算結果である第 3 標本値を EOR 演算することにより、当該 PO 誤り訂正処理における CRC チェックの結果である第 2 検査値を得る。このことは、PO 誤り訂正処理における CRC チェックを行うために実施する PI 誤り訂正処理を不要とする。これにより、誤り訂正処理に要する時間は短くなる。

【 0 0 9 1 】

以上記述したように、第一実施形態によれば、以下の効果を奏する。

（ 1 ） PO 誤り訂正部 40 の誤り情報生成回路 41 は、算出した誤データの位置及び補正値をメモリ 46 に格納する。ソート回路 43 は、メモリ 46 に格納された補正値を誤データの位置に基づいて基礎データの読み出し方向にソートし CRC 演算回路 44 に出力するようにした。その結果、CRC 演算回路 44 は、補正値を基礎データの入力順と同じ PI 方向に CRC 演算する。この演算方向は、誤り検査符号 EDC を算出した時の基礎データの読み出し方向と一致しているため、PO 誤り訂正後に CRC チェックを行うことができる。そして、EOR 回路 45 は、CRC 演算の演算結果（第 3 標本値）と PI 誤り訂正において CRC チェックを行った結果である第 1 判定データ（第 1 検査値）を比較して PO 誤り訂正における CRC チェックのための第 2 判定データ（第 2 検査値）をメモリ 47 に格納するようにした。そのため、従来のように、PO 誤り訂正後に CRC チェックのために PI 誤り訂正を行う必要が無いので、その分処理時間を短縮することができる。

【 0 0 9 2 】

（ 2 ） PI 誤り訂正部 30 において、誤り訂正前の基礎データを演算する第 1 CRC 演算回路 33 は、誤り情報生成回路 31 と同時に動作するようにした。これにより、PI 誤り訂正処理における演算時間が長くなるのを防ぐことができる。

【 0 0 9 3 】

（ 3 ）メモリ 36 に格納された第 1 判定データは、PI 誤り訂正部 30 における PI 方向の誤り訂正に対する CRC チェックの結果である。そして、第 1 判定データを用いて PO 誤り訂正部 40 における PO 方向の誤り訂正に対する CRC チェックを行うようにした。そのため、別に PO 誤り訂正のためのデータを算出する必要がないので、PI 誤り訂正部 30 の回路規模を増加させることなく PO 方向の誤り訂正に対する誤り検出を行うことができる。

【 0 0 9 4 】

（第二実施形態）

以下、本発明を具体化した第二実施形態を図 9 及び図 10 に従って説明する。尚、説明の便宜上、第一実施形態と同様の構成については同一の符号を付してその説明を一部省略する。

【 0 0 9 5 】

本実施の形態のコントローラ 25 は、図 9 に示す PI 誤り訂正部 50 と、図 3 に示す PO 誤り訂正部 40 を含んで構成される。

図 9 に示す PI 誤り訂正部 50 は、誤り情報生成回路 31、誤り訂正回路 32、第 1 CRC 演算回路 33、第 2 CRC 演算回路 34、第 3 CRC 演算回路 51、EOR 回路 35 を含む。

10

20

30

40

50

【 0 0 9 6 】

P I 誤り訂正部 5 0 には、図 1 7 に示すように、入力データとして P I インターリーブが 1 バイトずつ順次入力される。

誤り情報生成回路 3 1 は、入力データを基に P I シンドロームを順次作成する。そして、誤り情報生成回路 3 1 は、1 インターリーブの P I シンドロームを作成すると、その P I シンドロームを基に誤り情報を作成する。誤り情報は、P I 方向における誤データの位置と誤データに対する補正值を含む。誤り情報生成回路 3 1 は、生成した誤り情報を誤り訂正回路 3 2 に出力する。

【 0 0 9 7 】

誤り訂正回路 3 2 は、1 インターリーブ分の入力データを記録するためのレジスタを含む。誤り訂正回路 3 2 は、入力データ (P I インターリーブのデータ) をレジスタに記憶する。誤り訂正回路 3 2 は、誤り情報生成回路 3 1 から入力される誤り情報に基づいて、レジスタに記憶したデータの誤り訂正を行う。誤り訂正回路 3 2 は、誤り訂正後のデータを図 1 のバッファメモリ 2 7 に格納する。

10

【 0 0 9 8 】

更に、誤り訂正回路 3 2 は、誤り訂正後の 1 インターリーブ分のデータを第 3 C R C 演算回路 5 1 に出力する。第 3 C R C 演算回路 5 1 は、入力される誤り訂正後のデータのうち、基礎データ (I D 及び予約領域に格納されたデータ、ユーザデータ及び誤り検出符号 E D C) を C R C 演算し、その演算結果を第 1 判定データ (第 1 の検査値、第 1 標本値) としてメモリ 5 2 に格納する。

20

【 0 0 9 9 】

尚、メモリ 5 2 は、第一実施形態のメモリ 3 6 等と同様に図 1 のバッファメモリ 2 7 の一部領域である。即ち、バッファメモリ 2 7 は、誤り訂正回路 3 2 による誤り訂正後のデータブロックを記憶するための領域、演算結果を記憶するための領域 (メモリ 5 2) を有する。そして、第 3 C R C 演算回路 5 1 の演算結果のデータ量は、一つのデータブロックのデータ量に比べて非常に少ない。これにより、バッファメモリ 2 7 に対するアクセス時間は極僅かしか増加しない。

【 0 1 0 0 】

前記誤り情報生成回路 3 1 及び誤り訂正回路 3 2 は、上記の処理を全 P I インターリーブについて繰り返し実行する。これにより、図 1 6 に示す一つのデータブロックに対する誤り訂正処理が実施される。

30

【 0 1 0 1 】

第 3 C R C 演算回路 5 1 は、前記誤り情報生成回路 3 1、誤り訂正回路 3 2 と並列に動作し、C R C 演算を全 P I インターリーブについて繰り返し実行する。これにより、メモリ 5 2 には、誤り訂正後の一つのデータブロックにおける C R C 演算結果が第 1 標本値として記録される。この第 3 C R C 演算回路 5 1 の動作は、P I 方向の誤り訂正処理と同時に行われることから、誤り訂正後のデータに対する C R C 演算は、P I 誤り訂正処理に要する時間を増加させない。

【 0 1 0 2 】

そして、図 3 の P O 誤り訂正回路 4 0 を構成する E O R 回路 4 5 は、第一実施形態のメモリ 3 6 に代えて、メモリ 5 2 に格納された演算結果 (第 1 標本値) を入力する。E O R 回路 4 5 は、入力した演算結果と C R C 演算回路 4 4 から入力される演算結果 (第 2 標本値) とを E O R 演算し、その演算結果を第 2 判定データ (第 2 検査値) としてメモリ 4 7 に格納する。

40

【 0 1 0 3 】

メモリ 5 2 に格納された演算結果は、上記したように、P I 誤り訂正後の基礎データ (図 1 5 参照) の C R C 演算結果である。従って、E O R 回路 4 5 の演算結果である第 2 判定データ (検査値) は、P O 誤り訂正が正確に行われたか否かを判断するためのデータとなる。即ち、図 1 のコントローラ 2 5 は、メモリ 4 7 に格納された第 2 判定データに基づいて、P O 誤り訂正が正確に行われたか否かを判断する。

50

【 0 1 0 4 】

次に、上記のようなコントローラ 25 に基づく誤り訂正処理動作を図 10 に従って説明する。

図 10 に示すステップ 31 ~ ステップ 38 は、図 4 の P I 誤り訂正処理 (ステップ 2) のサブステップである。尚、コントローラ 25 は、ステップ 31 ~ ステップ 36 において、図 5 のステップ 11 ~ ステップ 16 と同じ処理を行い、ステップ 38 において図 5 のステップ 17 と同じ処理を行う。

【 0 1 0 5 】

即ち、ステップ 31 において、コントローラ 25 は、図 16 のデータブロック 2 の各セクタ 1 から P I 方向のデータを 1 バイトずつ順次入力する。次に、ステップ 32 において、
10
コントローラ 25 は、基礎データの C R C 演算を行う。それと共に、ステップ 33 において、コントローラ 25 は、一つの P I インターリーブ毎に P I シンドロームを順次生成する。

【 0 1 0 6 】

コントローラ 25 は、P I 方向の 1 インターリーブの P I シンドロームを生成すると、ステップ 33 からステップ 34 に移る。そのステップ 34 において、コントローラ 25 は、P I シンドロームから当該インターリーブの誤り情報 (誤データの位置及び補正值 (訂正值)) を算出する。更に、ステップ 35 において、コントローラ 25 は、算出した誤り情報を C R C 演算する。

【 0 1 0 7 】

次に、その誤り情報を基に、ステップ 36 において、コントローラ 25 は、ステップ 34 において算出した誤り情報を基に当該インターリーブの誤り訂正、即ち誤データの書き換え動作を行う。そして、コントローラ 25 は、誤り訂正後の当該インターリーブを図 1 のバッファメモリ 27 に格納する。この P I インターリーブの格納を終了すると、コントローラ 25 はステップ 36 からステップ 37 に移る。
20

【 0 1 0 8 】

ステップ 37 において、コントローラ 25 は、誤り訂正後の P I インターリーブに含まれる基礎データを C R C 演算した演算結果を順次作成する。そして、コントローラ 25 は、その演算結果を図 9 のメモリ 52 に格納する。

【 0 1 0 9 】

そして、コントローラ 25 はこのような動作を全 P I インターリーブについて繰り返し実行する。これにより、図 1 のバッファメモリ 27 には、P I 誤り訂正後の一つのデータブロック 2 が格納される。また、コントローラ 25 は、一つのデータブロック 2 における全ての補正值を C R C 演算した結果を得る。一つのデータブロックに対する誤り訂正及び C R C 演算を終了すると、コントローラ 25 はステップ 37 からステップ 38 に移る。
30

【 0 1 1 0 】

次に、ステップ 38 において、コントローラ 25 は、基礎データの C R C 演算結果 (ステップ 32) と補正值の C R C 演算結果 (ステップ 35) を E O R 演算し、第 1 標本値を得る。更に、コントローラ 25 は、その演算結果 (第 1 標本値) を図 2 のメモリ 36 に格納する。そして、コントローラ 25 は、演算結果の格納を終了すると、当該 P I 誤り訂正処理を終了して図 6 の P O 誤り訂正処理を実行する。
40

【 0 1 1 1 】

図 6 のステップ 27 において、コントローラ 25 は、メモリ 36 に代えて図 9 のメモリ 52 から図 10 のステップ 37 における演算結果を入力する。そして、コントローラ 25 は、補正值の C R C 演算結果 (ステップ 26) と入力した演算結果を E O R 演算する。

【 0 1 1 2 】

メモリ 36 から入力した演算結果は、図 5 の P I 誤り訂正処理における C R C チェックの結果である。そして、この C R C チェックの結果は、P I 誤り訂正後のデータブロックにおける基礎データを C R C 演算した結果に対応している。

【 0 1 1 3 】

10

20

30

40

50

従って、コントローラ 25 は、メモリ 36 から入力した演算結果（第 1 標本値）と補正値の CRC 演算結果（第 2 標本値）を EOR 演算することにより、当該 PO 誤り訂正処理における CRC チェックの結果である検査値を得る。このことは、PO 誤り訂正処理における CRC チェックを行うために実施する PI 誤り訂正処理を不要とする。これにより、誤り訂正処理に要する時間は短くなる。

【0114】

以上記述したように、第二実施形態によれば、以下の効果を奏する。

（4）前記第一実施形態の（1）、（2）と同様の効果を奏する。

（5）PI 誤り訂正部 50 の CRC 演算回路 51 は、誤り訂正回路 32 にて誤り訂正された後の基礎データを CRC 演算した第 1 判定データをメモリ 52 に格納するようにした。これにより、PO 誤り訂正部 40 は、実際に誤り訂正されたデータに基づいてその PO 誤り訂正に対する CRC 演算を行うことができる。

【0115】

（第三実施形態）

以下、本発明を具体化した第三実施形態を図 11～図 13 に従って説明する。尚、説明の便宜上、第一、第二実施形態と同様の構成については同一の符号を付してその説明を一部省略する。

【0116】

本実施形態のコントローラ 25 は、図 2 に示す PI 誤り訂正部 30 と、図 11 に示す PO 誤り訂正部 60 を含んで構成される。

図 11 に示すように、PO 誤り訂正部 60 は、誤り訂正部としての誤り情報生成回路 41、誤り訂正部としての誤り訂正回路 42、第 2 検査演算部としての CRC 演算回路 61、比較部としての EOR 回路 45 を含む。PO 誤り訂正部 60 には、図 18 に示すように、入力データとして PO インターリーブが 1 バイトずつ順次入力される。

【0117】

誤り情報生成回路 41 は、入力データを基に PO シンドロームを順次作成する。そして、誤り情報生成回路 41 は、1 インターリーブの PO シンドロームを作成すると、その PO シンドロームを基に誤り情報を作成する。誤り情報は、PO 方向における誤データの位置と誤データに対する補正値を含む。誤り情報生成回路 41 は、生成した誤り情報を誤り訂正回路 42 に出力する。また、誤り情報生成回路 41 は、生成した誤り情報をメモリ 46 に格納する。

【0118】

誤り訂正回路 42 は、1 インターリーブ分の入力データを記録するためのレジスタを含む。誤り訂正回路 42 は、入力データ（PO インターリーブのデータ）をレジスタに記憶する。誤り訂正回路 42 は、誤り情報生成回路 41 から入力される誤り情報に基づいて、レジスタに記憶したデータの誤り訂正を行う。誤り訂正回路 42 は、誤り訂正後のデータを図 1 のバッファメモリ 27 に格納する。

【0119】

前記誤り情報生成回路 41 及び誤り訂正回路 42 は、上記の処理を全 PO インターリーブについて繰り返し実行する。これにより、図 16 に示す一つのデータブロックに対する誤り訂正処理が実施される。そして、誤り情報生成回路 41 は、メモリ 46 に、一つのデータブロックにおける PO 方向の誤り情報を格納する。

【0120】

CRC 演算回路 61 は、メモリ 46 に記憶された誤り情報に含まれる誤データの位置をキーとして、その位置に対応する補正値を PI 方向に沿って順次読み出す。CRC 演算回路 61 は、第一実施形態の CRC 演算回路 44（図 3 参照）と同様に、読み出した補正値を、誤りデータの位置に基づいて CRC 演算し、その演算結果を EOR 回路 45 に出力する。即ち、CRC 演算回路 61 は、誤り情報をソートしつつ、データ入力順と同じ PI 方向に補正値の CRC 演算を実施し、第 2 標本値を得る。これにより、メモリ 46 に誤り情報が格納されてから補正値に対する CRC 演算処理を終了するまでの時間が、第一、第二実

10

20

30

40

50

施形態のそれに比べて短くなる。

【0121】

EOR回路45は、メモリ36に格納された演算結果(第1標本値)を入力する。EOR回路45は、入力した判定データとCRC演算回路61から入力される演算結果(第2標本値)とをEOR演算し、その演算結果を第2判定データ(検査値)としてメモリ47に格納する。

【0122】

メモリ36に格納された演算結果は、図2に示す第2CRC演算回路34により格納されたデータであり、PI誤り訂正後のデータブロックにおける基礎データをCRC演算した結果に対応した第1標本値である。従って、EOR回路45の演算結果である第2判定データ(検査値)は、PO誤り訂正が正確に行われたか否かを判断するためのデータとなる。即ち、図1のコントローラ25は、メモリ47に格納された第2判定データに基づいて、PO誤り訂正が正確に行われたか否かを判断する。

10

【0123】

次に、上記のようなコントローラ25に基づくPO誤り訂正動作を、図12に従って説明する。

図12に示すステップ41~ステップ46は、図4のPO誤り訂正処理(ステップ3)のサブステップである。尚、コントローラ25は、ステップ41~ステップ44において図6のステップ21~ステップ24と同じ処理を、ステップ46において図6のステップ27と同じ処理を行う。

20

【0124】

即ち、図1のコントローラ25は、ステップ41において、バッファメモリ27に格納されたデータブロック2を、図18に示すように、PO方向の各インターリーブ毎に順次入力する。ステップ42において、コントローラ25は、一つのPOインターリーブ毎にPOシンドロームを順次作成する。

【0125】

コントローラ25は、PO方向の1インターリーブのPOシンドロームを生成すると、ステップ42からステップ43に移る。そのステップ43において、コントローラ25は、POシンドロームから当該インターリーブの誤り情報(誤りデータの位置及び補正值(訂正值))を算出する。コントローラ25は、算出した誤り情報を図11のメモリ46に格納する。その誤り情報を基に、ステップ44において、コントローラ25は、当該インターリーブの誤り訂正、即ち誤データの書き換え動作を行う。そして、コントローラ25は、誤り訂正後の当該インターリーブを図1のバッファメモリ27に格納する。

30

【0126】

そして、コントローラ25はこのような動作を全POインターリーブについて繰り返し実行する。これにより、バッファメモリ27に格納されたデータブロック2に対するPO方向の誤り訂正処理が実施される。また、図11のメモリ46には、一つのデータブロック2に対して算出した誤り情報がPO方向に格納される。

【0127】

次に、コントローラ25は、ステップ45において、メモリ46に格納した誤り情報に含まれる誤データの位置に基づいて、補正值をPI方向にソートしつつCRC演算する。これにより、コントローラ25は、PI方向、即ち図15の基礎データの入力方向に沿って補正值をCRC演算した演算結果である第2標本値を得る。そして、コントローラ25は、ステップ45からステップ46に移る。

40

【0128】

ステップ46において、コントローラ25は、メモリ36から上記演算結果(第1標本値)を入力する。そして、コントローラ25は、補正值のCRC演算結果(ステップ45)であり第2標本値と、入力した演算結果である第1標本値をEOR演算し、検査値を得る。

【0129】

50

メモリ36から入力した演算結果は、図5のPI誤り訂正処理におけるCRCチェックの結果である。そして、このCRCチェックの結果は、PI誤り訂正後のデータブロックにおける基礎データをCRC演算した結果に対応している。

【0130】

従って、コントローラ25は、メモリ36から入力した演算結果(第1標本値)と補正値のCRC演算結果(第2標本値)をEOR演算することにより、当該PO誤り訂正処理におけるCRCチェックの結果である検査値を得る。このことは、PO誤り訂正処理におけるCRCチェックを行うために実施するPI誤り訂正処理を不要とする。これにより、誤り訂正処理に要する時間は短くなる。

【0131】

図13に示すステップ51~ステップ60は、図12のステップ45における補正値をCRC演算する演算処理のサブステップである。即ち、コントローラ25は、ステップ51において、演算位置及びセクタカウントを初期化する。この演算位置は、図15の基礎データを読み出す読み出し位置に対応している。

【0132】

次に、コントローラ25は、ステップ52において、誤り位置及び補正値を入力する。そして、ステップ53において、コントローラ25は、誤り位置と演算位置が一致しているか否かを判断する。両位置が一致していない場合、即ちその演算位置に対応する基礎データが誤っていない場合、コントローラ25はステップ53からステップ54へ移る。そのステップ54において、コントローラ25は、その演算位置における補正値を「0」(ゼロ)とし、その「0」と以前の演算結果をCRC演算する。その演算後、コントローラ25は、ステップ54からステップ56へ移る。

【0133】

一方、ステップ53において、両位置が一致している、即ちその演算位置に対応する基礎データが誤っている場合、コントローラ25はステップ53からステップ55へ移る。そのステップ55において、コントローラ25は、その誤り位置に対する補正値と以前の演算結果をCRC演算する。その演算後、コントローラ25は、ステップ55からステップ56へ移る。

【0134】

ステップ56において、コントローラ25は、演算位置のうち、PI方向の座標値Xをインクリメント(+1)する。ステップ57において、コントローラ25は、演算位置の座標値Xと1行のバイト数とを比較することにより、1行分のデータに対して発生した補正値のCRC演算を終了したか否かを判断する。コントローラ25は、1行分のデータに対する補正値のCRC演算を終了していない場合、ステップ52に移る。

【0135】

従って、コントローラ25は、ステップ52~57の処理を繰り返し実行する。これにより、コントローラ25は、補正値のCRC演算における演算の順序と演算位置を、基礎データをCRC演算する時のそれらと同じにする。即ち、コントローラ25は、図11のメモリ46にPO方向に蓄積された誤り情報に含まれる補正値を、行方向、即ちPI方向にCRC演算する。

【0136】

ステップ57において、コントローラ25は、1行分のデータに対する補正値のCRC演算を終了すると、ステップ57からステップ58に移る。そのステップ58において、コントローラ25は、演算位置のうち、PO方向の座標値Yをインクリメント(+1)する。

【0137】

次に、ステップ59において、コントローラ25は、演算位置の座標値Yと1セクタの行数とを比較することにより、1セクタ分のデータに対して発生した補正値のCRC演算を終了したか否かを判断する。コントローラ25は、1セクタ分のデータに対する補正値のCRC演算を終了していない場合、ステップ52に移る。従って、コントローラ25は、

10

20

30

40

50

ステップ 5 2 ~ ステップ 5 9 を繰り返し実行し、1つのセクタにおける補正值のCRC演算を実行する。

【0138】

コントローラ 2 5 は、1セクタ分のデータの処理を終了すると、セクタカウントをインクリメントする。そして、コントローラ 2 5 はステップ 5 9 からステップ 6 0 に移る。

【0139】

ステップ 6 0 において、コントローラ 2 5 は、セクタカウントの値と1ブロック内のセクタ数を比較することにより、1ブロック分のデータに対する処理を終了したか否かを判断する。コントローラ 2 5 は、1ブロック分のセクタの処理を終了していない場合、ステップ 5 2 に移る。そして、コントローラ 2 5 は、1ブロック分のデータの処理を終了すると、当該演算処理を終了する。

10

【0140】

以上記述したように、第三実施形態によれば、以下の効果を奏する。

(1) 上記第一形態と同じ効果を奏する。

(2) コントローラ 2 5 は、P O 方向のインターリーブに基づいて演算されメモリ 4 6 に格納された誤り情報(誤り位置及び補正值)を、P I 方向にCRC演算する。これにより、コントローラ 2 5 は、誤り情報をP I 方向にソートする第一、第二実施形態に比べて、CRC演算に要する時間を短くすることができる。

【0141】

尚、本発明は前記実施の形態の他、以下の態様で実施してもよい。

20

上記各実施形態において、誤り検出符号EDCとして、CRCデータ(巡回符号:cyclic code)に代えて、ハミング符号(Hamming code)等を用いて実施してもよい。

【0142】

【発明の効果】

以上詳述したように、請求項 1 乃至 2 1 に記載の発明によれば、誤り検査符号を演算する際のデータの入力方向と異なる方向に誤り訂正を行う誤り訂正処理の結果をチェックする訂正検査処理において、再びデータの入力方向への誤り訂正及びその訂正内容の評価を行うための読み出しを行う必要がなくなり、訂正検査処理に要する時間を短縮することができる。

【図面の簡単な説明】

30

【図 1】 光ディスク制御装置を示すブロック図。

【図 2】 P I 誤り訂正部を示すブロック図。

【図 3】 P O 誤り訂正部を示すブロック図。

【図 4】 誤り訂正動作を示すフローチャート。

【図 5】 P I 誤り訂正動作を示すフローチャート。

【図 6】 P O 誤り訂正動作を示すフローチャート。

【図 7】 誤り位置・補正值を示すマトリックス図。

【図 8】 (a)(b)は、ソート処理を示す説明図。

【図 9】 第二実施形態のP I 誤り訂正部を示すブロック図。

【図 10】 第二実施形態のP I 誤り訂正動作を示すフローチャート。

40

【図 11】 第三実施形態のP O 誤り訂正部を示すブロック図。

【図 12】 第三実施形態のP O 誤り訂正動作を示すフローチャート。

【図 13】 第三実施形態のP O 誤り訂正動作におけるCRC演算処理を示すフローチャート。

【図 14】 別の誤り訂正動作を示すフローチャート。

【図 15】 DVD-ROMのセクタの内容を示す説明図。

【図 16】 データブロックを示す説明図。

【図 17】 P I インターリーブを示す説明図。

【図 18】 P O インターリーブを示す説明図。

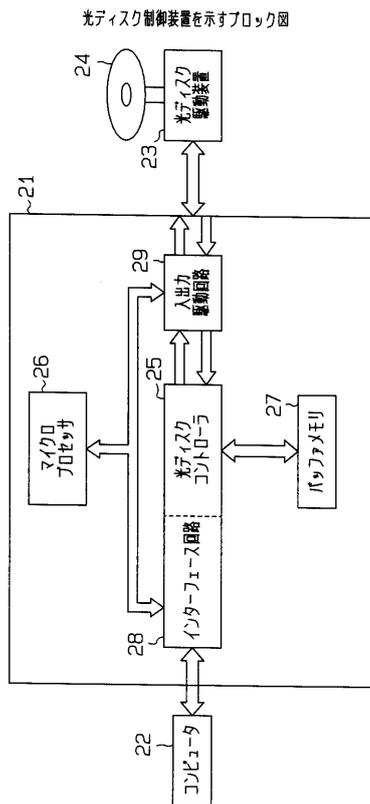
【図 19】 P O - E C C 部を展開・挿入したブロックを示す説明図。

50

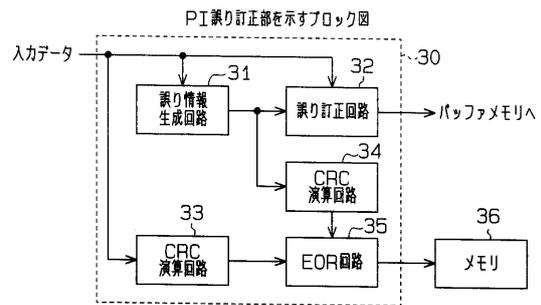
【符号の説明】

- 3 1 第1誤り訂正部としての誤り情報生成回路
- 3 2 第1誤り訂正部としての誤り訂正回路
- 3 3 第1検査演算部としての第1CRC演算回路
- 3 4 第2検査演算部としての第2CRC演算回路
- 3 5 第1比較部としてのEOR回路
- 4 1 第2誤り訂正部としての誤り情報生成回路
- 4 2 第2誤り訂正部としての誤り訂正回路
- 4 3 第3検査演算部，データ呼び出し部としてのソート回路
- 4 4 第3検査演算部としてのCRC演算回路
- 4 5 第2比較部としてのEOR回路
- 6 1 第2検査演算部としてのCRC演算回路

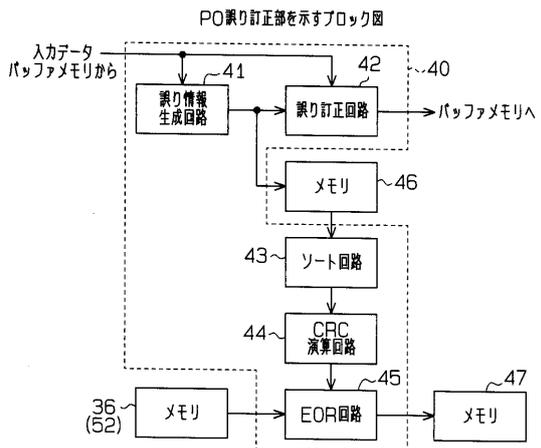
【図1】



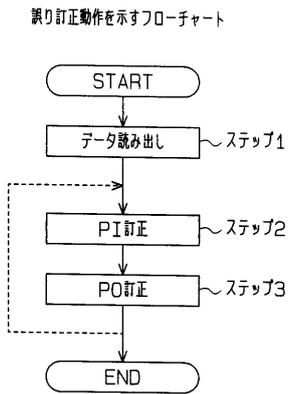
【図2】



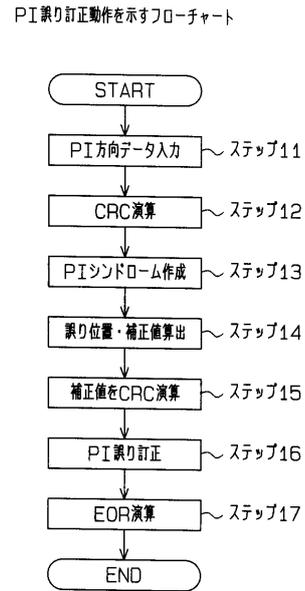
【図3】



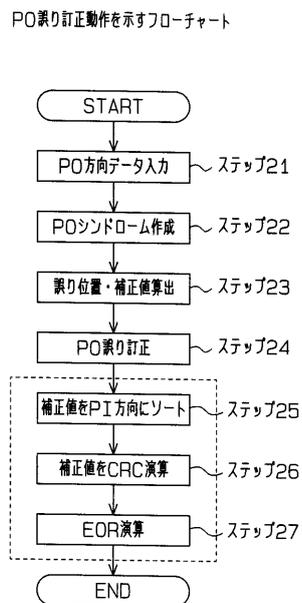
【 図 4 】



【 図 5 】



【 図 6 】



【 図 7 】

誤り位置・補正値を示すマトリックス図

		PI方向 →					
		X ₁	X ₂	X ₃	X ₄	X ₅	X ₆
PO方向 ↓	Y ₁						
	Y ₂	•					•
	Y ₃					•	
	Y ₄						
	Y ₅		•				
	Y ₆	•			•		

【 図 8 】

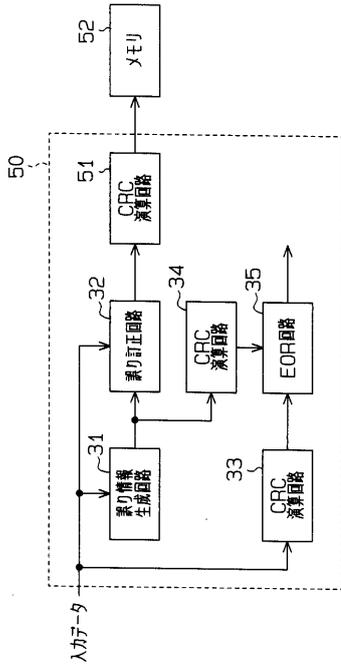
リット処理を示す説明図

(a)			
誤り位置	補正値		
X ₁ , Y ₂	Z ₁	~46a	} 46
X ₄ , Y ₆	Z ₂	~46b	
X ₂ , Y ₅	Z ₃	~46c	
X ₄ , Y ₆	Z ₄	~46d	
X ₅ , Y ₃	Z ₅	~46e	
X ₆ , Y ₂	Z ₆	~46f	

(b)		
誤り位置	補正値	
X ₁ , Y ₂	Z ₁	
X ₆ , Y ₂	Z ₆	
X ₅ , Y ₃	Z ₅	
X ₂ , Y ₅	Z ₃	
X ₁ , Y ₆	Z ₂	
X ₄ , Y ₆	Z ₄	

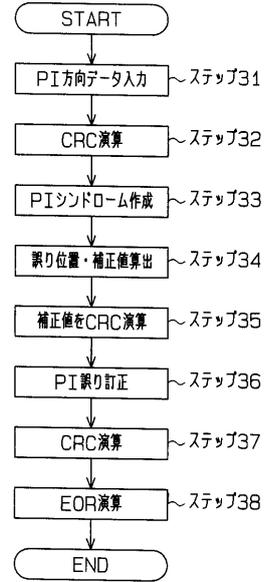
【 図 9 】

第二実施形態のPI誤り訂正部を示すブロック図



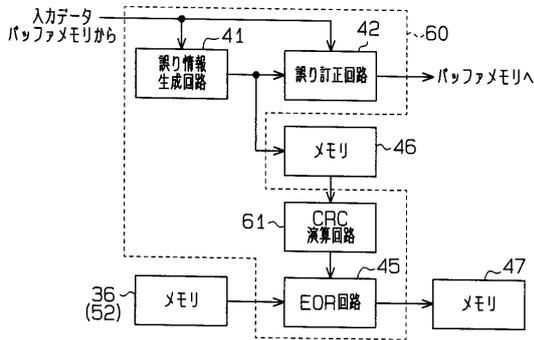
【 図 10 】

第二実施形態のPI誤り訂正動作を示すフローチャート



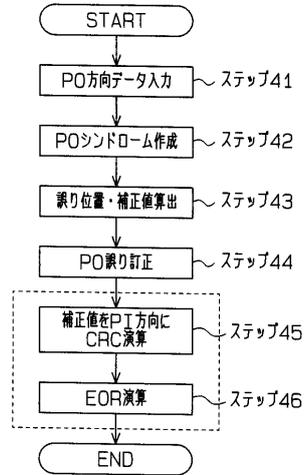
【 図 11 】

第三実施形態のPO誤り訂正部を示すブロック図



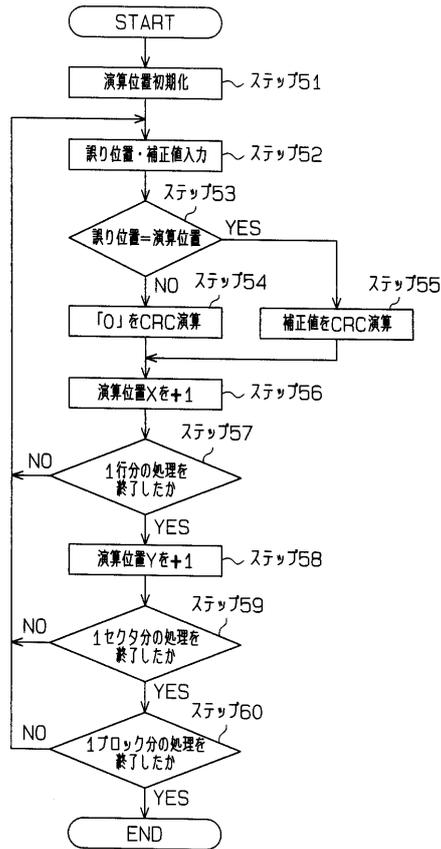
【 図 12 】

第三実施形態のPO誤り訂正動作を示すフローチャート



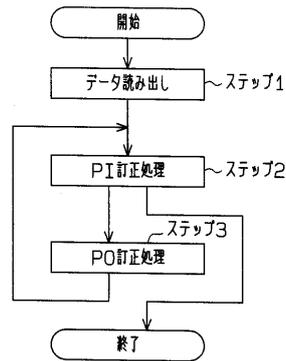
【 図 1 3 】

第三実施形態のPO誤り訂正動作におけるCRC演算処理を示すフローチャート



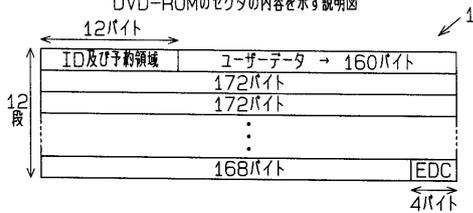
【 図 1 4 】

別の誤り訂正動作を示すフローチャート



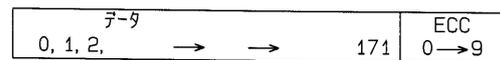
【 図 1 5 】

DVD-ROMのセクタの内容を示す説明図



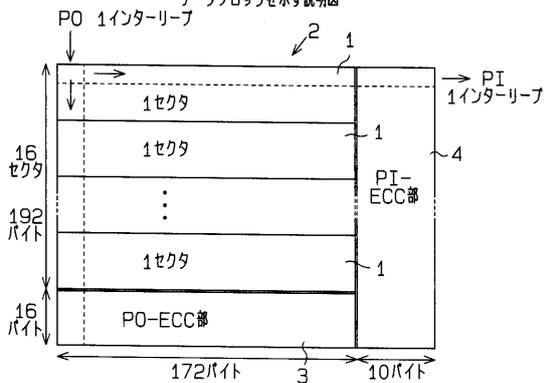
【 図 1 7 】

PIインターリーブを示す説明図



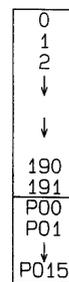
【 図 1 6 】

データブロックを示す説明図



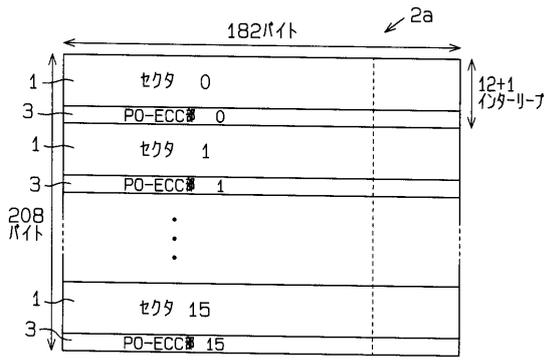
【 図 1 8 】

POインターリーブを示す説明図



【 図 1 9 】

PO-ECC部を展開・挿入したデータブロックを示す説明図



フロントページの続き

(58)調査した分野(Int.Cl. , DB名)

H03M 13/00 - 13/53

G11B 20/18