

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係有關於一種半導體元件及其製造方法，特別有關於一種記憶體元件及其製造方法

【先前技術】

相變化記憶體具有速度、功率、容量、可靠度、製程整合度以及成本等具競爭力的特性，為一適合用來作為較高密度的獨立式或嵌入式的記憶體應用。由於相變化記憶體技術的獨特優勢，也使得其被認為非常有可能取代目前商業化極具競爭性的靜態記憶體 SRAM 與動態隨機記憶體 DRAM 揮發性記憶體與快閃記憶體 Flash 非揮發性記憶體技術，可望成為未來極有潛力的新世代半導體記憶體。

相變化記憶體元件係利用相變化記憶體材料在結晶態和非晶態之電阻值的差異，進行寫入、讀取或是抹除，例如，當要進行寫入時，可提供一短時間(例如 50ns)且相對較高之電流(例如 1mA)，使相變化層轉換成非晶態，因為非晶態相變化層具有較高的電阻(例如 10⁵ 歐姆)，其在讀取時，當提供一電壓時，得到之電流相對較小。當要進行抹除時，可提供一較長時間(例如 100ns)且相對較低之電流(例如 0.2mA)，使相變化層轉換成結晶態，因為結晶態相變化層具有較低的電阻(例如 10³~10⁴ 歐姆)，其在讀取時，當提供一電壓，得到之電流相對較大，據此，可進行相變化記憶體元件之操作。

第 1 圖繪示一習知 T 型結構之相變化記憶體，如第 1 圖所示，習知 T 型結構之相變化記憶胞依序包括下電極 102、加熱電極 104、相變化層 106 和上電極 108，柱狀之加熱電極 104 和相變化層 106 接觸，相變化記憶體之電流係由相變化層和電極之接觸面積決定，此習知 T 型結構之相變化記憶體係使用黃光微影製程進行相變化層 106 和加熱電極 104 之圖形化，因此，此種製造技術所形成相變化層 106 和電極 104 之接觸面積係由黃光微影製程之極限決定，無法有效的縮小相變化層 106 和電極 104 之接觸面積，使得相變化記憶體元件之尺寸無法進一步的縮小。

第 2 圖繪示習知另一結構之相變化記憶體，如第 2 圖所示，形成一水平加熱電極 202 於下電極 204 和層間介電層 206 上，之後，對水平加熱電極 202 進行一黃光微影步驟，並形成一相變化層 208 接觸水平加熱電極 202，接著，再對相變化層 208 進行另一方向的黃光微影步驟，以定義記憶晶胞，後續，形成一上電極 210，電性連接相變化層 208。此種記憶元件結構之加熱電極係採用水平設置，如此，加熱電極之尺寸大小係由形成加熱電極 202 之薄膜厚度決定，可不受黃光微影製程之限定，然而，此相變化記憶體元件製程之相變化材料係以填洞製程沈積，其與加熱電極 112 接觸的可靠度、均勻性均不理想。

【發明內容】

有鑑於此，為解決上述問題，本發明係提供一種記憶

體元件和其製造方法，其操作電流亦足夠低，使用光罩較習知技術少，製作成本相對較低。

本發明提供一種記憶體元件之製造方法，包括下列步驟。首先，提供一基底，形成一第一層間介電層於基底上方。接著，形成一下電極於第一層間介電層中，形成一第一電極層於第一層間介電層和下電極上。其後，形成一介電層於第一電極層上，形成一第二電極層於介電層上。接下來，圖形化第一電極層、介電層和第二電極層，以形成一柱形結構，其中柱形結構係對應於記憶體元件之一記憶晶胞，形成一相變化層於柱形結構和基底上。接著，圖形化相變化層，使記憶晶胞之圖形化相變化層和鄰近記憶晶胞之圖形化相變化層分隔。後續，形成一上電極，電性連接柱形結構之第二電極層。

本發明提供一種記憶體元件。一柱形結構包括一第一電極層、一位於第一電極上之介電層及一位於介電層上之第二電極層。一相變化層包覆柱形結構之四周圍。一下電極電性連接柱形結構之第一電極層。一上電極電性連接柱形結構之第二電極層。

【實施方式】

以下將以實施例詳細說明做為本發明之參考，且範例係伴隨著圖式說明之。在圖式或描述中，相似或相同之部分係使用相同之圖號。在圖式中，實施例之形狀或是厚度可擴大，以簡化或是方便標示。圖式中各元件之部分將以

分別描述說明之，值得注意的是，圖中未繪示或描述之元件，可以具有各種熟習此技藝之人士所知的形式，另外，特定之實施例僅為揭示本發明使用之特定方式，其並用以限定本發明。

第 3A 圖~第 10B 圖揭示本發明一實施例相變化記憶體元件之製造方法，其中第 3A 圖為第 3B 圖之上視圖，首先，請參照第 3A 圖和第 3B 圖，提供一基底(未繪示)，基底上可包括所需之元件，例如閘極，基底上可形成有介電層和/或導電插塞，上述之單元或是其製作方法為此技藝所熟習，在此，為簡潔，並未將上述所有單元繪示或詳細描述。接著，如第 3A 圖和第 3B 圖所示，於介電層和/或導電插塞上(未繪示)形成形成第一層間介電層 302 和下電極 304，第一層間介電層 302 可以例如為氧化矽、氮化矽、氮氧化矽或是低介電材料所組成，下電極 304 可以為鋁、銅或鎢等低導電係數材料所組成。形成下電極 304 之方法可為以黃光微影蝕刻法於第一層間介電層 302 中形成開口，再於開口中填入導電層以形成下電極 304。另外，亦可以先圖形化一導電層以形成下電極 304，再於下電極 304 四周沉積第一層間介電層 302，之後，回蝕刻第一層間介電層 302。

接著，請參照第 4A 圖和第 4B 圖，以例如物理氣相沉積法(physical vapor deposition，以下可簡稱 PVD)或原子層沉積法(Atomic layer deposition，以下可簡稱 ALD)形成一第一電極層 306 於下電極 304 和第一層間介電層 302 上，第一電極層 306 可以為 TiN、TiW 或 TiAlN 所組成，須注

意的是第一電極層 306 之厚度不可太厚，其厚度可以為 5 埃~500 埃，較佳者，第一電極層 306 之厚度為 100 埃~300 埃。後續，以例如低壓化學氣相沉積法 (low pressure chemical vapor deposition，以下可簡稱 LPCVD)、常壓化學氣相沉積法 (atmosphere pressure chemical vapor deposition，以下可簡稱 APCVD)、次大氣壓化學氣相沉積法 (sub-atmospheric chemical vapor deposition，以下可簡稱 SACVD)、電漿化學氣相沉積法 (plasma enhanced chemical vapor deposition，以下可簡稱 PECVD) 或其它技術沉積一介電層 308 於第一電極層 306 上，介電層 308 可以為氧化矽、氮化矽、氮氧化矽或其它類似的材料。接著，以例如物理氣相沉積法 (PVD) 或原子層沉積法 (ALD) 形成一第二電極層 310 於介電層 308 上，第二電極層 310 可以為 TiN、TiW、TiAl、TaN 或 TiAlN 所組成，在本發明較佳實施例中，第二電極層 310 之厚度較第一電極層 306 之厚度為厚，例如至少兩倍到三倍的厚度，第二電極層之厚度較佳大體上為 100 埃~3000 埃。

接著，請參照第 5A 圖和第 5B 圖，以例如旋轉塗佈法形成一光阻層 (未繪示) 於第二電極層 310 上，接著，進行一黃光微影步驟，定義光阻層形成圖形化光阻層 312，使光阻層形成預定形成之圖案。後續，請參照第 6A 圖和第 6B 圖，以圖形化光阻層 312 為罩幕，進行一非等向性蝕刻製程，依序蝕刻第二電極層 310、介電層 308 和第一電極層 306，以形成一具有封閉環繞四周圍之柱形結構 314。接

著，移除圖形化光阻層 312，在本較佳實施例中，此結構 314 係繪示為圓柱形結構 314，但本發明不限於此，此結構可以為任何封閉幾何圖形，例如橢圓柱形結構、方形結構等等，此具有封閉環繞四周圍之柱形結構 314 係對應於本發明記憶體元件之一記憶晶胞。

接下來，請參照第 7A 圖和第 7B 圖，以例如物理氣相沉積法(PVD)或原子層沉積法(ALD)，形成一相變化層 316 於第一層間介電層 302 和上述柱形結構 314 之頂部和側壁上，相變化層 316 可以為 Ag、In、Te、Sb 或其組合，或 Ge、Te、Sb 或其組合所組成，在本發明較佳實施例中，相變化層 316 為 $Ag_xIn_yTe_zSb_w$ 或 $Ge_xTe_ySb_w$ 之合金，另外，相變化層 316 之厚度較佳約大於 500 埃，在此須注意的是，相變化層 316 直接接觸柱形結構 314 之環繞周圍，特別是，相變化層 316 直接接觸柱形結構 314 之第一電極層 306 的四周圍。

後續，請參照第 8A 圖和第 8B 圖，以例如旋轉塗佈法形成一光阻層(未繪示)於相變化層 316 上，接著，進行一黃光微影步驟，定義光阻層以形成圖形化光阻層 318。接著，請參照第 9A 圖和第 9B 圖，以圖形化光阻層 318 為罩幕，蝕刻相變化層 316，使此記憶晶胞 300 之圖形化相變化層 320 和鄰近記憶晶胞 301、303、305 之圖形化相變化層 307、309、311 分隔，如第 9C 圖所示。

接下來，請參照第 10A 圖和第 10B 圖，以例如化學氣相沉積法，形成一第二層間介電層 330 覆蓋相變化層 316

和第一層間介電層 302，第二層間介電層 330 可以為氧化矽、氮化矽或氮氧化矽，後續經化學機械研磨平坦化，接下來，圖形化第二層間介電層 330 和相變化層 316，以形成一開口(未繪示)，暴露第二電極層 310，接下來，沉積一例如 Al、Cu 或是 W 之導電層於第二層間介電層 330 上，且填入開口中，以形成以上電極 332，電形連接柱形結構 314 之第二電極層 310。

第 11 圖為本發明一實施例相變化記憶晶胞之立體圖，如圖所示，此實施例中，記憶晶胞主體為一包括第一電極層 306、介電層 308 和第二電極層 310 之柱形結構 314，且此柱形結構 314 為一圖形化相變化層 320 所包覆，另外，柱形結構 314 之第一電極層 306 和第二電極層 310 係分別電性連接一下電極 304 和一上電極 332。

根據本發明之上述實施例，由於柱形結構 314 之第一電極層 306 之厚度較第二電極層 310 薄許多，如此，其阻抗較大，因此，電流通過所發出之熱能大部份沿著第一電極層 306 之周圍分佈。若柱形結構 314 為一圓柱形，其第一電極層 306(加熱電極)和相變化層 320 之接觸面為一水平環狀(ring)，而若圓柱形結構 314 之直徑為 cd ，厚度為 t ，則其加熱電極和相變化層 320 之接觸面積為 $A=cd \times \pi \times t$ ，可不受黃光微影製程限制。此外，本發明此製程僅使用一次黃光微影製程即決定加熱電極和相變化層 320 之接觸面積，可減少多一道微影製程所產生之變數或影響，另外，本發明上述實施例在形成相變化層 320 之後，並未在加熱

相變化區(即 316 和 320 接觸區)對相變化層 320 進行額外的特殊製程加工，修飾其輪廓，可避免相變化層 320 之組成產生變化，又另外，本發明形成加熱電極(第一電極層 306)之方法，為將其沉積於一平面上，可較容易控制加熱電極之厚度。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1 圖繪示一習知 T 型結構之相變化記憶體。

第 2 圖繪示習知另一結構之相變化記憶體。

第 3A 圖繪示本發明一實施例相變化記憶體元件之製造方法中間步驟之上視圖。

第 3B 圖繪示第 3A 圖之剖面圖。

第 4A 圖繪示本發明一實施例相變化記憶體元件之製造方法中間步驟之上視圖。

第 4B 圖繪示第 4A 圖之剖面圖。

第 5A 圖繪示本發明一實施例相變化記憶體元件之製造方法中間步驟之上視圖。

第 5B 圖繪示第 5A 圖之剖面圖。

第 6A 圖繪示本發明一實施例相變化記憶體元件之製造方法中間步驟之上視圖。

第 6B 圖繪示第 6A 圖之剖面圖。

第 7A 圖繪示本發明一實施例相變化記憶體元件之製造方法中間步驟之上視圖。

第 7B 圖繪示第 7A 圖之剖面圖。

第 8A 圖繪示本發明一實施例相變化記憶體元件之製造方法中間步驟之上視圖。

第 8B 圖繪示第 8A 圖之剖面圖。

第 9A 圖繪示本發明一實施例相變化記憶體元件之製造方法中間步驟之上視圖。

第 9B 圖繪示第 9A 圖之剖面圖。

第 9C 圖繪示本發明一實施例複數個記憶晶胞之上視圖。

第 10A 圖繪示本發明一實施例相變化記憶體元件之製造方法中間步驟之上視圖。

第 10B 圖繪示第 10A 圖之剖面圖。

第 11 圖繪示本發明一實施例相變化記憶體元件之立體圖。

【主要元件符號說明】

- 102~下電極；
- 104~加熱電極；
- 106~相變化層；
- 108~上電極；
- 202~水平加熱電極；
- 204~下電極；
- 206~層間介電層；
- 208~相變化層；
- 210~上電極；
- 301~鄰近記憶晶胞；
- 302~第一層間介電層；
- 303~鄰近記憶晶胞；
- 304~下電極；
- 305~鄰近記憶晶胞；
- 306~第一電極層；
- 307~圖形化相變化層；
- 308~介電層；

- 309~圖形化相變化層；
- 310~第二電極層；
- 311~圖形化相變化層；
- 312~圖形化光阻層；
- 314~柱形結構；
- 316~相變化層；
- 318~圖形化光阻層；
- 320~相變化層；
- 330~第二層間介電層；
- 332~上電極。

五、中文發明摘要：

一種記憶體元件。一柱形結構包括一第一電極層、一位於第一電極上之介電層及一位於介電層上之第二電極層。一相變化層包覆柱形結構之四周圍。一下電極電性連接柱形結構之第一電極層。一上電極電性連接柱形結構之第二電極層。

六、英文發明摘要：

A memory device is disclosed. A column-shaped structure comprises a first electrode layer, a dielectric layer on the first electrode layer and a second electrode layer on the dielectric layer. A phase change layer surrounds and covers the column-shaped structure. A bottom electrode electrically connects the first electrode layer of the column-shaped structure. A top electrode electrically connects the second electrode layer of the column-shaped structure.

十、申請專利範圍：

1.一種記憶體元件之製造方法，包括：

提供一基底；

形成一第一層間介電層於該基底上方；

形成一下電極於該第一層間介電層中；

形成一第一電極層於該第一層間介電層和該下電極上；

形成一介電層於該第一電極層上；

形成一第二電極層於該介電層上；

圖形化該第一電極層、該介電層和該第二電極層，以形成一柱形結構，其中該柱形結構係對應於該記憶體元件之一記憶晶胞；

形成一相變化層於該柱形結構和該基底上；

圖形化該相變化層，使該記憶晶胞之圖形化相變化層和鄰近記憶晶胞之圖形化相變化層分隔；及

形成一上電極，電性連接該柱形結構之第二電極層。

2.如申請專利範圍第 1 項所述之記憶體元件之製造方法，其中該柱形結構具有環繞之周圍。

3.如申請專利範圍第 1 項所述之記憶體元件之製造方法，其中該相變化層直接接觸該柱形結構之環繞周圍。

4.如申請專利範圍第 3 項所述之記憶體元件之製造方法，其中該相變化層直接接觸該柱形結構之第一電極層之四周圍。

5.如申請專利範圍第 1 項所述之記憶體元件之製造方

法，其中該柱形結構為圓柱形。

6.如申請專利範圍第 5 項所述之記憶體元件之製造方法，其中該第一電極層和該相變化層之接觸面為一環狀 (ring)。

7.如申請專利範圍第 1 項所述之記憶體元件之製造方法，其中該相變化層之厚度大體上大於 500 埃。

8.如申請專利範圍第 1 項所述之記憶體元件之製造方法，其中該第一電極層之厚度較該第二電極層之厚度薄。

9.如申請專利範圍第 1 項所述之記憶體元件之製造方法，其中該第一電極層之厚度大體上為 5 埃~500 埃。

10.如申請專利範圍第 9 項所述之記憶體元件之製造方法，其中該第一電極層之厚度大體上為 100 埃~300 埃。

11.如申請專利範圍第 1 項所述之記憶體元件之製造方法，其中該第一電極層為 TiN、TiW 或 TiAlN 所組成。

12.如申請專利範圍第 1 項所述之記憶體元件之製造方法，其中該第二電極層為 TiN、TiW、TiAl、TaN 或 TiAlN 所組成。

13.如申請專利範圍第 1 項所述之記憶體元件之製造方法，其中該相變化層包括 Ag、In、Te、Sb 或其組合，和 Ge、Te、Sb 或其組合。

14.如申請專利範圍第 1 項所述之記憶體元件之製造方法，其中該介電層為氧化矽、氮化矽或是氮氧化矽所組成。

15.如申請專利範圍第 1 項所述之記憶體元件之製造方法，其中該下電極和該上電極為 Al、Cu 或 W 所組成。

16.一種記憶體元件，包括：

一柱形結構，包括一第一電極層、一位於該第一電極層上之介電層，及一位於該介電層上之第二電極層；

一相變化層，包覆該柱形結構之四周圍；

一下電極，電性連接該柱形結構之第一電極層；及

一上電極，電性連接該柱形結構之第二電極層。

17.如申請專利範圍第 16 項所述之記憶體元件，其中該柱形結構具有環繞之周圍。

18.如申請專利範圍第 17 項所述之記憶體元件，其中該相變化層直接接觸該柱形結構之環繞周圍。

19.如申請專利範圍第 16 項所述之記憶體元件，其中該相變化層直接接觸該柱形結構之第一電極層之四周圍。

20.如申請專利範圍第 16 項所述之記憶體元件，其中該柱形結構為圓柱形。

21.如申請專利範圍第 20 項所述之記憶體元件，其中該第一電極層和該相變化層之接觸面為一環狀(ring)。

22.如申請專利範圍第 16 項所述之記憶體元件，其中該相變化層之厚度大體上大於 500 埃。

23.如申請專利範圍第 16 項所述之記憶體元件，其中該第一電極層之厚度較該第二電極層之厚度薄。

24.如申請專利範圍第 16 項所述之記憶體元件，其中該第一電極層之厚度大體上為 5 埃~500 埃。

25.如申請專利範圍第 24 項所述之記憶體元件，其中該第二電極層之厚度大體上為 100 埃~3000 埃。

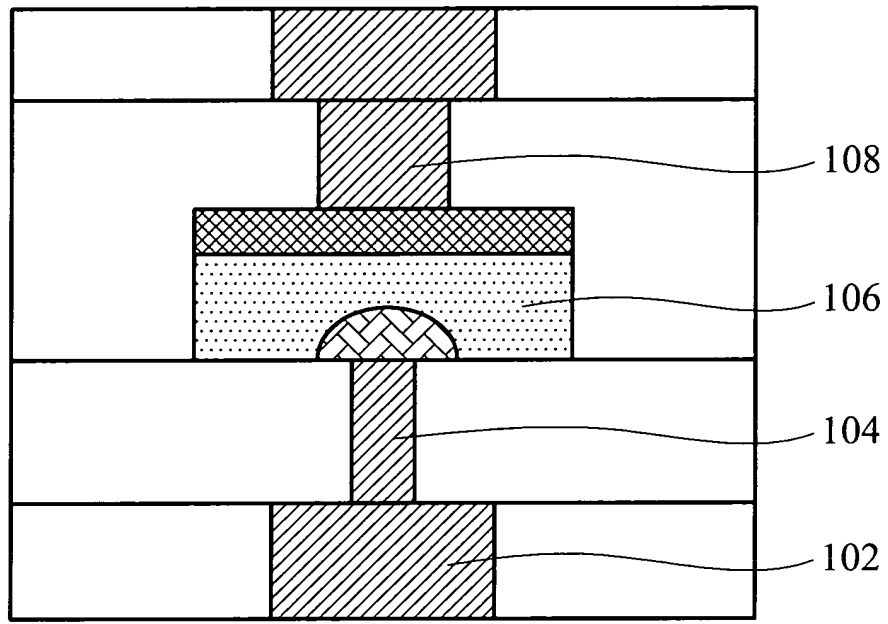
26.如申請專利範圍第 16 項所述之記憶體元件，其中該第一電極層為 TiN、TiW 或 TiAlN 所組成。

27.如申請專利範圍第 16 項所述之記憶體元件，其中該第二電極層為 TiN、TiW、TiAl、TaN 或 TiAlN 所組成。

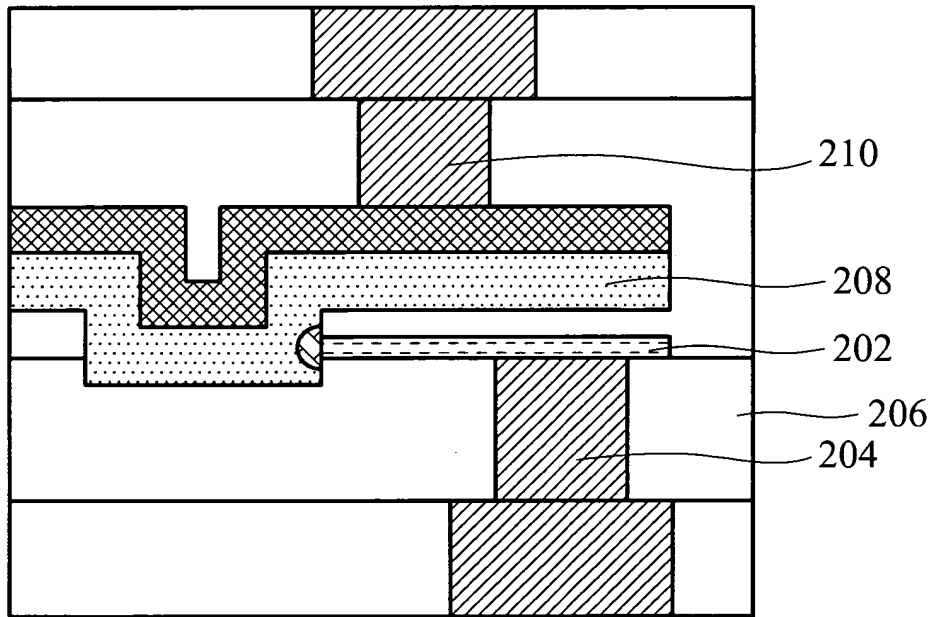
28.如申請專利範圍第 16 項所述之記憶體元件，其中該相變化層包括 Ag、In、Te、Sb 或其組合，和 Ge、Te、Sb 或其組合。

29.如申請專利範圍第 16 項所述之記憶體元件，其中該介電層為氧化矽、氮化矽或是氮氧化矽所組成。

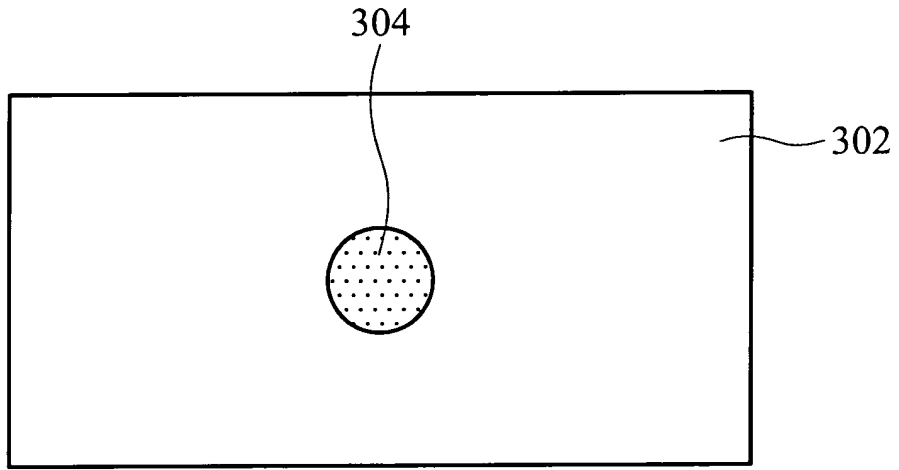
30.如申請專利範圍第 16 項所述之記憶體元件，其中該下電極和該上電極為 Al、Cu 或 W 所組成。



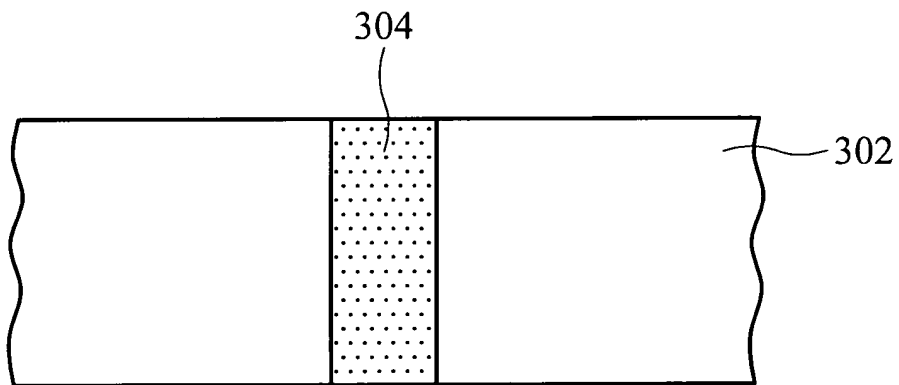
第 1 圖



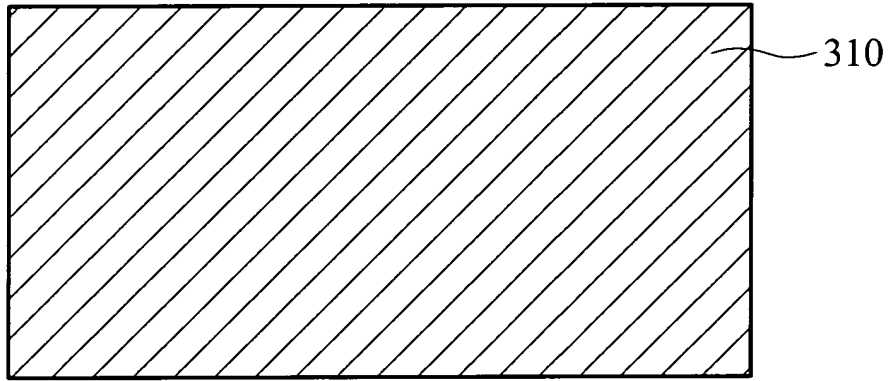
第 2 圖



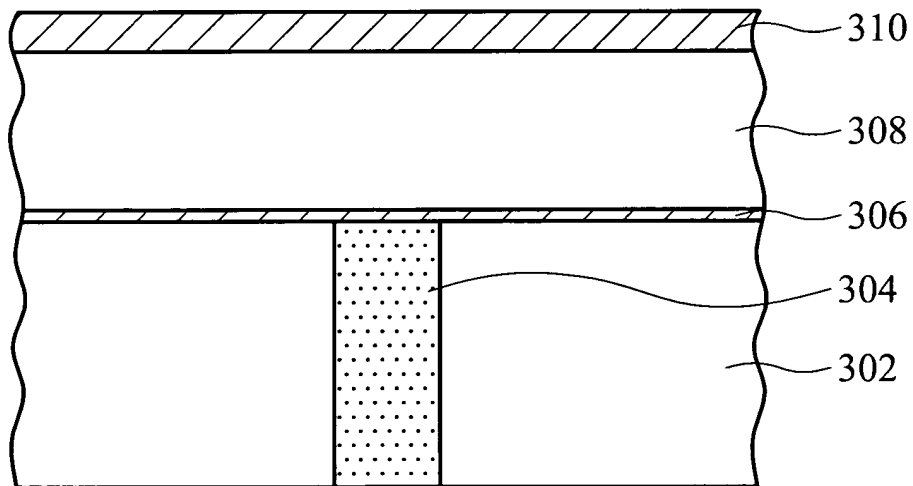
第 3A 圖



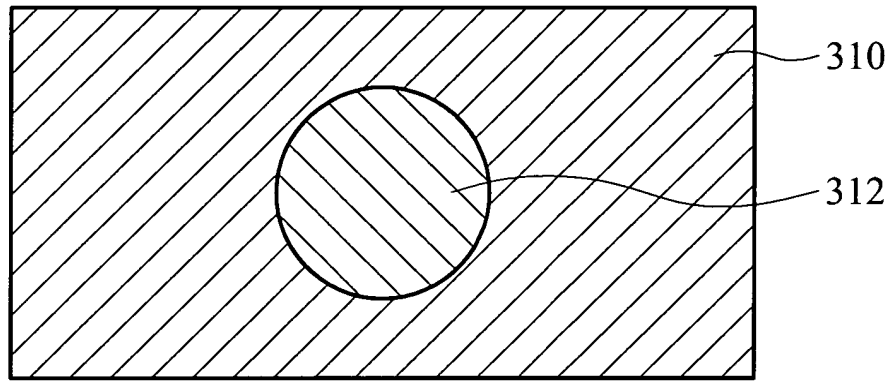
第 3B 圖



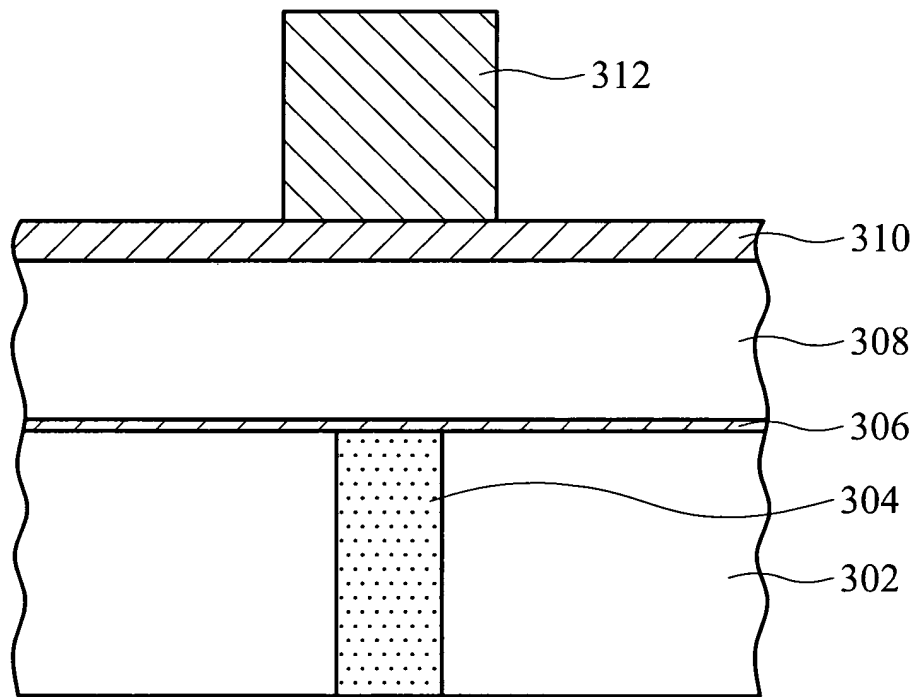
第 4A 圖



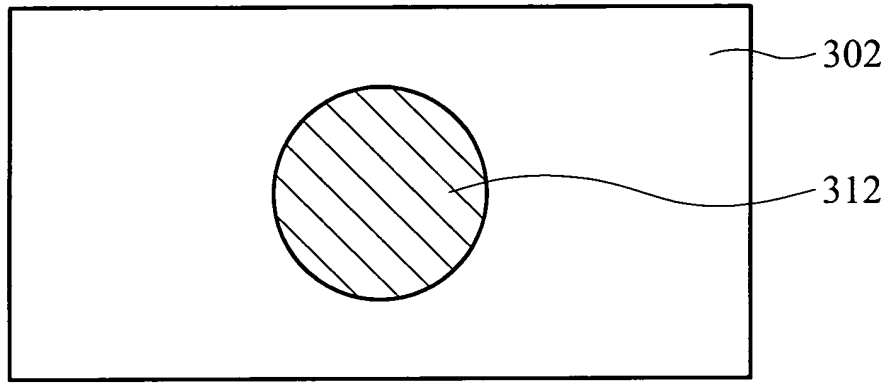
第 4B 圖



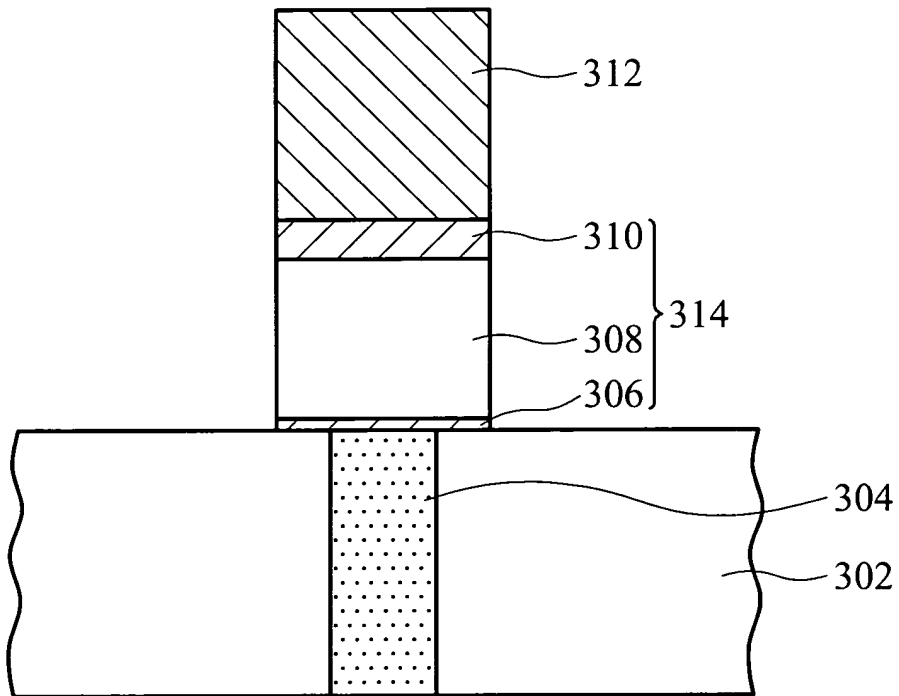
第 5A 圖



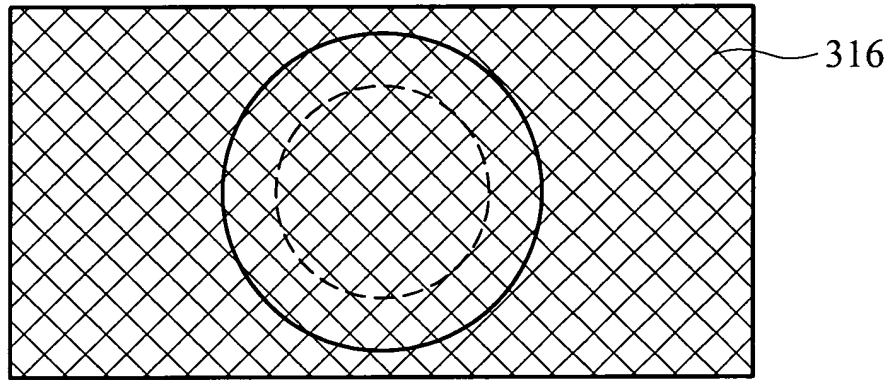
第 5B 圖



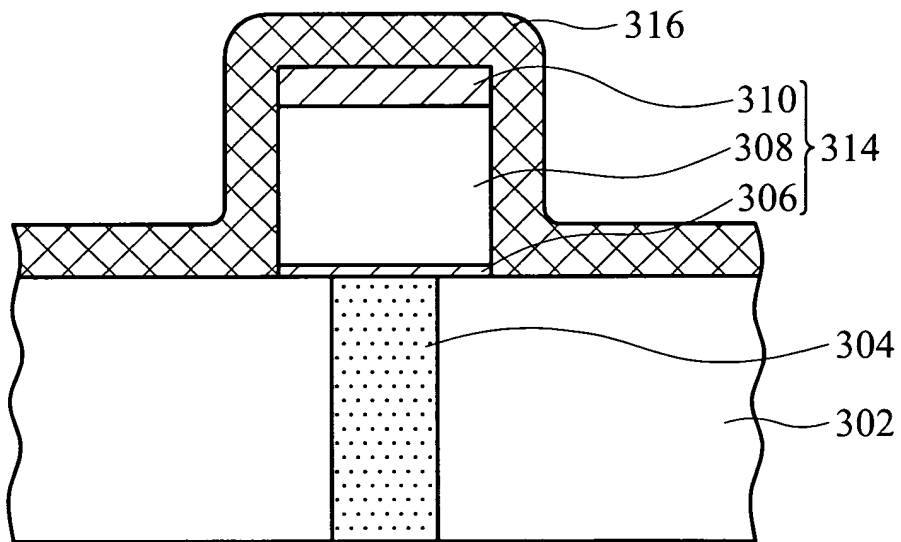
第 6A 圖



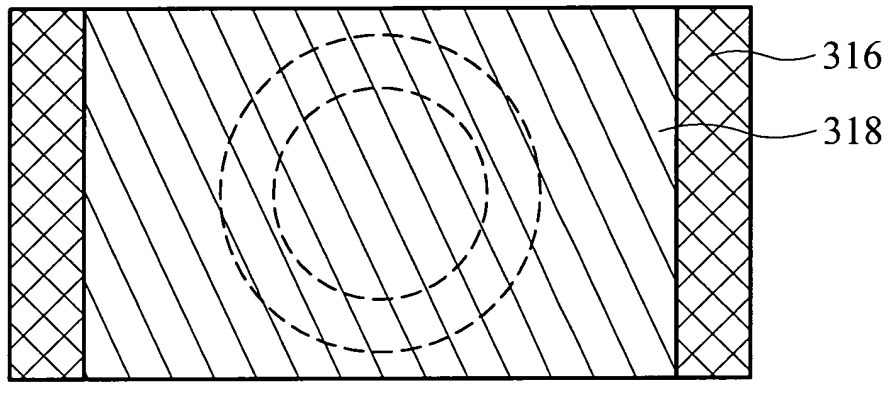
第 6B 圖



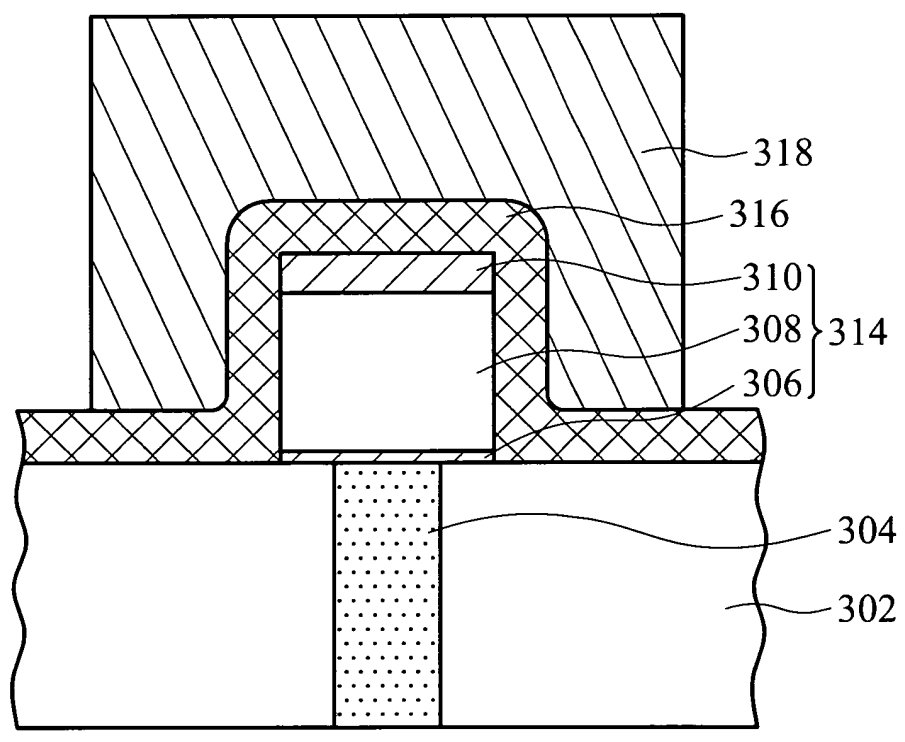
第 7A 圖



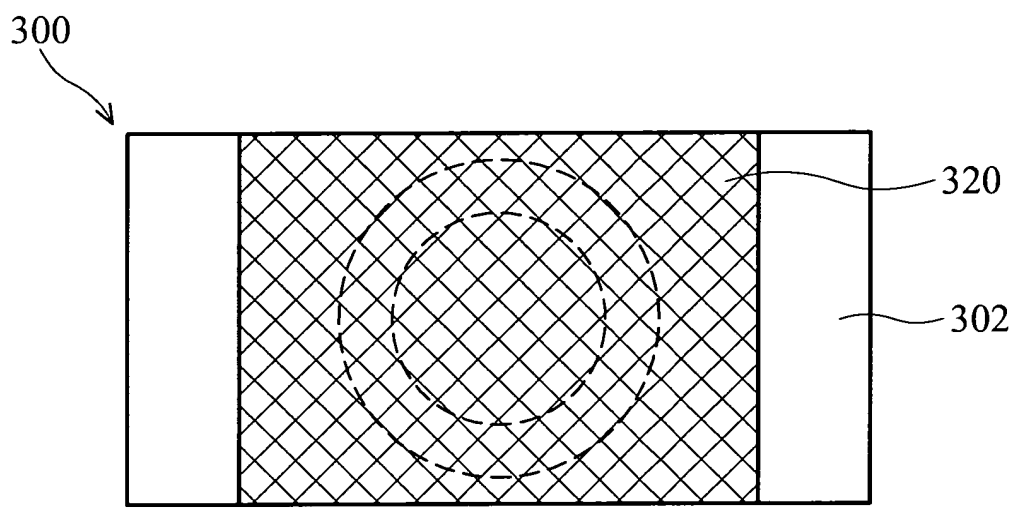
第 7B 圖



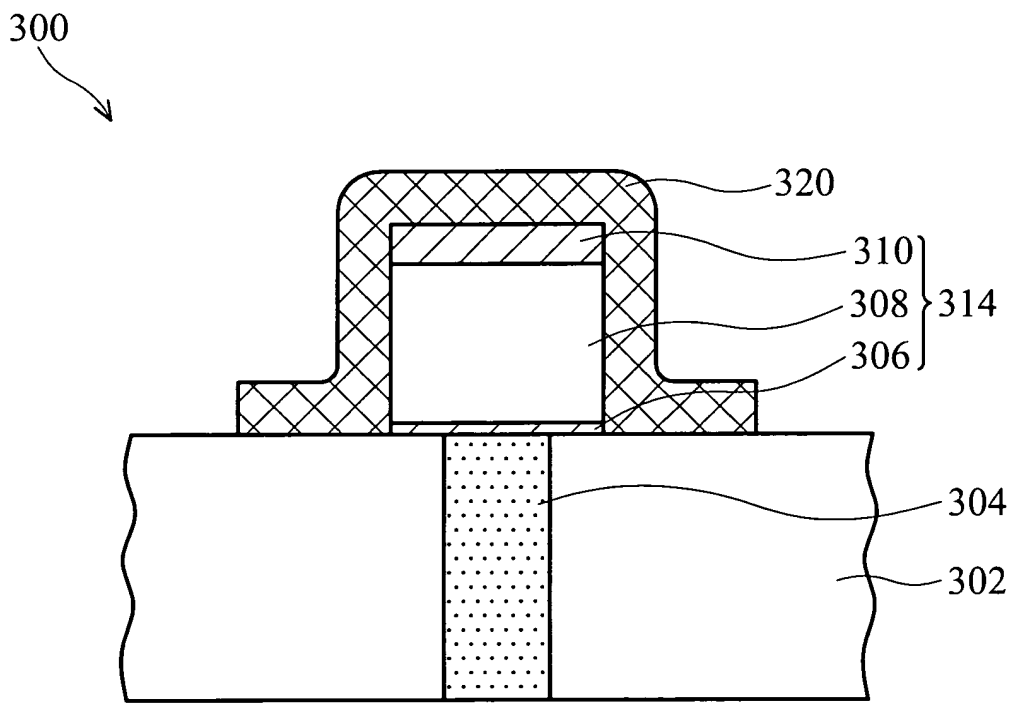
第 8A 圖



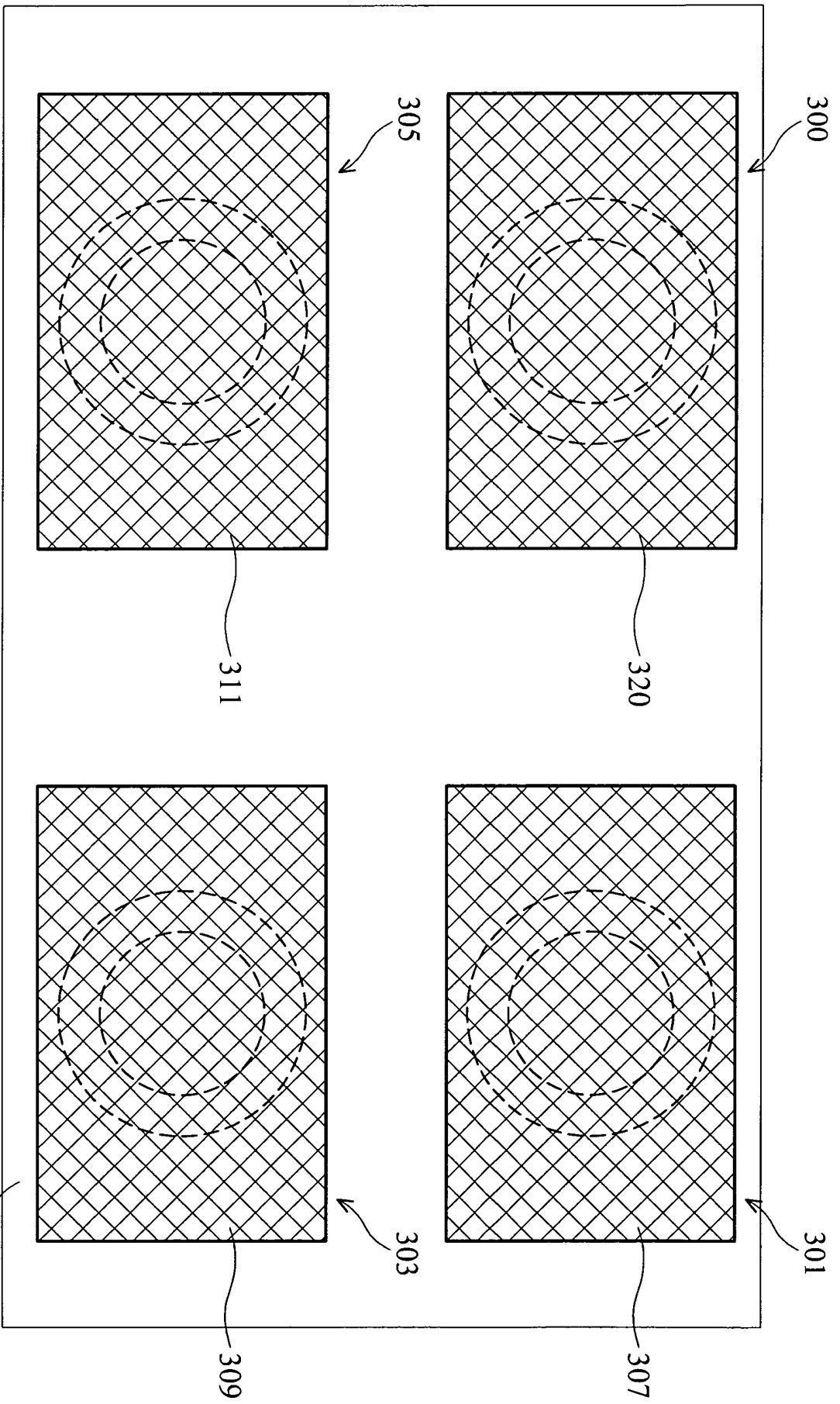
第 8B 圖



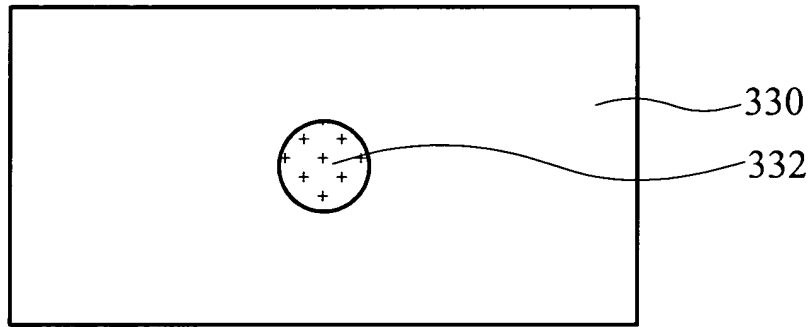
第 9A 圖



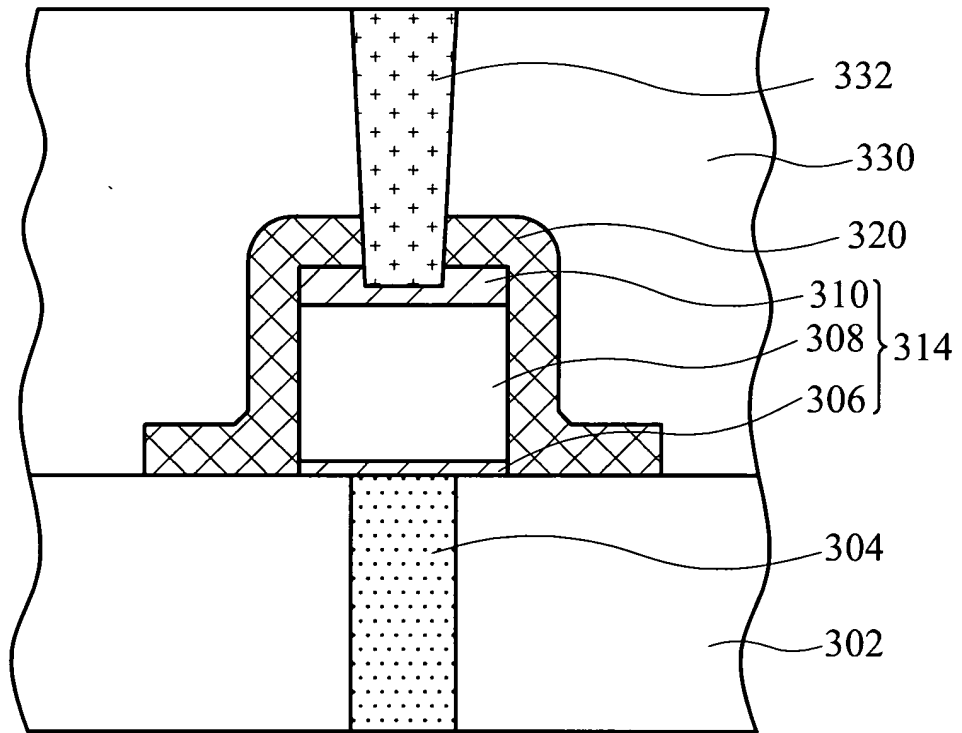
第 9B 圖



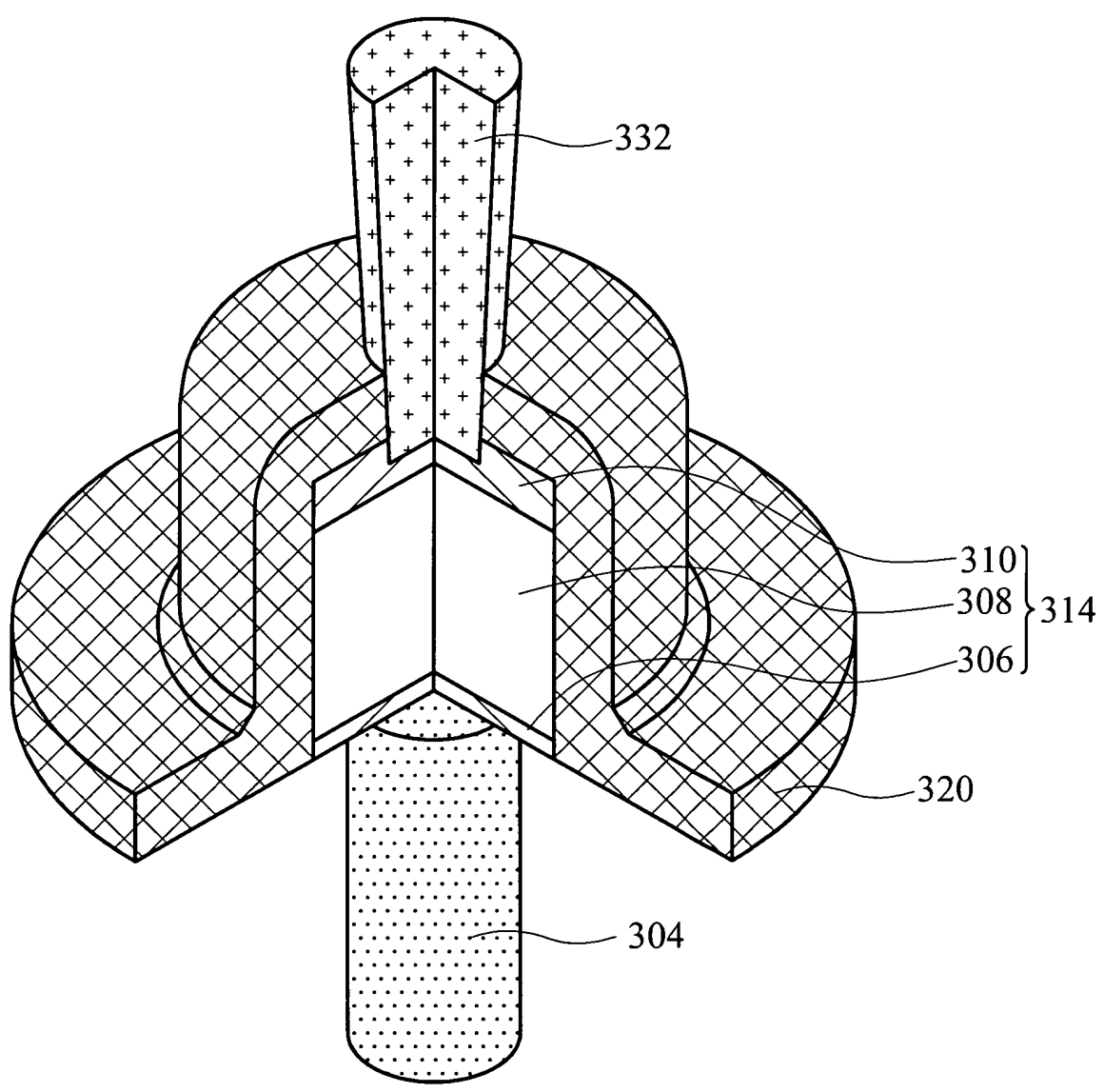
第 9C 圖



第10A圖



第10B圖



第 11 圖

七、指定代表圖：

(一)本案指定代表圖為：第(11)圖。

(二)本代表圖之元件符號簡單說明：

- 304~下電極；
- 306~第一電極層；
- 308~介電層；
- 310~第二電極層；
- 314~柱形結構；
- 320~相變化層；
- 332~上電極。

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無。

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：申請日期：96106107 ※IPC 分類：H01L 27/10(2006.01)
96.2.16

一、發明名稱：(中文/英文)

記憶體元件及其製造方法 /
Memory device and fabrications thereof

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

財團法人工業技術研究院/ INDUSTRIAL TECHNOLOGY
RESEARCH INSTITUTE

代表人：(中文/英文)

張進福 / Jin-Fu Chang

住居所或營業所地址：(中文/英文)

新竹縣竹東鎮中興路4段195號/ No. 195, Sec. 4, Chung Hsing Rd.,
Chutung, Hsinchu Taiwan, R. O. C.

國 籍：(中文/英文)

中華民國 / TW

三、發明人：(共 1 人)

姓 名：(中文/英文)

俞篤豪 / Tu-Hao YU

99年3月2日修(更)正替換頁

國 籍：(中文/英文)

中華民國 / TW