

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-80379

(P2012-80379A)

(43) 公開日 平成24年4月19日(2012.4.19)

(51) Int.Cl.	F I	テーマコード (参考)
HO4L 29/06 (2006.01)	HO4L 13/00 305A	5K034
B6OR 16/023 (2006.01)	B6OR 16/02 665Z	
HO4L 29/08 (2006.01)	HO4L 13/00 305D	
HO4L 13/08 (2006.01)	HO4L 13/00 307Z	
	HO4L 13/08	

審査請求 未請求 請求項の数 27 O L (全 33 頁)

(21) 出願番号 特願2010-224534 (P2010-224534)  
 (22) 出願日 平成22年10月4日 (2010.10.4)

(71) 出願人 302062931  
 ルネサスエレクトロニクス株式会社  
 神奈川県川崎市中原区下沼部1753番地  
 (74) 代理人 100089071  
 弁理士 玉村 静世  
 (72) 発明者 山中 聡  
 東京都千代田区大手町二丁目6番2号 株式会社ルネサスソリューションズ内  
 (72) 発明者 川村 嘉郁  
 神奈川県川崎市中原区下沼部1753番地  
 ルネサスエレクトロニクス株式会社内  
 Fターム(参考) 5K034 EE11 HH06 HH08 HH12 MM11  
 MM18 MM21

(54) 【発明の名称】 半導体データ処理装置及びデータ処理システム

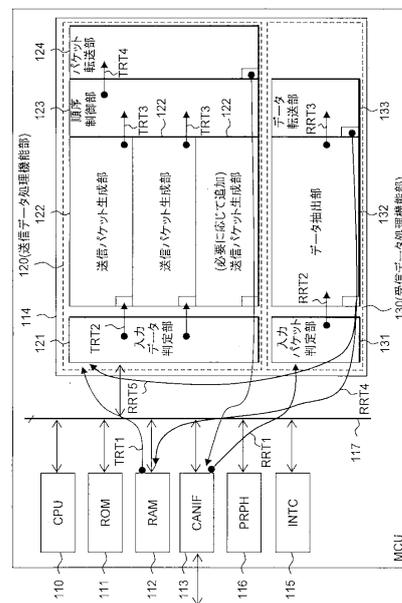
(57) 【要約】

【課題】 限られたハードウェア資源を用いて、その拡張性を阻まず、しかも処理性能の低下を来たすことがないように通信制御機能を実現する。

【解決手段】 ネットワークバスに接続された電子制御ユニットにおいて、中央処理装置(110)が書き込んだ機能定義データに応じたデータ処理機能が設定される機能再構成モジュール(114)は、送信データ処理機能部として、中央処理装置のデータ処理によって逐次生成されて供給された送信データのデータIDを判定する入力データ判定部(121)と、前記入力データ判定部によるデータIDの判定結果に対応する送信データを受け取って送信対象毎の packets を構成する複数の送信 packet 生成部(122)と、送信 packet 生成部で生成された packet の送信順序を制御して出力する順序制御部(123)と、順序制御部から出力された packet を外部インタフェース回路に与える packet 転送部(124)と、を有する。

【選択図】 図1

図1



**【特許請求の範囲】****【請求項 1】**

外部インタフェース回路と、書き込まれた機能定義データに従った論理機能が設定される機能再構成モジュールと、前記機能再構成モジュールに前記機能定義データを書き込んで、前記外部インタフェース回路がインタフェースするデータのデータ処理機能を当該機能再構成モジュールに設定すると共に設定されたデータ処理機能を利用する中央処理装置と、を有する半導体データ処理装置であって、

前記データ処理機能が設定された前記機能再構成モジュールは、前記中央処理装置のデータ処理によって逐次生成されて供給された送信データのデータIDを判定する入力データ判定部と、前記入力データ判定部による前記データIDの判定結果に対応する送信データを受け取って送信対象毎の packets を構成する複数の送信 packet 生成部と、前記送信 packet 生成部で生成された packet の送信順序を制御して出力する順序制御部と、順序制御部から出力された packet を前記外部インタフェース回路に与える packet 転送部と、を送信データ処理機能部として有する半導体データ処理装置。

10

**【請求項 2】**

前記機能再構成モジュールは、入力データ判定部による判定結果に対応する送信 packet 生成部が存在しないとき前記中央処理装置に必要な送信 packet 生成部の機能設定を要求し、当該機能の設定を待って当該送信データに対する処理を再開する、請求項 1 記載の半導体データ処理装置。

**【請求項 3】**

前記機能再構成モジュールは、前記必要な送信 packet 生成部の機能設定を要求するとき、併せて、当該要求によって設定される送信 packet 生成部で生成される packet の転送機能を前記 packet 転送部に設定する要求を行なう、請求項 2 記載の半導体データ処理装置。

20

**【請求項 4】**

前記入力データ判定部は、前記データIDを解読するデコーダと、前記デコーダによる解読結果に基づいて当該データIDに対応する送信 packet 生成部へ送信データ及びデータIDを出力するデータセレクタと、を有する請求項 1 記載の半導体データ処理装置。

**【請求項 5】**

前記送信 packet 生成部は、データバッファメモリと、前記入力データ判定部から供給された送信データを所定の packet フォーマットにしたがってデータバッファメモリに格納して packet を生成するパック部と、前記データバッファメモリが保持する packet を所定のイベントの発生を待って前記順序制御部に送る packet セレクタと、を有する請求項 4 記載の半導体データ処理装置。

30

**【請求項 6】**

前記順序制御部は、前記送信 packet 生成部から供給された packet を送信 packet 生成部と対応付けて保持する packet バッファメモリと、前記 packet バッファメモリに保持された packet の優先度及び前記 packet バッファメモリへの packet 保持の早遅に基づいて決定した優先順位に従って前記 packet バッファメモリの packet を選択する優先制御セレクタと、を有する請求項 5 記載の半導体データ処理装置。

40

**【請求項 7】**

前記 packet 転送部は、前記外部インタフェース回路が送信可能状態にあるとき、前記優先制御セレクタで選択された packet を前記外部インタフェース回路に与える転送ゲートを有する請求項 6 記載の半導体データ処理装置。

**【請求項 8】**

前記中央処理装置は、発生したイベントの種別に応じた割込み要求に応答してデータ処理を開始して送信データ及びデータIDを生成し、生成した送信データ及びデータIDを前記機能再構成モジュールに供給する、請求項 1 記載の半導体データ処理装置。

**【請求項 9】**

前記送信 packet 生成部は、生成した packet を所定のイベント信号の発生を待って前

50

記順序制御部に送る、請求項 8 記載の半導体データ処理装置。

【請求項 10】

前記送信パケット生成部は、前記所定のイベント信号を発生させるタイマカウンタ部を有する、請求項 9 記載の半導体データ処理装置。

【請求項 11】

前記送信パケット生成部は、前記入力データ判別部から供給された送信データが所定のパケットフォーマットに従って格納されるデータバッファメモリを有し、前記機能再構成モジュールの外部から供給されるデータと前記データバッファメモリに既に格納されている対応するデータとを比較し、所定の条件が成立することに依じて前記所定のイベント信号を発生させるイベント判別部を有する、請求項 9 記載の半導体データ処理装置。

10

【請求項 12】

前記機能再構成モジュールは、記憶回路及び制御回路を有する複数の機能再構成セルが配線を介して連鎖可能に配置された機能再構成アレイと、外部からのアクセス要求に応答して前記機能再構成セルを制御するインタフェース制御回路とを有し、

前記機能再構成セルは、記憶回路から読み出された信号又は外部から供給される信号を前記制御回路が入力し、それにしたがって制御回路が記憶回路をアクセスし、それによって得られた信号に基づいて記憶回路に対する次のアクセスアドレスを決定する動作を繰り返すことによって、論理動作を行い、

前記記憶回路は前記論理動作を定義するための機能定義データ及び論理動作の操作対象にされるデータを格納する、請求項 1 記載の半導体データ処理装置。

20

【請求項 13】

外部インタフェース回路と、書き込まれた機能定義データに従った論理機能が設定される機能再構成モジュールと、前記機能再構成モジュールに前記機能定義データを書き込んで、前記外部インタフェース回路がインタフェースするデータのデータ処理機能を当該機能再構成モジュールに設定すると共に設定されたデータ処理機能を利用する中央処理装置と、を有する半導体データ処理装置であって、

前記データ処理機能が設定された前記機能再構成モジュールは、前記外部インタフェース回路から供給された受信パケットのパケット ID を判定する入力パケット判定部と、前記入力パケット判定部による前記パケット ID の判定結果に対応するパケットの構成に基づいて必要な受信データを抽出すると共に対応するデータ ID を付加して保持するデータ抽出部と、前記データ抽出部に保持された受信データ及びデータ ID を転送先の状態に応じて転送先に供給するデータ転送部と、を受信データ処理機能部として有する半導体データ処理装置。

30

【請求項 14】

前記機能再構成モジュールは、入力パケット判定部により判定されたパケット ID に対応するデータ抽出部の機能が設定されていないとき前記中央処理装置に必要なデータ抽出部の機能設定を要求し、当該機能の設定を待つて当該パケットに対する処理を再開する、請求項 13 記載の半導体データ処理装置。

【請求項 15】

前記機能再構成モジュールは、受信データ及びデータ ID に対応する転送先へのデータ転送部の機能が設定されていないとき前記中央処理装置にデータ転送部の必要な機能設定を要求し、当該機能の設定を待つて当該受信データ及びデータ ID を転送先へ出力する、請求項 14 記載の半導体データ処理装置。

40

【請求項 16】

前記データ抽出部は、データバッファメモリと、前記入力データ判定部による前記パケット ID の判定結果に対応するパケットの構成に基づいてパケットから受信データを分離すると共に分離された受信データに対応するデータ ID を付加して前記データバッファメモリに格納するアンパック部と、を有する請求項 15 記載の半導体データ処理装置。

【請求項 17】

前記機能再構成モジュールは、記憶回路及び制御回路を有する複数の機能再構成セルが

50

配線を介して連鎖可能に配置された機能再構成アレイと、外部からのアクセス要求に応答して前記機能再構成セルを制御するインタフェース制御回路とを有し、

前記機能再構成セルは、記憶回路から読み出された信号又は外部から供給される信号を前記制御回路が入力し、それにしたがって制御回路が記憶回路をアクセスし、それによって得られた信号に基づいて記憶回路に対する次のアクセスアドレスを決定する動作を繰り返すことによって、論理動作を行い、

前記記憶回路は前記論理動作を定義するための機能定義データ及び論理動作の操作対象にされるデータを格納する、請求項 13 記載の半導体データ処理装置。

【請求項 18】

ネットワークバスに複数個の電子制御ユニットが接続されたデータ処理システムであって、

前記電子制御ユニットは、外部インタフェース回路と、書き込まれた機能定義データに従った論理機能が設定される機能再構成モジュールと、前記機能再構成モジュールに前記機能定義データを書き込んで、前記外部インタフェース回路が送受信するデータの送信データ処理機能及び受信データ処理機能を設定すると共に設定された送信データ処理機能及び受信データ処理機能を利用する中央処理装置と、を有し、

前記送信データ処理機能及び受信データ処理機能が設定された機能再構成モジュールは送信データ処理機能部と受信データ処理機能部とを有し、

前記送信データ処理機能部は、前記中央処理装置のデータ処理によって逐次生成されて供給された送信データのデータ ID を判定する入力データ判定部と、前記入力データ判定部による前記データ ID の判定結果に対応する送信データを受け取って送信対象毎のペケットを構成する複数の送信ペケット生成部と、前記送信ペケット生成部で生成されたペケットの送信順序を制御して出力する順序制御部と、順序制御部から出力されたペケットを前記外部インタフェース回路に与えるペケット転送部とであり、

前記受信データ処理機能部は、前記外部インタフェース回路から供給された受信ペケットのペケット ID を判定する入力ペケット判定部と、前記入力ペケット判定部による前記ペケット ID の判定結果に対応するペケットの構成に基づいて必要な受信データを抽出すると共に対応するデータ ID を付加して保持するデータ抽出部と、前記データ抽出部に保持された受信データ及びデータ ID を転送先の状態に応じて転送先に供給するデータ転送部とであるデータ処理システム。

【請求項 19】

前記機能再構成モジュールは、入力データ判定部による判定結果に対応する送信ペケット生成部が存在しないとき前記中央処理装置に必要な送信ペケット生成部の機能設定を要求し、当該機能の設定を待って当該送信データに対する処理を再開する、請求項 18 記載のデータ処理システム。

【請求項 20】

前記機能再構成モジュールは、前記必要な送信ペケット生成部の機能設定を要求するとき、併せて、当該要求によって設定される送信ペケット生成部で生成されるペケットの転送機能を前記出ペケット転送部に設定する要求を行なう、請求項 19 記載のデータ処理システム。

【請求項 21】

前記機能再構成モジュールは、入力ペケット判定部により判定されたペケット ID に対応するデータ抽出部の機能が設定されていないとき前記中央処理装置に必要なデータ抽出の機能設定を要求し、当該機能の設定を待って当該ペケットに対する処理を再開する、請求項 20 記載のデータ処理システム。

【請求項 22】

前記機能再構成モジュールは、受信データ及びデータ ID に対応する転送先へのデータ転送部の機能が設定されていないとき前記中央処理装置にデータ転送部の必要な機能設定を要求し、当該機能の設定を待って当該受信データ及びデータ ID を転送先へ出力する、請求項 21 記載のデータ処理システム。

10

20

30

40

50

**【請求項 2 3】**

前記中央処理装置は、発生したイベントの種別に応じた割り込み要求に応答してデータ処理を開始して送信データ及びデータIDを生成し、生成した送信データ及びデータIDを前記機能再構成モジュールに供給する、請求項 1 8 記載のデータ処理システム。

**【請求項 2 4】**

前記送信パケット生成部は、生成したパケットを所定のイベント信号の発生を待って前記順序制御部に送る、請求項 2 3 記載のデータ処理システム。

**【請求項 2 5】**

前記送信パケット生成部は、前記所定のイベント信号を発生させるタイマカウンタ部を有する、請求項 2 4 記載のデータ処理システム。

10

**【請求項 2 6】**

前記送信パケット生成部は、前記入力データ判別部から供給された送信データが所定のパケットフォーマットに従って格納されるデータバッファメモリと、前記機能再構成モジュールの外部から供給されるデータと前記データバッファメモリに既に格納されている対応するデータとを比較し、所定の条件が成立することに応じて前記所定のイベント信号を発生させるイベント判別部とを有する、請求項 2 4 記載のデータ処理システム。

**【請求項 2 7】**

前記機能再構成モジュールは、記憶回路及び制御回路を有する複数の機能再構成セルが配線を介して連鎖可能に配置された機能再構成アレイと、外部からのアクセス要求に応答して前記機能再構成セルを制御するインタフェース制御回路とを有し、

20

前記機能再構成セルは、記憶回路から読み出された信号又は外部から供給される信号を前記制御回路が入力し、それにしたがって制御回路が記憶回路をアクセスし、それによって得られた信号に基づいて記憶回路に対する次のアクセスアドレスを決定する動作を繰り返すことによって、論理動作を行い、

前記記憶回路は前記論理動作を定義するための機能定義データ及び論理動作の操作対象にされるデータを格納する、請求項 1 8 記載のデータ処理システム。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、通信制御機能が設定される機能再構成モジュールを搭載した半導体データ処理装置及びデータ処理システムに関し、例えばネットワークバスに多数の電子制御ユニットが接続された車載ネットワークシステムに適用して有効な技術に関する。

30

**【背景技術】****【0002】**

車載ネットワークシステムのCAN (Controller Area Network) バスにはエンジン系、制動系、コンソール系、ボディー系などを制御する多数のECU (Electronic Control Unit) が採用されている。それぞれのECUは例えばマイクロコンピュータによって構成される。車載ECUに代表されるようにECU相互に関連する処理を進める場合にはECUが送信するCANフレーム数が増加し、自ECU内で送信フレームに優先度を設定して、優先度毎に様々なタイミングでCANフレームを送信したいという要望がある。また、ECUが他のECUのゲートウェイとして機能されるゲートウェイ機能を採用する場合には、送信側のバス負荷を調整するためにCANフレームのID毎の送信タイミングをずらすなど、CANフレームのID毎の管理が必要になっている。そのため、ECUにおける情報フレームの通信制御処理は複雑化の一途をたどっている。そのため、ECUによる通信制御処理を共通化することを目的として、AUTOSAR (Automotive Open System Architecture) 規格が存在する。

40

**【0003】**

ECUにおける情報フレームの複雑化する通信制御処理に対しては逐一ハードウェア化するか、ソフトウェアによって拡張をしていくという対応が考えられるが、ハードウェア化では処理要因や処理データ数が増加したときの対応性が低く、それらの条件の組み合わせ

50

せごとにハードウェアの追加が必要になる。一方、ソフトウェアによる拡張を行なう場合には対応性という点でハードウェア化よりも融通性が高くなるが、処理要因や処理データ数の増加によってプログラム処理が複雑化してその負担が大きくなり過ぎるという問題を生ずる。このとき、ハードウェア化とソフトウェアによる拡張を組み合わせることも可能であるが、ハードウェア処理とソフトウェア処理の切り分けによっては拡張性が阻まれたり、処理性能が低下したりすることも想定され、具体的化することは容易ではない。

【0004】

従来より、製造後に購入者や設計者が構成を設定できる集積回路であるFPGA (Field-Programmable Gate Array) が提供されている。FPGAは、プログラム可能な複数の論理ブロックを備え、それらの相互接続を再構成可能な多数の配線によってアレイ状に接続されている。このFPGAを用いることによって可変可能なハードウェア構成を実現可能である。また、FPGAに代わるものとして特許文献1に記載の再構成演算回路がある。再構成演算回路は内部に複数のレジスタによって構成されたスキャンチェーンを有し、スキャンチェーンに伝達される情報によって帰還的に演算処理が可能にされる。特許文献2にも帰還的に演算処理が可能にされる可変論理機能を実現する半導体装置について記載される。帰還的な演算処理とは、設定された可変論理機能が自らに設定された機能と呼び出して次の処理を決定するという処理を繰り返して一塊の処理を実現するという自律的なデータ処理を意味する。

10

【先行技術文献】

【特許文献】

20

【0005】

【特許文献1】特開2008-287708号公報

【特許文献2】再公表WO2008/143285号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、車載ECUに代表されるように多岐に渡る処理要因や多数の処理データに対応する通信制御を行わなければならないときに、その拡張性を阻まず、しかも処理性能の低下を来たすことがないようにするには、帰還的な演算処理が可能にされる可変論理機能を単に利用するという着想だけでは足りず、具体的な通信制御形態のためのデータ処理に対して如何に論理機能を構築するか、更には可変論理機能の限られたハードウェア資源を用いて論理機能の再構成を如何に柔軟に実現できるように論理機能の設定を行なうかについて検討しなければならないことが本発明者によって見出された。

30

【0007】

本発明の目的は、限られたハードウェア資源を用いて、その拡張性を阻まず、しかも処理性能の低下を来たすことがないように通信制御機能を実現することができる半導体データ処理装置を提供することにある。

【0008】

本発明の別の目的は、ネットワークバスに複数の電子制御ユニットが接続されたデータ処理システムにおける通信制御機能の拡張性と性能向上を両立することにある。

40

【0009】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【課題を解決するための手段】

【0010】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0011】

すなわち、ネットワークバスに接続された電子制御ユニットにおいて、中央処理装置が書き込んだ機能定義データに応じたデータ処理機能が設定される機能再構成モジュールは

50

、送信データ処理機能部として、前記中央処理装置のデータ処理によって逐次生成されて供給された送信データのデータIDを判定する入力データ判定部と、前記入力データ判定部による前記データIDの判定結果に対応する送信データを受け取って送信対象毎のペケットを構成する複数の送信ペケット生成部と、前記送信ペケット生成部で生成されたペケットの送信順序を制御して出力する順序制御部と、順序制御部から出力されたペケットを外部インタフェース回路に与えるペケット転送部と、を有する。

【0012】

上記より、中央処理装置が生成した送信データに対してデータIDを用いたペケットの生成を管理でき、生成したペケットに対する送信の優先制御が可能であり、優先制御されたペケットを外部インタフェース回路に与えて、転送データに対するデータ制御を行うことができる。可変論理機能として設定される論理機能をそのように大別するから、データIDに対応するペケット生成論理機能が足りなければ論理機能の入れ換えを行なって対処することにより機能再構成のための限られたハードウェア資源の有効利用が容易になる。

10

【発明の効果】

【0013】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

【0014】

すなわち、半導体データ処理装置の限られたハードウェア資源を用いて、その拡張性を阻まず、しかも処理性能の低下を来たすことがないように通信制御機能を実現することができる。

20

【0015】

また、ネットワークバスに複数の電子制御ユニットが接続されたデータ処理システムにおける通信制御機能の拡張及び性能向上に資することができる。

【図面の簡単な説明】

【0016】

【図1】図1はECUに搭載されたマイクロコンピュータMCUの構成を例示するブロック図である。

【図2】図2は本発明に係るデータ処理システムの一例である車載ネットワークシステムの概略的な構成を示すブロック図である。

30

【図3】図3は機能再構成モジュールの概略的な構成を例示するブロック図である。

【図4】図4は入力データ判定部の詳細を例示するブロック図である。

【図5】図5は送信ペケット生成部の詳細を例示するブロック図である。

【図6】図6はPDU(Protocol Data Unit)として示されるペケットを例示する説明図である。

【図7】図7は順序制御部の詳細を例示するブロック図である。

【図8】図8は選択制御テーブルの一例を示す説明図である。

【図9】図9は図8の選択制御テーブルを用いた検索によるテーブルデータの選択順を例示する説明図である。

【図10】図10はペケット転送部の詳細を例示するブロック図である。

40

【図11】図11は機能再構成モジュールに設定された送信データ処理機能をダイナミックに追加または切り換える場合の着目した説明図である。

【図12】図12は入力ペケット判定部の詳細を例示するブロック図である。

【図13】図13はデータ抽出部の詳細を例示するブロック図である。

【図14】図14はデータ転送部の詳細な一例として転送先をRAMとする場合について示したブロック図である。

【図15】図15はデータ転送部の詳細な一例として転送先を送信データ処理機能部とすることによってゲートウェイ機能を実現する場合について示したブロック図である。

【図16】図16は機能再構成モジュールに設定された受信データ処理機能をダイナミックに追加または切り換える場合について例示するブロック図である。

50

【図 17】図 17 は機能再構成セルの詳細を例示するブロック図である。

【図 18】図 18 は複数の機能再構成セルのアレイ構成の詳細を例示するブロック図である。

【図 19】図 19 は機能再構成モジュールの全体的な構成の詳細を例示するブロック図である。

【図 20】図 20 は機能再構成セルの記憶回路に対するアドレスマッピングの状態を例示する説明図である。

【図 21】図 21 は機能再構成セルにおける論理動作の基本概念を示す説明図である。

【図 22】図 22 は図 21 における論理動作の動作シーケンスの基本形態を例示するフローチャートである。

10

【発明を実施するための形態】

【0017】

#### 1. 実施の形態の概要

先ず、本願において開示される発明の代表的な実施の形態について概要を説明する。代表的な実施の形態についての概要説明で括弧を付して参照する図面中の参照符号はそれが付された構成要素の概念に含まれるものを例示するに過ぎない。

【0018】

〔1〕＜送信用のデータ処理機能が設定される機能再構成モジュール＞

本発明の代表的な実施の形態に係る半導体データ処理装置（MCU）は、外部インタフェース回路（113）と、書き込まれた機能定義データに従った論理機能が設定される機能再構成モジュール（114）と、前記機能再構成モジュールに前記機能定義データを書き込んで、前記外部インタフェース回路がインタフェースするデータのデータ処理機能を当該機能再構成モジュールに設定すると共に設定されたデータ処理機能を利用する中央処理装置（110）と、を有する。前記データ処理機能が設定された前記機能再構成モジュールは、前記中央処理装置のデータ処理によって逐次生成されて供給された送信データのデータIDを判定する入力データ判定部（121）と、前記入力データ判定部による前記データIDの判定結果に対応する送信データを受け取って送信対象毎のパケットを構成する複数の送信パケット生成部（122）と、前記送信パケット生成部で生成されたパケットの送信順序を制御して出力する順序制御部（123）と、順序制御部から出力されたパケットを前記外部インタフェース回路に与えるパケット転送部（124）と、を送信データ処理機能部（120）として有する。

20

30

【0019】

上記より、中央処理装置が生成した送信データに対してデータIDを用いたパケットの生成を管理でき、生成したパケットに対する送信の優先制御が可能であり、優先制御されたパケットを外部インタフェース回路に与えて、転送データに対するデータ制御を行うことができる。可変論理機能として設定される論理機能をそのように大別するから、データIDに対応するパケット生成論理機能が足りなければ論理機能の入れ換えを行なって対処することにより機能再構成のための限られたハードウェア資源の有効利用が容易になる。

【0020】

したがって、半導体データ処理装置の限られたハードウェア資源を用いて、その拡張性を阻まず、しかも処理性能の低下を来たすことがないように通信制御機能を実現することができる。さらに、ネットワークパスに複数の電子制御ユニットが接続されたデータ処理システムにおける通信制御機能の拡張及び性能向上に資することができる。

40

【0021】

〔2〕＜存在しない送信パケット生成部に対する機能設定の要求＞

項1の半導体データ処理装置において、前記機能再構成モジュールは、入力データ判定部による判定結果に対応する送信パケット生成部が存在しないとき前記中央処理装置に必要な送信パケット生成部の機能設定を要求し、当該機能の設定を待つて当該送信データに対する処理を再開する。

【0022】

50

データIDに対応する送信パケット生成部がなければその機能を追加して対応することができる。必要に応じて論理機能の設定を追加することができるから、機能再構成されるハードウェア資源が限られていても設定する論理機能を入れ替えて対処することができる。

【0023】

〔3〕<存在しないパケット転送機能に対する機能設定の要求>

項2の半導体データ処理装置において、前記機能再構成モジュールは、前記必要な送信パケット生成部の機能設定を要求するとき、併せて、当該要求によって設定される送信パケット生成部で生成されるパケットの転送機能を前記パケット転送部に設定する要求を行なう。

10

【0024】

データIDに対応するパケットの転送制御機能もなければその機能を追加して対応することができる。必要に応じて論理機能の設定を追加することができるから、機能再構成されるハードウェア資源が限られていても設定する論理機能を入れ替えて対処することができる。

【0025】

〔4〕<入力データ判定部詳細>

項1の半導体データ処理装置において、前記入力データ判定部は、前記データIDを解読するデコーダ(140)と、前記デコーダによる解読結果に基づいて当該データIDに対応する送信パケット生成部へ送信データ及びデータIDを出力するデータセクタ(141)と、を有する。

20

【0026】

デコード論理とセレクト論理を分けることによって送信判定論理の変更に容易に対応可能になる。

【0027】

〔5〕<送信パケット生成部詳細>

項4の半導体データ処理装置において、前記送信パケット生成部は、データバッファメモリ(150)と、前記入力データ判定部から供給された送信データを所定のパケットフォーマットにしたがってデータバッファメモリに格納してパケットを生成するバック部(151)と、前記データバッファメモリが保持するパケットを所定のイベントの発生を待って前記順序制御部に送るパケットセクタ(152)と、を有する。

30

【0028】

バック部におけるパケットフォーマットの定義を変えることによって異なるデータIDの送信パケット生成部の論理機能に容易に対応させることができる。また、パケットの送信要因の追加変更などに対してパケットセクタの機能設定変更によって容易に対応することができる。

【0029】

〔6〕<順序制御部詳細>

項5の半導体データ処理装置において、前記順序制御部は、前記送信パケット生成部から供給されたパケットを送信パケット生成部と対応付けて保持するパケットバッファメモリ(170)と、前記パケットバッファメモリに保持されたパケットの優先度及び前記パケットバッファメモリへのパケット保持の早遅に基づいて決定した優先順位に従って前記パケットバッファメモリのパケットを選択する優先制御セクタ(171)と、を有する。

40

【0030】

パケット送信順位の優先制御を可変可能に行うことができ、パケット送信に対する複雑な処理要求にも容易に対応可能である。

【0031】

〔7〕<パケット転送部詳細>

項6の半導体データ処理装置において、前記パケット転送部は、前記外部インター

50

ス回路が送信可能状態にあるとき、前記優先制御セレクタで選択されたパケットを前記外部インタフェース回路に与える転送ゲート(182)を有する。

【0032】

機能再構成モジュールから外部インタフェース回路への送信パケットの転送を外部インタフェース回路の状態に応じて行うことができる。

【0033】

〔8〕<送信データ及びIDの生成トリガ>

項1の半導体データ処理装置において、前記中央処理装置は、発生したイベントの種別に応じた割込み要求に回答してデータ処理を開始して送信データ及びデータIDを生成し、生成した送信データ及びデータIDを前記機能再構成モジュールに供給する。

10

【0034】

中央処理装置がイベントに回答して実行するプログラムにしたがって所要の送信データとそのデータIDを生成することができる。

【0035】

〔9〕<パケット及びIDの送出トリガ>

項8の半導体データ処理装置において、前記送信パケット生成部は、生成したパケットを所定のイベント信号の発生を待って前記順序制御部に送る。

【0036】

発生するイベントの種別をパケットの送信要因とする事ができる。

【0037】

20

〔10〕<イベントを生成するタイマカウンタ部>

項9の半導体データ処理装置において、前記送信パケット生成部は、前記所定のイベント信号を発生させるタイマカウンタ部(162)を有する。

【0038】

タイマカウンタ部に設定される任意のカウントアップ値に応ずるタイムアウトを送信要因としてパケットを順序制御部に送ることができる。

【0039】

〔11〕<外部イベントを判別するイベント判別部>

項9の半導体データ処理装置において、前記送信パケット生成部は、前記入力データ判別部から供給された送信データが所定のパケットフォーマットに従って格納されるデータバッファメモリ(150)を有し、前記機能再構成モジュールの外部から供給されるデータと前記データバッファメモリに既に格納されている対応するデータとを比較し、所定の条件が成立することに依りて前記所定のイベント信号を発生させるイベント判別部(161)を有する。

30

【0040】

前記所定のイベントの発生に回答してパケットを順序制御部に送ることができる。

【0041】

〔12〕<機能再構成モジュール>

項1の半導体データ処理装置において、前記機能再構成モジュールは、記憶回路(23)及び制御回路(24)を有する複数の機能再構成セル(20)が配線(HL0~HLn、VL0~VLm)を介して連鎖可能に配置された機能再構成アレイ(ARY)と、外部からのアクセス要求に回答して前記機能再構成セルを制御するインタフェース制御回路(21)とを有する。前記機能再構成セルは、記憶回路から読み出された信号又は外部から供給される信号を前記制御回路が入力し、それにしたがって制御回路が記憶回路をアクセスし、それによって得られた信号に基づいて記憶回路に対する次のアクセスアドレスを決定する動作を繰り返すことによって、論理動作を行う。前記記憶回路は前記論理動作を定義するための機能定義データ及び論理動作の操作対象にされるデータを格納する。

40

【0042】

上記より、記憶回路の読み出しを機能再構成セルそれ自体で自律的に制御することができるから、可変論理機能を実現するための記憶回路を論理回路と等価な回路として扱うこ

50

とができる。したがって、実現可能な論理構成や論理規模に融通性を得ることができ、また、小さなチップ占有面積で大きな論理規模にも対応可能な可変論理機能を実現可能になる。さらに、逐次命令をフェッチして実行するプログラム処理装置に比べると、それぞれの機能再構成セルが記憶回路から読み出したデータに基づいて次の動作を決定する帰還的な処理を繰り返すから、論理動作の高速化に資することができる。

#### 【0043】

〔13〕＜受信用のデータ処理機能が設定される機能再構成モジュール＞

本発明の別の実施の形態に係る半導体データ処理装置（MCU）は、外部インタフェース回路（113）と、書き込まれた機能定義データに従った論理機能が設定される機能再構成モジュール（114）と、前記機能再構成モジュールに前記機能定義データを書き込んで、前記外部インタフェース回路がインタフェースするデータのデータ処理機能を当該機能再構成モジュールに設定すると共に設定されたデータ処理機能を利用する中央処理装置（110）と、を有する。前記データ処理機能が設定された前記機能再構成モジュールは、前記外部インタフェース回路から供給された受信パケットのパケットIDを判定する入力パケット判定部（131）と、前記入力パケット判定部による前記パケットIDの判定結果に対応するパケットの構成に基づいて必要な受信データを抽出すると共に対応するデータIDを付加して保持するデータ抽出部（132）と、前記データ抽出部に保持された受信データ及びデータIDを転送先の状態に応じて転送先に供給するデータ転送部（133）と、を受信データ処理機能部（130）として有する。

#### 【0044】

上記より、受信したパケットのパケットIDに対応して受信データをデータIDで管理でき、データIDに対応する転送先の状態に応じて受信データの転送を制御することができる。可変論理機能に設定される論理機能を入力パケット判定部、データ抽出部、及びデータ転送部に大別するから、パケットIDに対応するデータ抽出のための定義情報が足りなければ追加若しくは入れ換えを行なって対処すればよく、また、データIDに対応する転送先の定義情報が足りなければ追加若しくは入れ換えを行なって対処すればよく、機能再構成のための限られたハードウェア資源の有効利用が容易になる。

#### 【0045】

したがって、半導体データ処理装置の限られたハードウェア資源を用いて、その拡張性を阻まず、しかも処理性能の低下を来たすことがないように通信制御機能を実現することができる。さらに、ネットワークバスに複数の電子制御ユニットが接続されたデータ処理システムにおける通信制御機能の拡張及び性能向上に資することができる。

#### 【0046】

〔14〕＜存在しないデータ抽出機能に対する機能設定の要求＞

項13の半導体データ処理装置において、前記機能再構成モジュールは、入力パケット判定部により判定されたパケットIDに対応するデータ抽出部の機能が設定されていないとき前記中央処理装置に必要なデータ抽出部の機能設定を要求し、当該機能の設定を待つて当該パケットに対する処理を再開する。

#### 【0047】

パケットIDに対応するデータ抽出のための機能設定がなければその機能を追加して対応することができる。必要に応じて論理機能の設定を追加することができるから、機能再構成されるハードウェア資源が限られていても設定される論理機能を入れ替えて対処することができる。

#### 【0048】

〔15〕＜存在しないデータ転送機能に対する機能設定の要求＞

項14の半導体データ処理装置において、前記機能再構成モジュールは、受信データ及びデータIDに対応する転送先へのデータ転送部の機能が設定されていないとき前記中央処理装置にデータ転送部の必要な機能設定を要求し、当該機能の設定を待つて当該受信データ及びデータIDを転送先へ出力する。

#### 【0049】

データIDに対応するデータ転送部の機能設定がなければその機能を追加して対応することができる。必要に応じて論理機能の設定を追加することができるから、機能再構成されるハードウェア資源が限られていても設定される論理機能を入れ替えて対処することができる。

【0050】

〔16〕＜データ抽出部詳細＞

項15の半導体データ処理装置において、前記データ抽出部は、データバッファメモリ(200)と、前記入力データ判定部による前記パケットIDの判定結果に対応するパケットの構成に基づいてパケットから受信データを分離すると共に分離された受信データに対応するデータIDを付加して前記データバッファメモリに格納するアンパック部(202)と、を有する。

10

【0051】

アンパック部におけるパケットフォーマットの定義を変えることによって異なるパケットIDのパケットに対するアンパックに容易に対応させることができる。

【0052】

〔17〕＜機能再構成モジュール＞

項13の半導体データ処理装置において、前記機能再構成モジュールは、記憶回路及び制御回路を有する複数の機能再構成セルが配線を介して連鎖可能に配置された機能再構成アレイと、外部からのアクセス要求に回答して前記機能再構成セルを制御するインタフェース制御回路とを有する。前記機能再構成セルは、記憶回路から読み出された信号又は外部から供給される信号を前記制御回路が入力し、それにしたがって制御回路が記憶回路をアクセスし、それによって得られた信号に基づいて記憶回路に対する次のアクセスアドレスを決定する動作を繰り返すことによって、論理動作を行う。前記記憶回路は前記論理動作を定義するための機能定義データ及び論理動作の操作対象にされるデータを格納する。

20

【0053】

項12と同様の作用効果を有する。

【0054】

〔18〕＜ECUシステム＞

本発明の別の実施の形態に係るデータ処理システムはネットワークバス(100)に複数個の電子制御ユニット(101~105)が接続されて構成される。前記電子制御ユニットは、外部インタフェース回路(113)と、書き込まれた機能定義データに従った論理機能が設定される機能再構成モジュール(114)と、前記機能再構成モジュールに前記機能定義データを書き込んで、前記外部インタフェース回路が送受信するデータの送信データ処理機能及び受信データ処理機能を設定すると共に設定された送信データ処理機能及び受信データ処理機能を利用する中央処理装置(110)と、を有する。前記送信データ処理機能及び受信データ処理機能が設定された機能再構成モジュールは送信データ処理機能部(120)と受信データ処理機能部(130)とを有する。前記送信データ処理機能部は、前記中央処理装置のデータ処理によって逐次生成されて供給された送信データのデータIDを判定する入力データ判定部(121)と、前記入力データ判定部による前記データIDの判定結果に対応する送信データを受け取って送信対象毎のパケットを構成する複数の送信パケット生成部(122)と、前記送信パケット生成部で生成されたパケットの送信順序を制御して出力する順序制御部(123)と、順序制御部から出力されたパケットを前記外部インタフェース回路に与えるパケット転送部(124)とである。前記受信データ処理機能部は、前記外部インタフェース回路から供給された受信パケットのパケットIDを判定する入力パケット判定部(131)と、前記入力パケット判定部による前記パケットIDの判定結果に対応するパケットの構成に基づいて必要な受信データを抽出すると共に対応するデータIDを付加して保持するデータ抽出部(132)と、前記データ抽出部に保持された受信データ及びデータIDを転送先の状態に応じて転送先に供給するデータ転送部(133)とである。

30

40

【0055】

50

上記より、中央処理装置が生成した送信データに対してデータIDを用いたパケットの生成を管理でき、生成したパケットに対する送信の優先制御が可能であり、優先制御されたパケットを外部インタフェース回路に与えて、転送データに対するデータ制御を行うことができる。可変論理機能として設定される論理機能をそのように大別するから、データIDに対応するパケット生成論理機能が足りなければ論理機能の入れ換えを行なって対処することにより機能再構成のための限られたハードウェア資源の有効利用が容易になる。

【0056】

さらに、受信したパケットのパケットIDに対応して受信データをデータIDで管理でき、データIDに対応する転送先の状態に応じて受信データの転送を制御することができる。可変論理機能に設定される論理機能を入力パケット判定部、データ抽出部、及びデータ転送部に大別するから、パケットIDに対応するデータ抽出のための定義情報が足りなければ追加若しくは入れ換えを行なって対処すればよく、また、データIDに対応する転送先の定義情報が足りなければ追加若しくは入れ換えを行なって対処すればよく、機能再構成のための限られたハードウェア資源の有効利用が容易になる。

10

【0057】

したがって、電子制御ユニットの限られたハードウェア資源を用いて、その拡張性を阻まず、しかも処理性能の低下を来たすことがないように通信制御機能を実現することができる。さらに、ネットワークバスに複数の電子制御ユニットが接続されたデータ処理システムにおける通信制御機能の拡張性及び性能向上を両立することができる。

20

【0058】

〔19〕<存在しない送信パケット生成部に対する機能設定の要求>

項18のデータ処理システムにおいて、前記機能再構成モジュールは、入力データ判定部による判定結果に対応する送信パケット生成部が存在しないとき前記中央処理装置に必要な送信パケット生成部の機能設定を要求し、当該機能の設定を待つて当該送信データに対する処理を再開する。

【0059】

データIDに対応する送信パケット生成部がなければその機能を追加して対応することができる。必要に応じて論理機能の設定を追加することができるから、機能再構成されるハードウェア資源が限られていても設定論理機能を入れ替えて対処することができる。

30

【0060】

〔20〕<存在しないパケット転送機能に対する機能設定の要求>

項19のデータ処理システムにおいて、前記機能再構成モジュールは、前記必要な送信パケット生成部の機能設定を要求するとき、併せて、当該要求によって設定される送信パケット生成部で生成されるパケットの転送機能を前記出パケット転送部に設定する要求を行なう。

【0061】

データIDに対応するパケットの出力インタフェース機能もなければその機能を追加して対応することができる。必要に応じて論理機能の設定を追加することができるから、機能再構成されるハードウェア資源が限られていても設定論理機能を入れ替えて対処することができる。

40

【0062】

〔21〕<存在しないデータ抽出機能に対する機能設定の要求>

項20のデータ処理システムにおいて、前記機能再構成モジュールは、入力パケット判定部により判定されたパケットIDに対応するデータ抽出部の機能が設定されていないとき前記中央処理装置に必要なデータ抽出の機能設定を要求し、当該機能の設定を待つて当該パケットに対する処理を再開する。

【0063】

パケットIDに対応するデータ抽出のための機能設定がなければその機能を追加して対応することができる。必要に応じて論理機能の設定を追加することができるから、機能再構成されるハードウェア資源が限られていても設定される論理機能を入れ替えて対処する

50

ことができる。

【 0 0 6 4 】

〔 2 2 〕 < 存在しないデータ転送機能に対する機能設定の要求 >

項 2 1 のデータ処理システムにおいて、前記機能再構成モジュールは、受信データ及びデータ ID に対応する転送先へのデータ転送部の機能が設定されていないとき前記中央処理装置にデータ転送部の必要な機能設定を要求し、当該機能の設定を待つて当該受信データ及びデータ ID を転送先へ出力する。

【 0 0 6 5 】

データ ID に対応するデータ転送部の機能設定がなければその機能を追加して対応することができる。必要に応じて論理機能の設定を追加することができるから、機能再構成されるハードウェア資源が限られていても設定される論理機能を入れ替えて対処することができる。

10

【 0 0 6 6 】

〔 2 3 〕 < 送信データ及び ID の生成トリガ >

項 1 8 のデータ処理システムにおいて、前記中央処理装置は、発生したイベントの種別に応じた割込み要求に回答してデータ処理を開始して送信データ及びデータ ID を生成し、生成した送信データ及びデータ ID を前記機能再構成モジュールに供給する。

【 0 0 6 7 】

中央処理装置がイベントに回答して実行するプログラムにしたがって所要の送信データとそのデータ ID を生成することができる。

20

【 0 0 6 8 】

〔 2 4 〕 < パケット及び ID の送出トリガ >

項 2 3 のデータ処理装置において、前記送信パケット生成部は、生成したパケットを所定のイベント信号の発生を待つて前記順序制御部に送る。

【 0 0 6 9 】

発生するイベントの種別をパケットの送信要因とする事ができる。

【 0 0 7 0 】

〔 2 5 〕 < イベントを生成するタイマカウンタ部 >

項 2 4 のデータ処理システムにおいて、前記送信パケット生成部は、前記所定のイベント信号を発生させるタイマカウンタ部 ( 1 6 2 ) を有する。

30

【 0 0 7 1 】

タイマカウンタ部に設定される任意のカウントアップ値に応ずるタイムアウトを送信要因としてパケットを順序制御部に送ることができる。

【 0 0 7 2 】

〔 2 6 〕 < 外部イベントを判別するイベント判別部 >

項 2 4 のデータ処理システムにおいて、前記送信パケット生成部は、前記入力データ判別部から供給された送信データが所定のパケットフォーマットに従って格納されるデータバッファメモリ ( 1 5 0 ) を有し、前記機能再構成モジュールの外部から供給されるデータと前記データバッファメモリ既にに格納されている対応するデータとを比較し、所定の条件が成立することに依じて前記所定のイベント信号を発生させるイベント判別部 ( 1 6 1 ) を有する。

40

【 0 0 7 3 】

前記所定のイベントの発生に回答してパケットを順序制御部に送ることができる。

【 0 0 7 4 】

〔 2 7 〕 < 機能再構成モジュール >

項 1 8 のデータ処理システムにおいて、前記機能再構成モジュールは、記憶回路 ( 2 3 ) 及び制御回路 ( 2 4 ) を有する複数の機能再構成セル ( 2 0 ) が配線 ( H L 0 ~ H L n , V L 0 ~ V L m ) を介して連鎖可能に配置された機能再構成アレイ ( A R Y ) と、外部からのアクセス要求に回答して前記機能再構成セルを制御するインタフェース制御回路 ( 2 1 ) とを有する。前記機能再構成セルは、記憶回路から読み出された信号又は外部から

50

供給される信号を前記制御回路が入力し、それにしたがって制御回路が記憶回路をアクセスし、それによって得られた信号に基づいて記憶回路に対する次のアクセスアドレスを決定する動作を繰り返すことによって、論理動作を行う。前記記憶回路は前記論理動作を定義するための機能定義データ及び論理動作の操作対象にされるデータを格納する。

【0075】

項12と同様の作用効果を有する。

【0076】

2.実施の形態の詳細

実施の形態について更に詳述する。

【0077】

《車載ネットワークシステム》

図2には本発明に係るデータ処理システムの一例である車載ネットワークシステムの概略的な構成が示される。ここではネットワークバスの一例であるCANバス(CANBUS)100に接続された5個の電子制御ユニット(以下にECUとも記す)101~105が例示され、ECU101~105はマイクロコンピュータMCUとその他のデバイスICを備えて構成される。ECU101はボディーの操作スイッチ系のECU、ECU102は電動格納シート系のECU、ECU103はサンルーフのECU、ECU104はメモリミラーのECU、ECU105はスピードメータなどのコンソール系のECUである。操作スイッチ系のスイッチとしてサンルーフスイッチ、メモリミラースイッチ、および電動格納シートスイッチが例示される。

【0078】

ECU101~105は相互に規定フォーマットのフレームを単位として情報交換を行なう。フレームのフォーマットは、SOF(start Of Frame)を先頭にフレーム識別子(ID)としてのフレームID、データ長などを示すコントロールデータフィールド、メッセージとしてのCANデータが配置されるデータフィールド、CRCシーケンスフィールド、およびEOF(End Of Frame)などを有する。

【0079】

CAN通信における通信方法の基本はデータを管理しているCANノードがデータフレームを送信し、それに対してそのデータを必要としているCANノードが受信する。または、データを必要としているCANノードからリモートフレームを送信し、それに対して該当するCANノードからデータフレームを返すという形式になっている。リモートフレームを送信するECUはフレームIDで特定するノードに対してデータ種別に対応するデータの要求を行い、リモートフレームに応答してデータフレームを送信するECUはその要求に対して当該フレームIDを付随させてデータの返信を行う。リモートフレームのフレームIDには要求するデータフレームのIDが設定され、データフレームのフレームIDには要求されたリモートフレームのフレームIDが添付される。すなわち、データフレームのフレームIDはデータ内容や送信ノードの識別のために利用される。

【0080】

《ECU搭載のマイクロコンピュータ》

図1にはECUに搭載されたマイクロコンピュータMCUの構成が例示される。マイクロコンピュータMCUは、特に制限されないが、公知のCMOS集積回路製造技術によって単結晶シリコンのような1個の半導体基板に形成される。このマイクロコンピュータMCUは、プログラムを実行する中央処理装置(CPU)110、中央処理装置110が実行するプログラムや制御データを格納するROM111、CPU110のワーク領域として利用されるRAM112、CANインタフェース回路(CANIF)113、機能再構成モジュール114、マイクロコンピュータMCUの内外からの割り込み要求を受け取ってCPU110に割り込み信号を供給する制御を行う割り込みコントローラ(INTC)115、およびその他周辺回路(PRPH)116を備え、それら回路モジュールは内部バス117を介して必要なデータやアドレスなどの情報を入出力する。

【0081】

10

20

30

40

50

前記CANインタフェース回路113は外部インタフェース回路の一例であり、前記CANバス100に接続され、CANバス100との物理接続を制御して前記データフレームおよびリモートフレームの入出力を行う。

【0082】

《機能再構成モジュールに設定される送信データ処理機能及び受信データ処理機能》

機能再構成モジュール114は書き込まれた機能定義データに従った論理機能が設定される可変論理機能モジュールである。前記ROM111は制御データの一部としてその機能定義データを保有する。CPU110は前記機能再構成モジュール114にROM111が保有する前記機能定義データを書き込んで、前記CANインタフェース回路113が送受信するフレームの送信データ処理機能及び受信データ処理機能を設定すると共に設定された送信データ処理機能及び受信データ処理機能を利用する。送信データ処理機能及び受信データ処理機能についてはCPU110のソフトウェア処理または専用ハードウェアによる処理を採用せず、機能再構成モジュール114よって実現する。一方で送信データ処理機能に供給する送信データの生成や受信データ処理機能により処理された後のデータの処理については、CPU110のソフトウェア処理又は専用ハードウェアによる処理を採用する。

10

【0083】

前記送信データ処理機能及び受信データ処理機能が設定された機能再構成モジュール114は送信データ処理機能部120と受信データ処理機能部130とを有する。

【0084】

20

前記送信データ処理機能部120は、CPU110のデータ処理によって逐次生成されたRAM112を介して供給された送信データのデータIDを判定する入力データ判定部121と、前記入力データ判定部121による前記データIDの判定結果に対応する送信データを受け取って送信対象毎のペケットを構成する複数の送信ペケット生成部122と、前記送信ペケット生成部122で生成されたペケットの送信順序を制御して出力する順序制御部123と、順序制御部123から出力されたペケットをCANインタフェース回路113に与えるペケット転送部124と、を構成する。

【0085】

送信データ処理機能部120によるデータ処理フローについて説明する。外部割込み要求や内部割込み要求などの所定のイベントが発生すると、割り込みコントローラ115は受け付けた割り込み要求の要因をCPU110に与えると共に、CPU110に割り込み信号をアサートする。CPU110はその割込み要求に応答してデータ処理を開始して送信データ及びデータIDを生成し、生成した送信データ及びデータIDをRAM112を経由して前記機能再構成モジュール114に供給する。すなわち、送信データ処理機能部120において、送信するデータがCPU110によりRAM112を経由して入力される(TRT1)。入力された送信データおよびデータIDは入力データ判定部121で判別され、判別されたデータIDに対応する送信ペケット生成部122に送信データおよびデータIDが転送される(TRT2)。送信データおよびデータIDが転送された送信ペケット生成部122はCANのフレーム仕様に準拠した所定のペケットフォーマットにしたがってペケットを生成し、生成したペケットを順序制御部123に送る(TRT3)。順序制御部123は複数の送信ペケット生成部122から入力したペケットの送信優先制御を行い、送信優先順位の高いペケットをペケット転送部124に供給する(TRT4)。ペケット転送部124はCANインタフェース回路113が送信可能な状態を受けてペケットをCANインタフェース回路113に供給する(TRT5)。CANインタフェース回路113は受け取ったペケットをリモートフレーム又はデータフレームとしてCANバス100に出力する。

30

40

【0086】

前記受信データ処理機能部130は、前記CANインタフェース回路113から供給された受信ペケットのペケットIDを判定する入力ペケット判定部131と、前記入力ペケット判定部131による前記ペケットIDの判定結果に対応するペケットの構成に基づい

50

て必要な受信データを抽出すると共に対応するデータIDを付加して保持するデータ抽出部132と、前記データ抽出部132に保持された受信データ及びデータIDを転送先の状態に応じて転送先に供給するデータ転送部133と、を構成する。

【0087】

この受信データ処理機能部130において、CANインタフェース回路113がCANバス100からデータフレーム又はリモートフレームを受信すると、入力パケット判定部131からの要求に応じてそのパケット(フレームそのもの又はSOF、EOFなどのコードを除いた実質的なデータ)を入力パケット判定部131に供給する(RRT1)。入力パケット判定部131は後段の動作状態が受け付け可能状態であることを判別してパケットをデータ抽出部132に渡す(RRT2)。データ抽出部132は渡されたパケットが保有するパケットIDを判別し、必要な受信データを抽出してデータIDを付加し、データ転送部133に供給する(RRT3)。データ転送部133はそのデータIDに応じて受信データ及びデータIDをCPU110を介してRAM112に転送させ(RRT4)、或いは、そのデータIDに対してゲートウェイ機能が設定されている場合には送信処理に乘せるためにその受信データ及びデータIDを送信データ処理機能部120に転送する(RRT5)。

10

【0088】

《機能再構成モジュールのハードウェア構成の概略》

図3には前記機能再構成モジュール114の一例が示される。機能再構成モジュール114は記憶回路(MRY)23及び制御回路(MCNT)24を有する複数の機能再構成セル(RCNFC)20が配線HL0~HLn、VL0~VLmを介して連鎖可能に配置された機能再構成アレイCARYと、内部バス117からのアクセス要求に応答して前記機能再構成セル20を制御するインタフェース制御回路(IFCNT)21とを有する。前記機能再構成セル20は、記憶回路23から読み出された信号又は内部バス117から供給される信号を前記制御回路24が入力し、それにしたがって制御回路24が記憶回路23をアクセスし、それによって得られた信号に基づいて記憶回路23に対する次のアクセスアドレスを決定する動作を繰り返すことによって、論理動作を行う。前記記憶回路23は前記論理動作を定義するための機能定義データ及び論理動作の操作対象にされるデータを格納する。即ち、機能再構成モジュール114の記憶回路23にはCPU110などにより内部バス117を介して論理機能設定情報としての所定の機能定義データが格納されることによって、可変可能に論理機能が設定される。ここでは送信データ処理機能部120及び受信データ処理機能部130が設定される。設定された論理機能に対してCPU110やCANインタフェース回路113が内部バス117を経由して所定のアドレスに対するアクセス動作を行うことによって機能再構成モジュール114の送信データ処理及び受信データ処理が行われる。

20

30

【0089】

前記機能再構成モジュール114の上記構成により、記憶回路23の読み出しを機能再構成セル20それ自体で自律的に制御することができるから、可変論理機能を実現するための記憶回路23を論理回路と等価な回路として扱うことができる。したがって、実現可能な論理構成や論理規模に融通性を得ることができ、また、小さなチップ占有面積で大きな論理規模にも対応可能な可変論理機能を実現可能になる。さらに、逐次命令をフェッチして実行するプログラム処理装置に比べると、それぞれの機能再構成セル20が記憶回路23から読み出したデータに基づいて次の動作を決定する帰還的な処理を繰り返すから、論理動作の高速化に資することができる。

40

【0090】

この機能再構成モジュールのハードウェア構成として採用可能な更なる具体例については最後に補足説明する。

【0091】

《送信データ処理機能部》

送信データ処理機能部120について詳述する。図4には入力データ判定部121の詳

50

細が例示される。前記入力データ判定部 121 は、CPU 110 がアプリケーションプログラムを実行して生成したアプリケーション生成データ APDAT としての前記データ ID (シグナル ID とも記す) 及び送信データ (シグナルデータとも記す) を入力する。入力データ判定部 121 は、前記シグナル ID を解読するデコーダ 140 と、前記デコーダ 140 による解読結果に基づいて当該シグナル ID に対応する送信パケット生成部へシグナルデータ及びシグナル ID を出力するデータセクタ 141 と、機能定義データインタフェース部 142 とを有する。

#### 【0092】

機能定義データインタフェース部 142 には専用のレジスタアドレス若しくはメモリアドレスがマッピングされ、CPU 110 などが当該アドレスに対する機能定義データの書き込みを行なうことによって送信データ処理機能部 120 を初期的に機能設定することができる。詳細は後述するが、機能定義データインタフェース部 142 が CPU 110 に通知することにより、後から必要になった論理機能についても設定可能にされる。

10

#### 【0093】

デコーダ 140 はシグナル ID がどのパケット ID に対応するかを示す ID 対応テーブル 143 を有し、入力されたシグナル ID に対応するパケット ID を判別する。シグナル ID に対応するパケット ID がなければ機能定義データインタフェース部 142 に機能定義データ要求信号を出力させ、CPU 110 に ID 対応テーブル 143 の再設定をさせる。ここでは、パケット ID は CAN ネットワークに伝送されるフレーム ID を構成し、便宜上 CAN ID とも称する。

20

#### 【0094】

セクタ 141 は送信パケット生成部 122 に一対一対応されるセレクトゲート 145 を有し、セレクトゲート 145 は対応される送信パケット生成部 122 からシグナルデータなどの入力許可をもらい、且つ、デコーダ 140 によってシグナル ID と対応されるパケット ID のパケットの生成に割り当てられるパケット生成部の選択信号が選択インペルにされることを条件に、当該シグナル ID とシグナルデータを後段の送信パケット生成部 122 に送る。前記シグナルデータの入力許可は対応する送信パケット生成部 122 におけるパケットの生成状態を表す信号とみなされ、新たなパケットの生成を開始可能な状態が入力許可状態とされる。

#### 【0095】

図 5 には送信パケット生成部 122 の詳細が例示される。前記送信パケット生成部 122 は、データバッファメモリとしてのデータ格納バッファ 150 と、前記入力データ判定部 212 から供給されたシグナルデータを所定のパケットフォーマットにしたがってデータ格納バッファ 150 に格納してパケットを生成するバック部 151 と、前記データ格納バッファ 150 が保持するパケットを所定のイベントの発生を待って前記順序制御部 123 に送るパケットセクタ 152 と、を有する。

30

#### 【0096】

バック部 151 は、パケット情報テーブル 155 から読み込まれたパケットフォーマット情報 156 にしたがってデータ格納バッファ 150 へのシグナルデータの格納位置を制御するセレクトゲート 157 と、パケットフォーマット上においてアップデートされたシグナルデータの配置を示すアップデートビットレジスタ 158 を有する。パケット送付時にはアップデートビットレジスタ 158 の値がデータ格納バッファ 150 に内部転送されてパケットに含まれる。

40

#### 【0097】

パケットセクタ 152 は、データ格納バッファ 150 からパケットを送出する出力ゲート 160、イベント判定部 161、及びタイマカウンタ部 162 を有する。イベント判定部 161 は、前記機能再構成モジュールの外部から供給されるデータと前記データ格納バッファメモリ 150 に既に格納されている対応するデータとを比較し、所定の条件が成立することに応じて出力ゲート 160 にパケットの出力動作を指示するイベント信号を出力する。例えば、データ格納バッファメモリ 150 に前回の送信に用いたデータが格納さ

50

れているとき、その後データ格納バッファメモリ150のデータをアップデートするために外部から供給されてきたデータが当該データ格納バッファメモリ150上の対応するデータに対して所定の条件を持っているとき上記イベント信号を出力する。前記タイマカウンタ部162は、設定された条件に従ったタイムアウト若しくはカウントアップに応じて出力ゲート160にパケットの出力動作を指示するイベント信号を発生させる。出力ゲート160がパケットを後段に出力するときアップデートビットレジスタ158はリセットされる。

#### 【0098】

出力ゲート160から出力されるパケットは少なくともCANIDとCANデータを含んでおり、特に制限されないが、最終的にCANネットワークに送出されるCANフレームに対応される。CANデータは、特に制限されないが、シグナルデータを含んでいる。送信パケット生成部122で生成されるパケットは、例えば、AUTOSAR（オートザー、Automotive Open System Architecture）などの車載ソフトウェアの共通規格で定義されている階層化されたソフトウェアの各階層で扱われるデータ単位であるPDUを意味するものである。図6に例示されるようにPDU（Protocol Data Unit）として示されるパケットは、複数のSignalと呼ばれるデータ単位の集合とされる。特に図示はしないが、PDUはどのSignalを持っているかを示す情報も有する。特に制限されないが、Signalはシグナルデータに対応され、どのSignalに対応されるかを示す情報はシグナルIDに対応される。

10

#### 【0099】

163はパケットデータの退避部である。ある送信パケット生成部122の機能設定に割り当てられているハードウェアリソースが別の送信パケット生成部の機能設定に切り換えられるとき、処理途中のパケットがある場合には当該パケットのデータを退避部163にバックアップし、再度当該パケットのための送信パケット生成部122が再度機能設定されたとき、退避部163からデータ格納バッファ150にパケットのデータがリストアされる。

20

#### 【0100】

パケット情報テーブル155は、特に制限されないが、ROM111が保有し、必要に応じて送信パケット生成部122にその一部のパケットフォーマット情報156が書き込まれて利用される。

30

#### 【0101】

図7には順序制御部の詳細が例示される。前記順序制御部123は、前記送信パケット生成部122から供給されたパケットを送信パケット生成部122と対応付けて保持するパケットバッファメモリ170と、前記パケットバッファメモリ170に保持されたパケットの優先度及び前記パケットバッファメモリ170へのパケット保持の早遅に基づいて決定した優先順位に従って前記パケットバッファメモリ170のパケットを選択する優先制御セレクタ171と、を有する。

#### 【0102】

優先制御セレクタ171は、送信パケット生成部122からパケット供給を受けたタイミング毎に順次そのパケットの優先度とCANIDを送信パケット生成部122の番号毎にペアとするテーブルデータをラップアラウンドに保持することによって選択制御テーブル172を構成する。優先度=L、CANID=Nとするときテーブルデータを(L/N)と標記する。図8に例示されるように選択制御テーブル172には、機能設定されている送信パケット生成部122の番号に対応付けて、パケットが供給されるタイミング毎にパケットの優先度とCANIDのテーブルデータが格納されており、テーブルの先頭には、#1の送信パケット生成部に対応してテーブルデータ(2/100h)、#2の送信パケット生成部に対応してテーブルデータ0、#3の送信パケット生成部に対応してテーブルデータ(1/300h)が格納され、次のタイミングでは#1の送信パケット生成部に対応してテーブルデータ(2/150h)、#2、#3の送信パケット生成部に対応してテーブルデータ0が格納されている。テーブルデータ0はパケット供給がなかったことを

40

50

意味する。選択制御テーブル 172 におけるテーブルデータのマッピングアドレスはパケットバッファメモリ 170 におけるパケットの配置アドレスに相関される。

【0103】

選択制御テーブル 172 の更新はテーブル制御回路 173 が行なう。高優先検索回路 174 及び低優先検索回路 175 は、選択制御テーブル 172 を参照し、それぞれ所定の検索ロジックにしたがったテーブルデータを検索し、それによって取得したテーブルデータのマッピングアドレスを用いてパケットバッファメモリ 170 のアドレスを演算してパケットを選択することにより、パケットバッファメモリ 170 からパケットの読み出しを行なう。

【0104】

特に制限されないが、高優先検索回路 174 及び低優先検索回路 175 による検索における判定優先度は、「パケット供給の発生タイミング」が高優先とされ、次に「優先度の高低」、最後に「CANIDの昇順」の順番になる。高優先検索回路 174 は選択制御テーブル 172 から、最も古く、高優先度で、CANIDのより若いテーブルデータを検索する。低優先検索回路 175 は選択制御テーブル 172 から、最も古く、低優先度で、CANIDのより若いテーブルデータを検索する。図 8 に例示される選択制御テーブル 172 を用いた検索によるテーブルデータの選択順は図 9 のようになる。

【0105】

高優先検索回路 174 及び低優先検索回路 175 で検索されたテーブルデータに対応してパケットバッファメモリ 170 から読み出されたパケットは当該バッファメモリ 170 から削除される。また、高優先検索回路 174 及び低優先検索回路 175 で検索されたテーブルデータのマッピングアドレスはテーブル制御回路 173 に伝達され、同一発生タイミングにおける有意の全てのテーブルデータが参照されるのを待って当該同一タイミングのテーブルデータが削除される。

【0106】

図 10 にはパケット転送部 124 の詳細が例示される。前記パケット転送部 124 は、CANインタフェース回路 113 が送信可能状態にあるか否かを判別するための状態取得回路 180 と、順序制御部 123 から出力されたパケットのCANIDに基づいてパケットを送信するCANチャネルおよびCANメッセージボックス(CANMB)を取得する送信先情報生成回路 181 と、生成された送信先情報と入力パケットを送信可能状態のときにCANインタフェース回路 113 に与える転送ゲート 182 とを有する。CANチャネルとはCANバス 100 に接続されているCANIFモジュールの番号であり、CANメッセージボックスとはCANパケットを格納するための内部RAMである。

【0107】

図 11 には機能再構成モジュール 114 に設定された送信データ処理機能をダイナミックに追加または切り換える場合について示される。

【0108】

機能再構成モジュール 114 は、入力データ判定部 121 のデコーダ 140 による判定結果に対応する送信パケット生成部が存在しないとき機能定義データインタフェース部 142 を介してCPU 110 に必要な送信パケット生成部 122 の機能設定を要求し、当該機能の設定を待って当該送信データに対する処理を再開する。さらに前記機能再構成モジュール 114 は、前記必要な送信パケット生成部 122 の機能設定を要求するとき、併せて、当該要求によって設定される送信パケット生成部 122 で生成されるパケットの転送機能を前記パケット転送部 124 に設定する要求を行なう。すなわち、設定を要求するパケットの転送機能とは図 10 の送信先情報生成回路 181 の情報生成機能である。

【0109】

《受信データ処理機能部》

受信データ処理機能部 130 について詳述する。図 12 には入力パケット判定部 131 の詳細が例示される。入力パケット判定部 131 はCANIDの判定回路 190 と共にデータ抽出部 132 によるデータ抽出動作の判定回路 191 を有し、判定されたパケット

10

20

30

40

50

IDに対応するデータ抽出機能をデータ抽出部132が備え、且つ、新たなパケットに対するデータ抽出動作が可能なとき、CANIDとCANデータを含むパケットを転送ゲート193からデータ抽出部132に供給する。

【0110】

図13にはデータ抽出部132の詳細が例示される。データ抽出部132は、データバッファメモリとしてのデータ格納バッファ200と、前記CANID判定回路190による前記CANIDの判定結果に対応するパケットフォーマット情報(パケットの構成を示す情報)201に基づいてパケットから受信データを分離すると共に分離された受信データに対応するデータIDを付加して前記データ格納バッファ200に格納するアンパック部202と、を有する。

10

【0111】

パケットフォーマット情報201は、特に制限されないが、ROM111が保有するパケット情報テーブル155から読み込まれる。前記CANIDの判定回路190による判定結果に対応するパケットフォーマット情報156をデータ抽出部132が保有していなければ、データ抽出動作判定回路191を介して必要なパケットフォーマット情報をCPU110に要求してデータ抽出部132に設定されるようになっている。

【0112】

データ格納バッファ200に格納された受信データとデータIDはシグナルデータ及びシグナルIDとしてデータ転送部133に供給される。

【0113】

20

図14および図15にはデータ転送部133の詳細が例示される。データ転送部133は、シグナルIDに対応するデータ転送先情報を保持する転送先判定部210と、転送先の状態を取得する状態取得部211を有する。前記データ抽出部132から受け取ったシグナルIDに対応する転送先情報を転送先判定部210から取得し、転送先の状態が転送許可を示しているとき、転送ゲート212から、転送先アドレスなどの転送先情報とともにシグナルデータ及びシグナルIDを出力する。図14は転送先がRAM112の場合を示しており、受信されたデータはRAM112に格納される。図15は転送先が送信データ処理機能部120の場合を示しており、このときの当該マイクロコンピュータMCUはゲートウェイとして機能され、受信データは別のECUに転送される。

【0114】

30

転送先判定部210がシグナルIDに対応する転送先情報を保有していない場合には、状態取得部211からデータ抽出動作判定回路191を介して必要な転送先情報をCPU110に要求してデータ転送部133に設定されるようになっている。

【0115】

図16には機能再構成モジュール114に設定された受信データ処理機能をダイナミックに追加または切り換える場合について示される。

【0116】

機能再構成モジュール114は、入力されたCANIDの判定回路190により判定されたCANIDに対応するデータ抽出部132の機能が設定されていないとき前記中央処理装置110に必要なデータ抽出のためのパケットフォーマット情報の設定を要求し、当該機能の設定を待つて当該パケットに対する処理を再開する。また、機能再構成モジュール114は、受信データ及びデータIDに対応する転送先へのデータ転送部133の機能が設定されていないとき前記中央処理装置110にデータ転送部133に必要な転送先情報の設定を要求し、当該機能の設定を待つて当該受信データ及びデータIDを転送先へ出力する。

40

【0117】

例えば図1には、機能再構成モジュール114に3つの送信データ処理機能部と1つの受信データ処理機能部とを記載しているが、一定時間ごとに送受信されるパケット等の相対的に処理頻度の高い送信パケット生成部とデータ抽出部と、1~2の送信パケット生成部122またはデータ抽出部132とを構成するための論理サイズを機能再構成モジュ-

50

ル 1 1 4 に有するように構成することができる。処理頻度の高いパケットについては機能再構成モジュール 1 1 4 にほぼ定常的に構成しておき、処理頻度の低いパケットの処理については必要に応じて機能再構成モジュール 1 1 4 に構成し、入力データ判定部 1 2 1 または入力パケット判定部 1 3 1 のどちらかからデータを受けると動的に接続構成し、処理を行った結果を順序制御部 1 2 3 またはデータ転送部 1 3 3 のどちらかへ送るように動的に再構成すればよい。定常的に構成しておく送信パケット生成部 1 2 2 とデータ抽出部 1 3 2 は、夫々の ECU ごとに異なっていて良い。

#### 【 0 1 1 8 】

《機能再構成モジュールのハードウェア構成の補足》

最後に、機能再構成モジュール 1 1 4 のハードウェア構成について具体例を補足する。ここで説明する内容は再公表 W O 2 0 0 8 / 1 4 3 2 8 5 号公報の内容に順ずるものである。

10

#### 【 0 1 1 9 】

図 1 7 には機能再構成セル 2 0 の一例が示される。機能再構成セル 2 0 は記憶回路 ( M R Y ) 2 3 と制御回路 ( M C O N T ) 2 4 を有する。記憶回路 2 3 は例えばシングルポートのスタティック・ランダム・アクセスメモリ ( S R A M ) 2 5 と、アドレスラッチ回路 ( A D R L A T ) 2 6 によって構成される。S R A M 2 5 はメモリアレイ 2 7、アドレスデコーダ ( S D E C ) 2 8、及びタイミングコントローラ ( T M C N T ) 2 9 を備える。メモリアレイ 2 7 はアドレスラッチ回路 2 6 から供給されるアドレス信号によってアクセスされるデータフィールド ( D F L D ) 2 7 \_ D と制御フィールド ( C F L D ) 2 7 \_ C を有する。アドレスデコーダ ( S D E C ) 2 8 はアドレスラッチ回路 ( A D R L A T ) 2 6 から出力されるアドレス信号をデコードして、データフィールド ( D F L D ) 2 7 \_ D 及び制御フィールド ( C F L D ) 2 7 \_ C の夫々からアクセス単位のメモリセルを選択する。タイミングコントローラ ( T M C N T ) 2 9 は選択されたアクセス単位のメモリセルに対してリード・ライト信号 R W \_ j ( j = 0 ~ m ) で指示されたリード動作又はライト動作を制御する。

20

#### 【 0 1 2 0 】

制御回路 2 4 はアドレスラッチ回路 2 6 にアドレス信号を供給するセレクタ ( A D R S L ) 3 0、アドレスラッチ回路 2 6 がラッチしたアドレス信号を + 1 づつインクリメントするアドレスインクリメンタ ( I C R M ) 3 1、及びアクセス制御デコーダ ( A C D E C ) 3 2 を有する。セレクタ 3 0 には、データフィールド 2 7 \_ D から読み出された情報 D A T \_ D、アドレスインクリメンタ 3 1 の出力、及びバス S B U S , P B U S から供給されたアクセスアドレス情報の一部のアドレス情報 A D R \_ E X T が入力される。アクセス制御デコーダ 3 2 には制御フィールド 2 7 \_ C から読み出された制御情報 D A T \_ C、外部イベント信号 E X E V T、当該機能再構成セル 2 0 に対するランダムアクセス選択信号 R D M A E \_ j、ロジックイネーブル信号 L O G E \_ j、及び I O アクセス選択信号 I O A E \_ j が供給され、それに基づいてセレクタ 3 0 の出力動作等を制御する。メモリアレイ 2 7 には図示しないアドレスフィールド ( A F L D ) とアドレスフィールドの出力をセレクタ 3 0 への入力とするパス ( D A T \_ A ) を更に有し、メモリアレイ 2 7 にアクセスしアドレスフィールドからの出力をアクセス制御デコーダによりメモリアレイ 2 7 の次のアクセスアドレスとすることも可能である。

30

40

#### 【 0 1 2 1 】

ランダムアクセス選択信号 R D M A E \_ j がアクティブにされたときアクセス制御デコーダ 3 2 はセレクタ 3 0 にアドレス情報 A D R \_ E X T を選択させ、そのアドレス情報 A D R \_ E X T に従ってタイミングコントローラ 2 9 にリード/ライト信号 R W \_ j に従ったアクセス動作を指示する。これによって S R A M 2 5 はアドレス情報 A D R \_ E X T で指定されるアドレスに対してランダムアクセス可能になる。

#### 【 0 1 2 2 】

I O アクセス選択信号 I O A E \_ j がアクティブにされ、リード/ライト信号 R W \_ j によりリード動作が指示されたとき、アクセス制御デコーダ 3 2 はそのときのアドレスラ

50

ッチ回路 26 のアドレスラッチ状態を維持したままそのラッチアドレス情報に従ってタイミングコントローラ 29 にリードアクセス動作を指示する。これにより、機能再構成セル 20 の I O アクセス選択信号 I O A E <sub>j</sub> がアクティブにされると、そのとき S R A M 25 で選択されている記憶領域に対してアクセス可能になり、S R A M 25 に対して一つのメモリマップド I O データレジスタに対する読出しと等価なアクセス動作が可能になる。また、I O アクセス選択信号 I O A E <sub>j</sub> がアクティブにされ、リード・ライト信号 R W <sub>j</sub> によりライト動作が指示されたとき、アクセス制御デコーダ 32 はアドレス情報 A D R <sub>E X T</sub> をアドレスセクタ 30 に選択させ、そのアドレス情報 A D R <sub>E X T</sub> をアドレスラッチ 26 にセットして、S R A M 25 に対する読出しアドレスを初期設定することができる。このように、I O アクセス選択信号 I O A E <sub>j</sub> がイネーブルにされたとき書込み対象とされるアドレスラッチ回路 26 は書込み対象とされるメモリマップド I O レジスタと等価のレジスタとして把握することができる。この等価レジスタをスタートアドレス設定用等価 I O レジスタと称する。また、I O アクセス選択信号 I O A E <sub>j</sub> がイネーブルにされたとき読出し対象とされる S R A M のメモリ領域は読出し対象とされるメモリマップド I O レジスタと等価のレジスタとして把握することができる。この等価レジスタをデータリード用等価 I O レジスタと称する。

10

#### 【 0 1 2 3 】

ロジックイネーブル信号 L O G E <sub>j</sub> がアクティブにされたとき、アクセス制御デコーダ 32 はそのときアドレスラッチ 26 が保持しているアドレスをスタートアドレスとして、そのアクティブ期間に S R A M 25 のメモリリードサイクルを繰り返し起動し、サイクル毎に、制御フィールド 27 <sub>C</sub> から読み出される制御情報 D A T <sub>C</sub> に従ってセクタ 30 の選択動作を制御する。外部イベント信号 E X E V T がイネーブルにされたとき、アクセス制御デコーダ 32 は当該メモリリードサイクルにおいてアドレスセクタ 30 に特定のアドレス（例えば S R A M 25 の先頭アドレス）を出力させる。ロジックイネーブル信号 L O G E <sub>j</sub> がイネーブルにされたときスタートアドレスを保持するアドレスラッチ 26 はロジック動作の開始を指示するイネーブルビットの書込み対象とされるメモリマップド I O レジスタと等価のレジスタとして把握することができる。この等価レジスタをロジックイネーブル用等価 I O レジスタと称する。

20

#### 【 0 1 2 4 】

この機能再構成セル 20 によれば、記憶回路 23 の読み出しを機能再構成セル 20 それ自体で自律的に制御することができる。例えば、前記制御回路 24 は S R A M 25 の次の読出しアドレスを先に S R A M 25 から読出した制御フィールド C F L D の情報 D A T <sub>C</sub> やアクセス制御デコーダ 32 に供給される外部イベント信号 E X E V T の入力に基づいて自律的に制御することが可能である。これにより、可変論理機能を実現するための記憶回路 23 を論理回路と等価な回路として扱うことができる。したがって、実現可能な論理構成や論理規模に融通性を得ることができ、また、小さなチップ占有面積で大きな論理規模にも対応可能な可変論理機能を実現可能になる。

30

#### 【 0 1 2 5 】

図 18 には複数の機能再構成セル 20 のアレイ構成が例示される。複数の機能再構成セル 20 はマトリクス配置され、左右に隣接する機能再構成セル 20 の間には接続経路選択回路 ( R S W ) 35 が配置される。機能再構成セル 20 及び接続経路選択回路 35 は行単位で内部バス I B U S <sub>i</sub> ( i = 0 , 1 , ... ) に接続される。内部バス I B U S <sub>i</sub> はアドレスバス I A B U S <sub>i</sub> とデータバス I D B U S <sub>i</sub> に大別される。内部アドレスバス I A B U S <sub>i</sub> は制御回路 24 に前記アドレス A D R <sub>E X T</sub> を供給する。内部データバス I D B U S <sub>i</sub> は記憶回路 23 との間で情報 D A T <sub>C</sub> , D A T <sub>D</sub> を伝達する。接続経路選択回路 35 は、機能再構成セル 20 のデータ D A T <sub>C</sub> , D A T <sub>D</sub> の伝達経路を上下又は左右に隣接する機能再構成セル 20 の間で選択的に接続するスイッチ回路 36 と、前記スイッチ回路 36 のスイッチ制御情報を保持するための接続用記憶回路 37 とを有する。接続用記憶回路 37 は内部バス I A B U S <sub>i</sub> , I D B U S <sub>i</sub> を介してランダムアクセスさせることによって所要のスイッチ制御情報が設定される。

40

50

## 【 0 1 2 6 】

一の機能再構成セル 2 0 のデータ D A T \_ C , D A T \_ D を他の機能再構成セル 2 0 のデータ D A T \_ C , D A T \_ D に伝達することが可能であるから、複数の機能再構成セル 2 0 間でそれぞれの前記自律制御を連動させることが可能になる。複数の機能再構成セル 2 0 を直列的に動作させ、あるいは並列的に動作させて、一単位の論理機能を実現することが可能になる。

## 【 0 1 2 7 】

機能再構成セル 2 0 の記憶回路 2 3 には論理機能を定義するための機能定義データとしてのコンフィギュレーション情報がランダムアクセス設定され、接続経路選択回路 3 5 の接続用記憶回路 3 7 には接続経路を定義するためのコンフィギュレーション情報がランダムアクセスによって設定される。論理機能が設定された機能再構成セル 2 0 に論理動作の開始が指示されると、その論理動作によって得られる情報は左右又は上下に配置された別の機能再構成セル 2 0 に接続経路選択回路 3 5 を介して伝達可能にされ、また、機能再構成セル 2 0 の論理動作による情報は前記メモリマップド I O レジスタに対する読出しと等価なアクセス動作により対応するバス I B U S \_ i を介して外部に読み出し可能にされる。

## 【 0 1 2 8 】

図 1 9 には機能再構成モジュール 1 1 4 の全体的な構成が例示される。バス S B U S , P B U S からのアクセス要求に応答して、図 1 8 で説明した複数個の機能再構成セル 2 0 と接続経路選択回路 3 5 のアレイに対する制御を行うインタフェース制御回路として、バスインタフェース回路 ( B U S I F ) 4 0 、アドレスデコーダ ( A D E C ) 4 1 、及び内部バス選択回路 ( I B S L ) 4 2 を有する。

## 【 0 1 2 9 】

前記複数個の機能再構成セル 2 0 の記憶回路 2 3 のメモリアリア ( S R A M 2 5 の記憶領域 ) には図 2 0 に例示されるように、第 1 のアドレス範囲 A A 1 のアドレスがマッピングされる。第 1 のアドレス範囲 A A 1 はシステムバス S B U S に接続するメモリ空間の一部のアドレス空間とされる。また、前記夫々の機能再構成セル 2 0 のための等価的なメモリマップド I O レジスタとして把握することができる前記スタートアドレス設定用等価 I O レジスタ、データリード用等価 I O レジスタ及びロジックイネーブル用等価 I O レジスタには第 2 のアドレス範囲 A A 2 のアドレスがマッピングされる。図 2 0 において 1 個の機能再構成セルにおける S R A M のアドレスは 2 5 6 ワード分のアドレスとされ、1 個の機能再構成セルにおける前記 3 個の等価的なメモリマップド I O レジスタのアドレスは 3 ワード分のアドレスとされる。第 2 のアドレス範囲 A A 2 はバス 1 1 7 に接続される周辺回路のレジスタ等に割り当てられるメモリマップド I O アドレス空間の一部のアドレス空間とされる。前記接続用記憶回路 3 7 の記憶領域には第 3 のアドレス範囲 A A 3 のアドレスがマッピングされる。第 3 のアドレス範囲 A A 3 はシステムバス S B U S 若しくはバス 1 1 7 に接続するメモリ空間の一部のアドレス空間とされる。

## 【 0 1 3 0 】

C P U 1 1 0 からのアクセス要求を受け取ってバス 1 1 7 のバス制御を行うバスステートコントローラ ( 図示を省略 ) は、第 1 又は第 3 のアドレス範囲 A A 1 , A A 3 へのアクセス要求があったとき C P U 1 1 0 のアドレス空間中のメモリアドレス空間へのアクセスとしてアクセス制御を行い、第 2 のアドレス空間 A A 2 へのアクセス要求があった時は C P U 1 1 0 のアドレス空間中の I O アドレス空間へのアクセスとしてアクセス制御を行う。第 1 乃至第 3 のいずれのアドレス範囲へのアクセスであったとしても機能再構成モジュール 1 1 4 のバスインタフェース回路 4 0 がアクセスを受付ける。第 1 又は第 3 のアドレス範囲 A A 1 , A A 3 へのアクセス要求があったときはバスインタフェース回路 4 0 はメモリウインドウイネーブル信号 C M E をアクティブとし、第 2 のアドレス範囲 A A 2 のアクセス要求があったときバスインタフェース回路 4 0 はロジックウインドウイネーブル信号 C R E をアクティブとする。アクセス要求に係るデータの方向はアクセス要求元から発行されるリード信号 R D 及びライト信号 W T によって判別される。尚、メモリウインドウイネーブル信号 C M E 及びロジックウインドウイネーブル信号 C R E は例えばアドレスデ

コーダ 4 1 に供給される。

【 0 1 3 1 】

アドレスデコーダ 4 1 はアクセス要求に係るアドレス信号の上位側ビットをデコードして、アレイ状に配置された機能再構成セル 2 0 と接続経路選択回路 3 5 のうち何れの回路が指定されているかを判別する。接続経路選択回路 3 5 が指定されているときは当該回路の接続用記憶回路 3 7 をイネーブルとし、対応する内部バス I B U S \_ i をバス選択回路 4 2 に選択させてシステムバス S B U S に接続し、そのアクセス要求に伴うアドレス信号の下位側アドレス情報を用いて当該接続用記憶回路 3 7 をランダムアクセス可能にする。これにより、C P U 1 1 0 等は第 3 のアドレス範囲 A A 3 のアドレスを指定するランダムアクセスにより接続用記憶回路 3 7 に書き込みを行って機能再構成セル 2 0 間の接続を任意に定義することができる。

10

【 0 1 3 2 】

また、アドレスデコーダ 4 1 は、アドレスデコードにより、アドレス範囲 A A 1 のアドレスにより機能再構成セル 2 0 が指定されていることを判別したときは、当該機能再構成セルに割り当てられた R D M A E \_ j をアクティブとし、対応する内部バス I B U S \_ i をバス選択回路 4 2 に選択させてシステムバス S B U S に接続し、そのアクセス要求に伴うアドレス信号の下位側アドレス情報を用いて当該接続用記憶回路 3 7 をランダムアクセス可能にする。これにより、C P U 1 1 0 等は第 1 のアドレス範囲 A A 1 のアドレスを指定するランダムアクセスによって記憶回路 2 3 の S R A M 2 5 に書き込みを行って当該機能再構成セル 2 0 の論理構成を任意に定義することができる。

20

【 0 1 3 3 】

アドレスデコーダ 4 1 は、アドレスデコードにより、アドレス範囲 A A 2 のアドレスにより機能再構成セル 2 0 の前記等価的なメモリマップド I O レジスタが指定されていることを判別したときは、指定された等価的なメモリマップド I O レジスタに応じて、I O A E \_ j 又は L O G E \_ j をアクティブとし、リード・ライト信号 R W \_ j を生成する。

【 0 1 3 4 】

即ち、そのとき、バス 1 1 7 から前記スタートアドレス設定用等価 I O レジスタを指定してライト信号 W T により書き込み動作が指示されたとき、アドレスデコーダ 4 1 はそのアクセス要求に伴うアドレス信号の下位側アドレス情報で指定される機能再構成セル 2 0 に割り当てられた I O A E \_ j をアクティブとする。更に、リード・ライト信号 R W \_ j によってライト動作を指定する。これによって当該機能再構成セル 2 0 の A D R S E L 3 0 を経由して A D R L A T 2 6 に書き込みデータがセットされる。

30

【 0 1 3 5 】

また、そのとき、バス 1 1 7 から前記ロジックイネーブル用等価 I O レジスタを指定してリード信号 R D により読み出し動作が指示されたとき、アドレスデコーダ 4 1 はそのアクセス要求に伴うアドレス信号の下位側アドレス情報で指定される機能再構成セル 2 0 に割り当てられた L O G E \_ j をアクティブとする。更に、リード・ライト信号 R W \_ j によってリード動作を指定する。これによって当該機能再構成セル 2 0 のアクセス制御デコーダ 3 2 はそのときアドレスラッチ 2 6 が保持しているアドレスをスタートアドレスとしてそのアクティブ期間に S R A M 2 5 のメモリリードサイクルを繰り返し起動し、サイクル毎にデータフィールド 2 7 \_ D から読み出されるデータ情報 D A T \_ D をセクタに帰還させ、サイクル毎に、制御フィールド 2 7 \_ C から読み出される制御情報 D A T \_ C に従ってセクタ 3 0 の選択動作を制御して、論理動作を実現する。

40

【 0 1 3 6 】

また、そのとき、バス 1 1 7 から前記データリード用等価 I O レジスタを指定してリード信号 R D により読み出し動作が指示されたとき、アドレスデコーダ 4 1 はそのアクセス要求に伴うアドレス信号の下位側アドレス情報で指定される機能再構成セル 2 0 に割り当てられた I O A E \_ j をアクティブとする。更に、バスインタフェース回路 4 0 はリード・ライト信号 R W \_ j によってリード動作を指定する。これによって当該機能再構成セル 2 0 の A D R L A T 2 6 が保持しているアドレス情報によって選択される S R A M 2 5 の

50

記憶領域からリードされる情報をバスインタフェース回路40が受け取ってバス117にリードデータとして出力する。これにより、CPU110等は論理機能が設定された機能再構成セル20による論理動作の結果を第2のアドレス範囲AA2のアドレスを指定するリードアクセスによって任意に取得することができる。バスインタフェース回路40は論理動作の結果の一つとして論理動作完了のような要求を認識すると、割り込み信号を割り込みコントローラ16に供給することができる。これによる割り込みが与えられたCPU110は例えば前記データリード用等価IOレジスタに対するリード動作を指定することによって当該論理動作を終了した機能再構成セル20から論理動作の結果を取得する動作ルーチンに移行したりすることが可能になる。

#### 【0137】

上述のように、前記記憶回路に対するランダムアクセス用のアドレスマッピング(第1のアドレス範囲)に対し、機能設定された機能再構成セルによる論理動作結果を取得するために機能再構成セルに割り当てたメモリマップドI/Oアドレスのようなアドレス(第2のアドレス範囲のアドレス)を個別化することにより、機能再構成セルに対する論理機能をダイナミックに再構成してもそれによる論理動作結果を取得するためのリードアドレスに変更を生ぜず、機能再構成セルに対する論理機能をダイナミックに再構成することが容易になる。

#### 【0138】

図21には機能再構成セル20における論理動作の基本概念が示される。制御回路24は条件COND=1で外部アドレスADR\_EXTであるアドレスYを記憶回路23のアクセスアドレスとし、条件COND=0の間は、制御情報DAT\_Cで決まる内部シーケンスにしたがってデータ情報DAT\_Dで指定されるアドレスによって記憶回路23をアクセスする。図22に例示されるように、内部シーケンスにしたがって処理Aを行っているとき、条件COND=0の間は内部シーケンスで規定されるデータ情報DAT\_Dにより指定されるアドレスに応じて処理Bに分岐することが可能であり、また、条件COND=1の時に外部アドレスADR\_EXTで指定される処理Cに分岐することも可能である。ここで、前記条件CONDは、前記CPU110などによる機能再構成モジュール114に対するアクセス形態によって決まる条件、更には、前記制御情報DAT\_Cで決まる条件として把握すればよい。

#### 【0139】

以上説明したマイクロコンピュータMCUによれば、中央処理装置110が生成した送信データに対してデータIDを用いたパケットの生成を管理でき、生成したパケットに対する送信の優先制御が可能であり、優先制御されたパケットを外部インタフェース回路に与えて、転送データに対するデータ制御を行うことができる。可変論理機能として設定される送信データ処理機能部120を入力データ判定部121、送信パケット生成部122、順序制御部123、及びパケット転送部124のように大別するから、データIDに対応するパケット生成論理機能が足りなければ論理機能の入れ換えを行なって対処することにより機能再構成のための限られたハードウェア資源の有効利用が容易になる。

#### 【0140】

さらに、受信したパケットのパケットIDに対応して受信データをデータIDで管理でき、データIDに対応する転送先の状態に応じて受信データの転送を制御することができる。可変論理機能として設定される受信データ処理機能部130を入力パケット判定部131、データ抽出部132、及びデータ転送部133に大別するから、パケットIDに対応するデータ抽出のための定義情報が足りなければ追加若しくは入れ換えを行なって対処すればよく、また、データIDに対応する転送先の定義情報が足りなければ追加若しくは入れ換えを行なって対処すればよく、機能再構成のための限られたハードウェア資源の有効利用が容易になる。

#### 【0141】

したがって、電子制御ユニットの限られたハードウェア資源を用いて、その拡張性を阻まず、しかも処理性能の低下を来たすことがないようにCANネットワークに対するマイ

10

20

30

40

50

クロコンピュータによる通信制御機能を実現することができる。さらに、ネットワークバスに複数の電子制御ユニットが接続されたCANネットワークシステムにおける通信制御機能の拡張性及び性能向上を両立することができる。

【0142】

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0143】

例えば、本発明が適用されるネットワークシステムや電子制御ユニットはCANネットワークや車載ECUに限定されず、種々のネットワークシステムに適用することができる。

10

【0144】

本発明にかかる半導体データ処理装置はシングルチップのマイクロコンピュータに限定されず、SoCの半導体集積回路、マルチチップのモジュールなどの形態として実現することも可能である。

【0145】

送信データ処理機能及び受信データ処理機能の具体的な論理構成は上記説明に限定されず適宜変更可能である。また、機能再構成モジュールに送信データ処理機能を設定し、受信データ処理機能をCPUのソフトウェア処理の負担させる形態、あるいは、機能再構成モジュールに受信データ処理機能を設定し、送信データ処理機能をCPUのソフトウェア

20

【符号の説明】

【0146】

- 100 CANバス(CANBUS)
- 101~105 電子制御ユニット(ECU)
- MCU マイクロコンピュータ
- 110 中央処理装置(CPU)
- 111 ROM
- 112 RAM
- 113 CANインタフェース回路(CANIF)
- 114 機能再構成モジュール
- 115 コントローラ(INTC)
- 117 内部バス
- 120 送信データ処理機能部
- 121 入力データ判定部
- 122 送信パケット生成部
- 123 順序制御部
- 124 パケット転送部
- 130 受信データ処理機能部
- 131 入力パケット判定部
- 132 データ抽出部
- 133 データ転送部
- 23 記憶回路(MRY)
- 24 制御回路(MCNT)
- 20 機能再構成セル(RCNFC)
- HL0~HLn、VL0~VLm 配線
- CARY 機能再構成アレイ
- 21 インタフェース制御回路(IFCNT)
- 140 デコーダ
- 141 データセレクタ

30

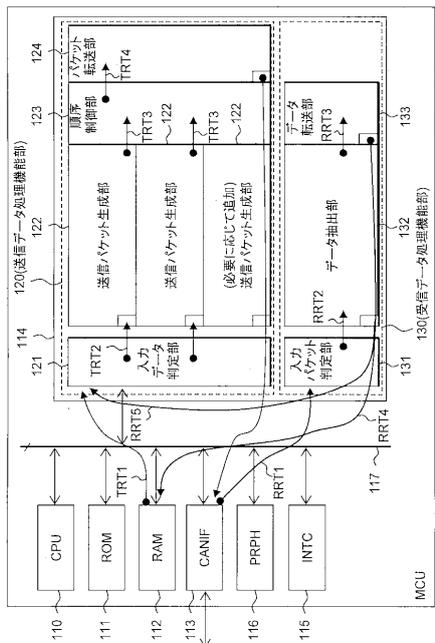
40

50

1 4 2	機能定義データインタフェース部	
1 4 3	ID対応テーブル	
1 4 5	セレクトゲート	
1 5 0	データ格納バッファ	
1 5 1	パック部	
1 5 2	パケットセクタ	
1 5 5	パケット情報テーブル	
1 5 6	パケットフォーマット情報	
1 5 8	アップデートビットレジスタ	
1 6 0	出力ゲート	10
1 6 1	イベント判定部	
1 6 2	タイマカウンタ部	
1 7 0	パケットバッファメモリ	
1 7 1	優先制御セクタ	
1 7 2	選択制御テーブル	
1 7 3	テーブル制御回路	
1 7 4	高優先検索回路	
1 7 5	低優先検索回路	
1 8 0	状態取得回路	
1 8 1	送信先情報生成回路	20
1 8 2	転送ゲート	
1 9 0	CANIDの判定回路	
1 9 1	データ抽出動作の判定回路	
1 9 3	転送ゲート	
2 0 0	データ格納バッファ	
2 0 1	パケットフォーマット情報	
2 0 2	アンパック部	

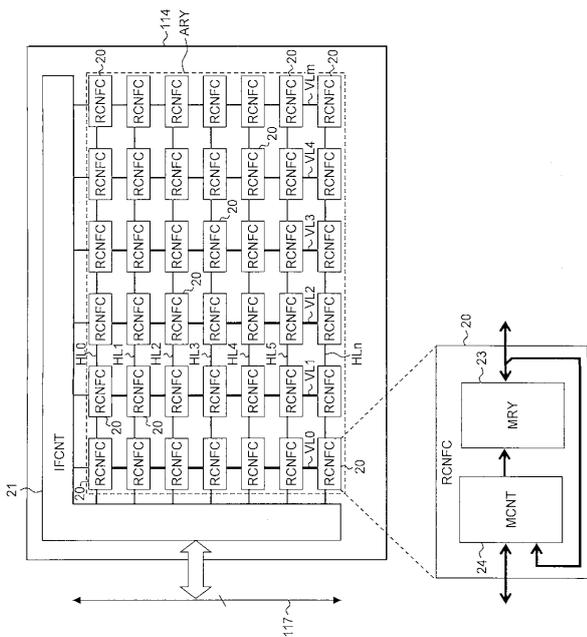
【図1】

図1



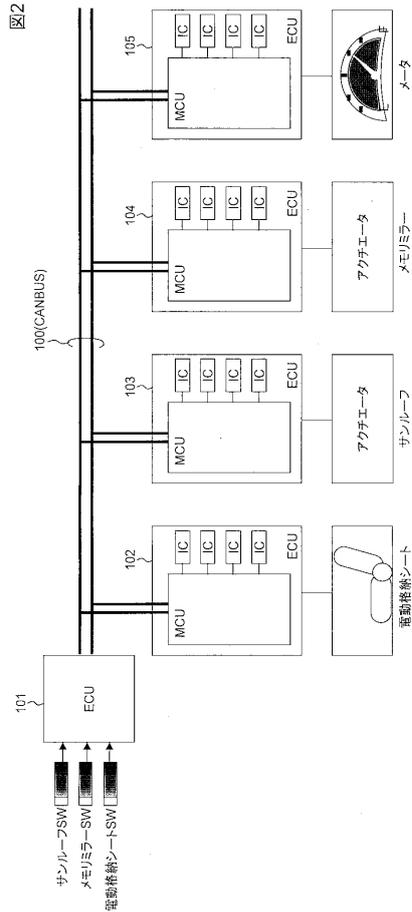
【図3】

図3



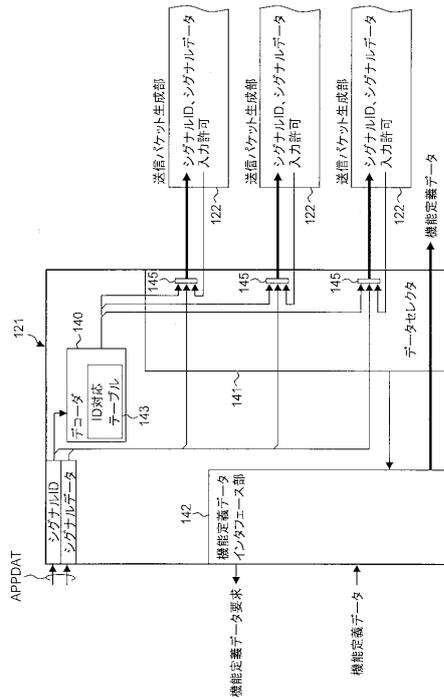
【図2】

図2



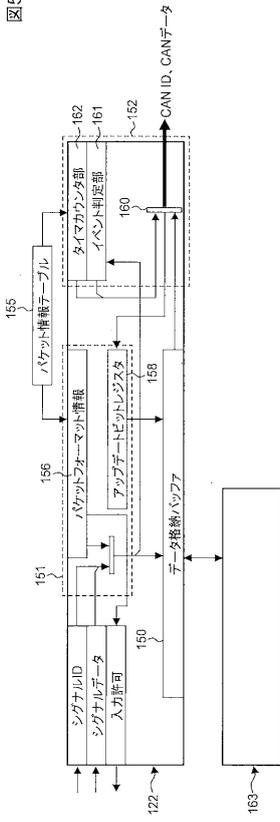
【図4】

図4



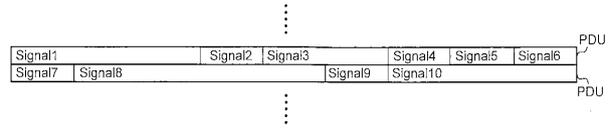
【 図 5 】

図5



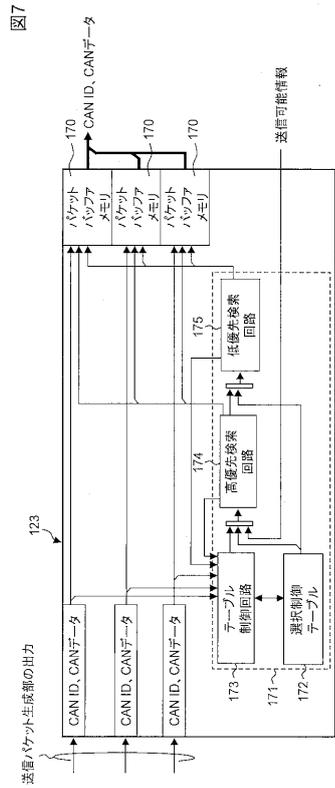
【 図 6 】

図6



【 図 7 】

図7



【 図 8 】

図8

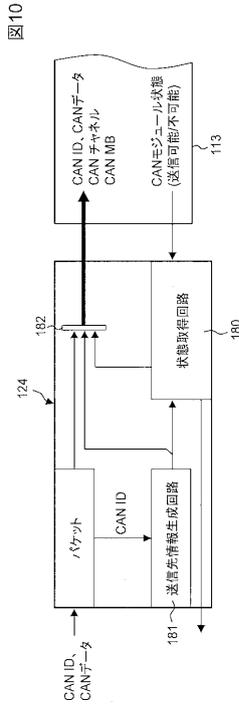
	発生タイミングNew(優先度ID)			
送信パケット生成部#1	2/100h	0	2/150h	0
送信パケット生成部#2	0	1/200h	0	1/200h
送信パケット生成部#3	1/300h	0	1/300h	0
				1/400h

← 同一タイミング

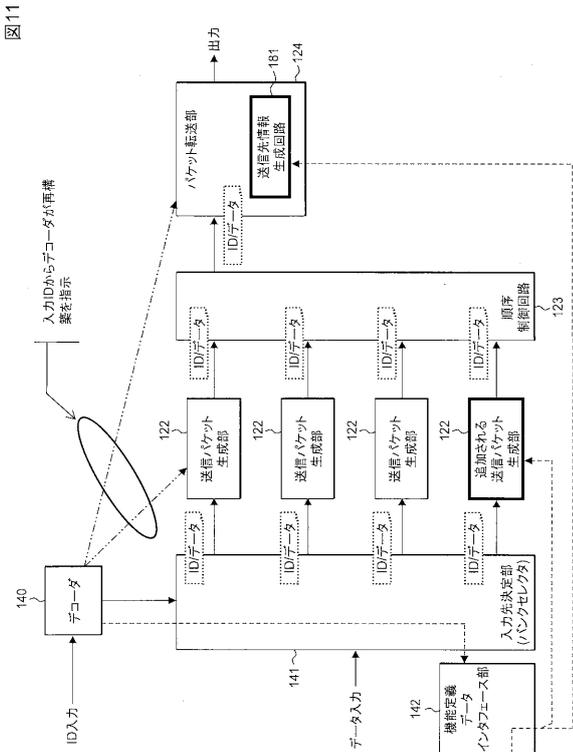
【 図 9 】



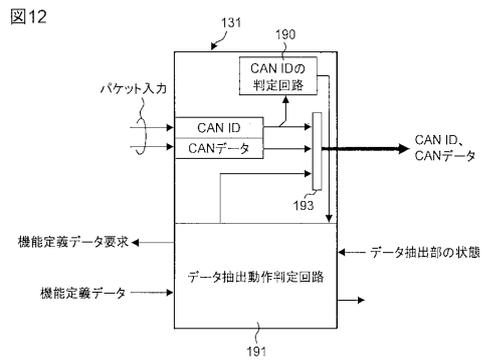
【 図 10 】



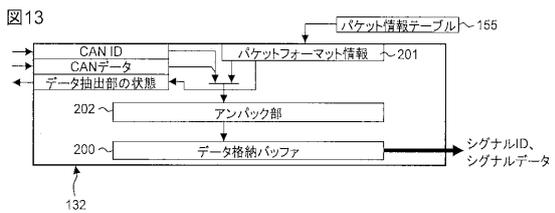
【 図 11 】



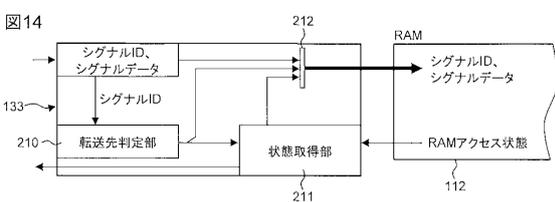
【 図 12 】



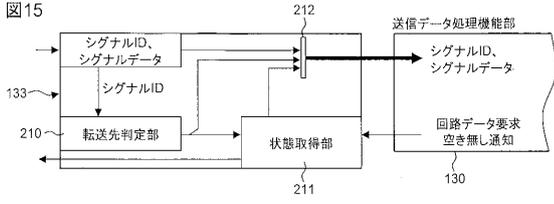
【 図 13 】



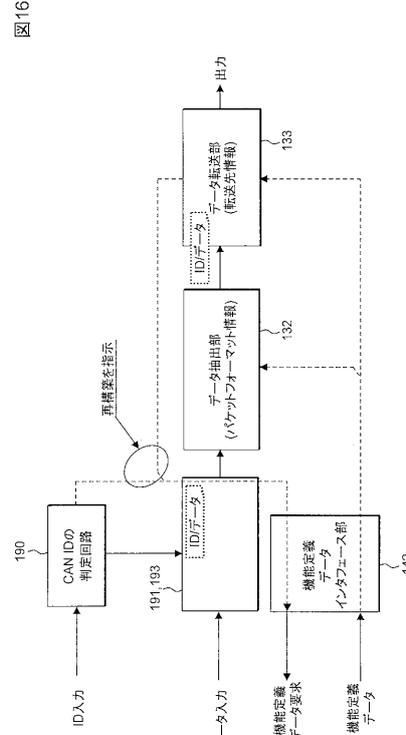
【 図 14 】



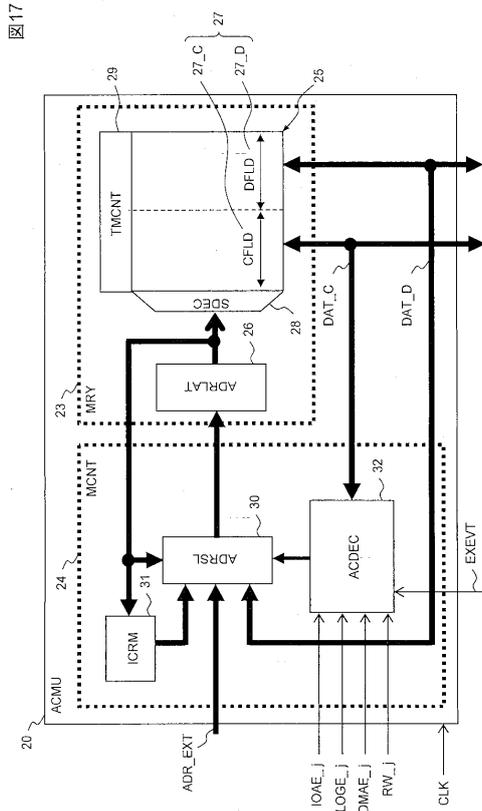
【 図 15 】



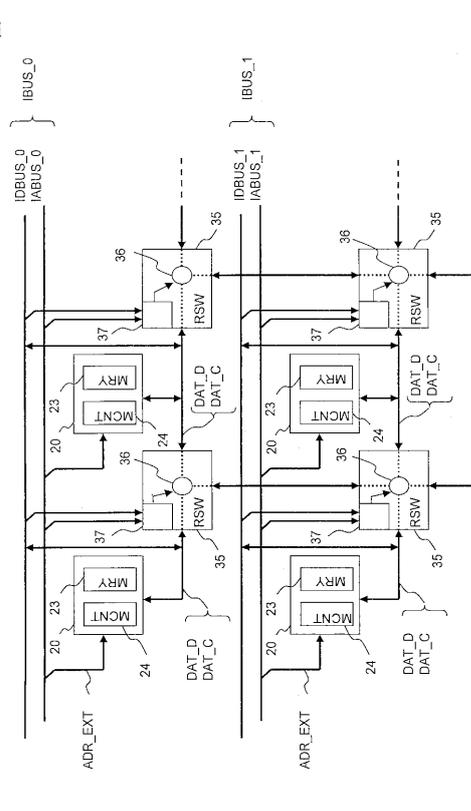
【 図 16 】



【 図 17 】

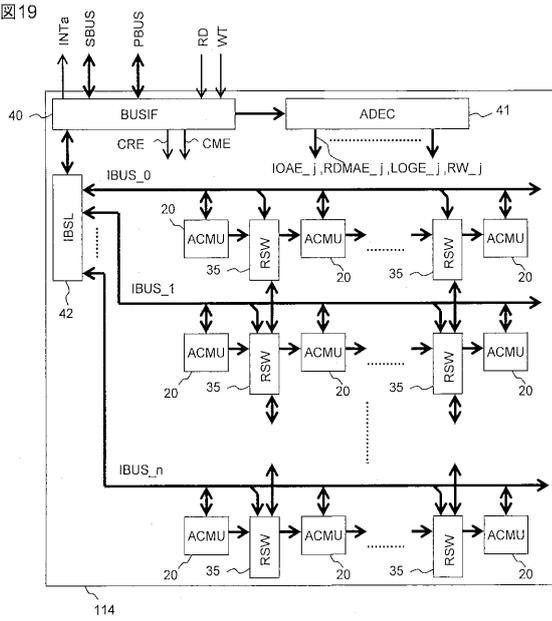


【 図 18 】



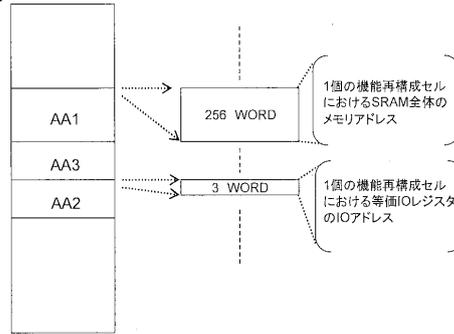
【 図 19 】

図19



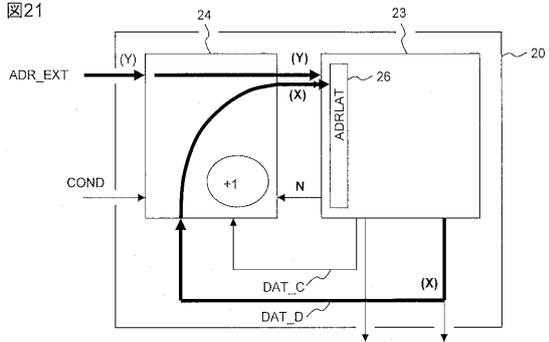
【 図 20 】

図20



【 図 21 】

図21



【 図 22 】

図22

