



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년02월27일
(11) 등록번호 10-1952873
(24) 등록일자 2019년02월21일

(51) 국제특허분류(Int. Cl.)
H01F 27/29 (2006.01) H01F 27/32 (2006.01)
(52) CPC특허분류
H01F 27/292 (2013.01)
H01F 17/0013 (2018.08)
(21) 출원번호 10-2017-0085286
(22) 출원일자 2017년07월05일
심사청구일자 2017년07월05일
(65) 공개번호 10-2019-0004914
(43) 공개일자 2019년01월15일
(56) 선행기술조사문헌
KR1020160031391 A*
KR1020160092779 A*
KR1020120122589 A*
KR1020150009391 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성전기주식회사
경기도 수원시 영통구 매영로 150 (매탄동)
(72) 발명자
윤찬
경기도 수원시 영통구 매영로 150 (매탄동)
심원철
경기도 수원시 영통구 매영로 150 (매탄동)
(74) 대리인
특허법인씨엔에스
(뒷면에 계속)

전체 청구항 수 : 총 16 항

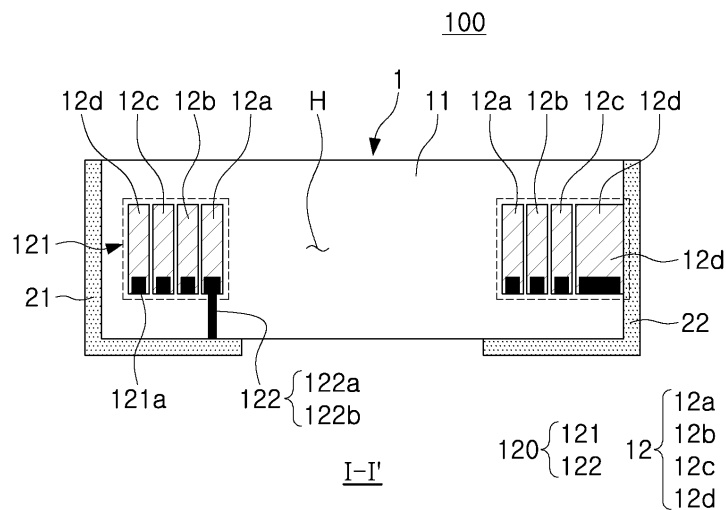
심사관 : 임영국

(54) 발명의 명칭 박막형 인덕터

(57) 요약

본 개시는 코일을 포함하는 바디와 상기 바디의 외부면 상의 제1 및 제2 외부전극을 포함하는 박막형 인덕터에 관한 것이다. 상기 바디 내의 코일은 상기 코일의 비아부를 통해 제1 외부전극과 연결되고 상기 코일의 인출부를 통해 제2 외부전극과 연결된다. 또한, 상기 코일은 상기 비아부를 제외한 코일 본체를 포함하는데, 상기 코일 본체는 복수의 코일 패턴을 포함하며, 각각의 코일 패턴 내 베이스 도체층과 도금층이 포함된다.

대표도 - 도2



(52) CPC특허분류

H01F 27/30 (2013.01)

H01F 27/32 (2013.01)

(72) 발명자

이동환

경기도 수원시 영통구 매영로 150 (매탄동)

안영규

경기도 수원시 영통구 매영로 150 (매탄동)

명세서

청구범위

청구항 1

코일을 봉합하는 자성 물질을 포함하는 바디; 및
 상기 바디의 외부면 상에 배치되는 제1 및 제2 외부전극; 을 포함하고,
 상기 코일은 코일 본체와 상기 외부전극과 상기 코일 본체를 서로 연결하는 비아부를 포함하고,
 상기 코일 본체는 시드 패턴으로서 기능하는 하부의 베이스 도체층과 상기 베이스 도체층을 시드로 하여 형성되는 상부의 도금층으로 구성되며,
 상기 비아부는 상기 베이스 도체층 및 상기 제1 외부전극과 직접 연결되는 박막형 인덕터.

청구항 2

제1항에 있어서,
 상기 바디는 비아부가 연장되는 방향을 따라 서로 마주하는 상면 및 하면을 포함하고,
 상기 제1 및 제2 외부전극은 상기 하면에서 서로 이격되도록 배치되는, 박막형 인덕터.

청구항 3

제2항에 있어서,
 상기 제1 및 제2 외부전극은 바디의 하면으로부터 그에 인접한 바디의 단면으로 연장되는, 박막형 인덕터.

청구항 4

제1항에 있어서,
 상기 코일은 절연층에 의해 감싸지며, 상기 절연층은 상기 코일과 상기 자성 물질 사이를 절연시키는, 박막형 인덕터.

청구항 5

제1항에 있어서,
 상기 비아부는 적어도 하나의 비아홀과 상기 비아홀을 충전하는 비아 전극을 포함하는, 박막형 인덕터.

청구항 6

제1항에 있어서,
 상기 코일 본체는 복수의 코일 패턴을 포함하고, 상기 복수의 코일 패턴 중 상기 비아부와 직접적으로 최내측 코일 패턴은 베이스 도체층을 통해 상기 비아부와 직접 연결되는, 박막형 인덕터.

청구항 7

제1항에 있어서,
상기 코일 본체의 하부의 적어도 일부에는 절연재가 잔존하는, 박막형 인덕터.

청구항 8

제7항에 있어서,
상기 절연재의 최대 두께는 30 μ m 이하인, 박막형 인덕터.

청구항 9

제7항에 있어서,
상기 절연재에서, 상기 제1 및 제2 외부전극과 서로 마주하는 절연재 하면의 표면 조도 (Ra_lower) 는 상기 절연재 하면과 마주하는 상면의 표면 조도 (Ra_upper) 보다 큰, 박막형 인덕터.

청구항 10

제1항에 있어서,
상기 코일 본체는 복수의 코일 패턴을 포함하고, 상기 복수의 코일 패턴 중 최외측 코일 패턴은 상기 코일의 인출부를 통해 상기 제2 외부전극과 직접 연결되는, 박막형 인덕터.

청구항 11

제10항에 있어서,
상기 인출부는 상기 비아부와 서로 직각을 이루면서 상기 바디의 외부면으로 노출되는, 박막형 인덕터.

청구항 12

제1항에 있어서,
상기 도금층은 이방 도금층을 포함하는, 박막형 인덕터.

청구항 13

제1항에 있어서,
상기 도금층의 코일 성장 방향은 상기 비아부가 연장되는 방향과 일치하는, 박막형 인덕터.

청구항 14

제1항에 있어서,
상기 제1 및 제2 외부전극은 L자형 전극인, 박막형 인덕터.

청구항 15

제1항에 있어서,

상기 코일의 상면은 위로 볼록한 곡선형인, 박막형 인덕터.

청구항 16

제1항에 있어서,

상기 박막형 인덕터는 칩 형태로 구성되며, 상기 칩의 전체 두께는 200 μ m 이상 300 μ m 이하인, 박막형 인덕터.

발명의 설명

기술 분야

[0001] 본 개시는 박막형 인덕터에 관한 것이며, 특히, 고용량의 파워 인덕터에 관한 것이다.

배경 기술

[0003] 인덕터는 저항, 커패시터와 더불어 전자회로를 이루어 노이즈를 제거하는 대표적인 수동소자로써, 전자기적 특성을 이용하여 커패시터와 조합하여 특정 주파수 대역의 신호를 증폭시키는 공진 회로, 필터 회로 등의 구성에 사용된다.

[0005] 최근 전자제품, 특히, 스마트폰이 진화함에 따라 고전류용, 고효율, 고성능화된 소형 사이즈의 박형화된 파워 인덕터의 수요가 증가하며, 1005 (폭x길이 1.0mm x 0.5mm) 0.5T (두께 0.5mm) 사이즈 정도의 Low Profile 파워 인덕터의 수요가 점차 증대되는 추세이다.

[0007] 그런데, 박막형 파워 인덕터는 기판 공정과 후 공정으로 나누어 지는데, 먼저, 약 60 μ m 두께의 CCL (Copper Clad Lamination) 기판 위에 Dry Film 을 노광/현상하고, 이어서, 도금 공정을 실시하는 것이다. 이후에 레이저 가공을 통하여 코일의 내부 외부에 관통홀을 형성하고 절연재 도포 후 기판 구조를 시트 형태의 금속-수지 복합체를 이용하여 가압 및 적층하여 충전한다. 그리고, 다이싱, 그라인딩, 외부전극 형성 공정을 통해 완성칩을 제작한다. 이처럼, 박막형 파워 인덕터의 경우, 기판의 상면 및 하면에 코일이 각각 형성되기 때문에, 기판, 상부 및 하부 코일들의 두께만으로도 상당한 두께가 요구되므로, Low Profile 의 박막형 인덕터를 구현하는데 한계가 있는 실정이다.

선행기술문헌

특허문헌

[0009] (특허문헌 0001) 일본특허공개공보 제1999-204337호

발명의 내용

해결하려는 과제

[0010] 본 개시가 해결하고자 여러 과제 중 하나는 소형화된 파워 인덕터, 특히, 칩의 두께를 현저하게 저감시켜 Low Profile 의 박막형 인덕터를 구현하고자 하는 것이다.

과제의 해결 수단

[0012] 본 개시의 일 실시예에 따른 박막형 인덕터에 의하면, 상기 박막형 인덕터는 자성 물질로 충전된 바디와 상기 바디의 외부면 상에 배치되는 제1 및 제2 외부전극을 포함한다. 상기 바디는 자성 물질과, 상기 자성 물질에 의해 충전된 코일을 포함하는데, 상기 코일과 상기 제1 외부전극은 상기 코일의 비아부를 통해 서로 직접 연결된다. 또한, 상기 코일은 박막형 인덕터 내 포함되는 것이므로, 시드 패턴으로서 기능하는 하부의 베이스 도체층과 상기 베이스 도체층의 위에 성장된 상부의 도금층으로 구성된다.

발명의 효과

[0014] 본 개시의 여러 효과 중 하나는 칩의 두께를 현저한 수준으로 저감시켜 0.2T (두께 0.2mm) 수준의 파워 인덕터를 제공할 수 있도록 한다.

도면의 간단한 설명

[0016] 도1 은 본 개시의 일 예에 따른 박막형 인덕터의 개략적인 사시도이다.
 도2 는 도1 의 I-I' 선을 따라 절단한 개략적인 단면도이다.
 도3 은 도2 의 일 변형예에 따른 박막형 인덕터의 개략적인 단면도이다.
 도4 는 도2 의 다른 변형예에 따른 박막형 인덕터의 개략적인 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0017] 이하, 구체적인 실시형태 및 첨부된 도면을 참조하여 본 개시의 실시형태를 설명한다. 그러나, 본 개시의 실시 형태는 여러가지 다른 형태로 변형될 수 있으며, 본 개시의 범위가 이하 설명하는 실시형태로 한정되는 것은 아니다. 또한, 본 개시의 실시형태는 당업계에서 평균적인 지식을 가진 자에게 본 개시를 더욱 완전하게 설명하기 위해서 제공되는 것이다. 따라서, 도면에서의 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있으며, 도면상의 동일한 부호로 표시되는 요소는 동일한 요소이다.

[0018] 그리고 도면에서 본 개시를 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하고, 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었으며, 동일한 사상의 범위 내의 기능이 동일한 구성요소는 동일한 참조부호를 사용하여 설명한다.

[0019] 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.

[0021] 이하에서는 본 개시의 일 예에 따른 박막형 인덕터를 설명하되, 반드시 이에 제한되는 것은 아니다.

[0023] 도1 은 본 개시의 일 예에 따른 박막형 인덕터의 개략적인 사시도이고, 도2는 도1 의 I-I' 선을 따라 절단한 단면도를 나타낸다.

[0025] 도1 및 도2 를 참조하면, 박막형 인덕터 (100) 는 바디 (1) 와 상기 바디의 외부면 상에 이격되어 배치되는 제1 및 제2 외부전극 (21, 22) 을 포함한다.

[0027] 상기 바디 (1) 는 칩 형태로 구성된 박막형 인덕터의 외관을 형성하며, 두께 (T) 방향으로 서로 마주하는 상면 및 하면, 길이 (L) 방향으로 서로 마주하는 제1 측면 및 제2 측면, 폭 (W) 방향으로 서로 마주하는 제1 단면 및 제2 단면을 포함하여, 실질적으로 육면체 형상을 포함할 수 있으나, 이에 제한되지 않는다.

[0029] 상기 바디 (1) 는 자성 물질 (11) 을 포함하는데, 예를 들어, 페라이트 또는 금속계 연자성 재료가 충전되어 형성될 수 있다. 상기 페라이트로 Mn-Zn계 페라이트, Ni-Zn계 페라이트, Ni-Zn-Cu계 페라이트, Mn-Mg계 페라이트, Ba계 페라이트 또는 Li계 페라이트 등의 공지된 페라이트를 포함할 수 있다. 상기 금속계 연자성 재료로는, Fe, Si, Cr, Al, 및 Ni 로 이루어진 군에서 선택된 어느 하나 이상을 포함하는 합금일 수 있고, 예를 들어, Fe-Si-B-Cr 계 비정질 금속 입자를 포함할 수 있으며, 이에 제한되는 것은 아니다. 상기 금속계 연자성 재료의 입경은 0.1 μm 이상 20μm 이하일 수 있으며, 에폭시 수지 또는 폴리이미드 등의 고분자 상에 분산된 형태로 포함될 수 있다.

[0031] 상기 바디 (1) 내에는 자성 물질에 의해 봉합되는 코일 (12) 이 포함되는데, 상기 코일 (12) 은 코일 본체 (121) 와 상기 코일 본체로부터 연장되는 비아부 (122) 를 포함한다.

[0033] 상기 코일 본체는 박막형 인덕터 내 포함되는 코일의 구성이므로, 시드 패턴으로서 기능하는 베이스 도체층 (121a) 과 상기 베이스 도체층 상에 형성되는 도금층 (121b) 으로 구성된다. 상기 도금층은 상기 베이스 도체층을 시드로 하여 이방 도금 및 등방 도금 중 하나 이상으로 형성된다. 도 2 에서는 상기 도금층 (121b) 이 이방 도금으로 구현되는 도금층인 것으로 예시하였으나, 이에 제한되는 것은 아니며, 당업자의 필요나 제조 조건에 따라 등방 도금을 먼저 실행한 후 이방도금을 실시할 수 있거나 2 차례 이상의 이방도금을 실시할 수도 있는 등, 도금층을 구현할 수 있는 순서 및 방법에는 제한이 없다. 상기 도금층 (121b) 전기 전도성이 뛰어난 금속을 포함하여 형성될 수 있으며, 예를 들어, 은 (Ag), 팔라듐 (Pd), 알루미늄 (Al), 니켈 (Ni), 티타늄 (Ti), 금 (Au), 구리 (Cu), 백금 (Pt), 또는 이들의 합금 등으로 구성될 수 있다. 그 구체적인 형성방법에는 제한이 없으

나, 예를 들어 전해 도금을 통해 형성할 수 있다.

- [0035] 다음, 상기 베이스 도체층 (121a) 도 물론 전기 전도성이 뛰어난 금속을 포함하여 형성될 수 있으며, 그 형성 방법에도 전해도금, 무전해도금, 및 스퍼터링 등을 채택할 수 있다. 상기 베이스 도체층 (121a) 는 제조 공정 중에 제거되는 지지 부재 상에 형성되기 때문에 베이스 도체층의 하면은 지지 부재 상면의 편평한 정도와 실질적으로 동일한 정도로 편평하다.
- [0037] 코일 (12) 은 복수의 코일 패턴 (12a, 12b, 12c, 12d ...) 을 포함하며, 상기 복수의 코일 패턴은 서로 연결되어 전체적으로 스파이럴 코일 형상을 가진다. 이 경우, 복수의 코일 패턴 중 관통홀 (H) 에 가장 가까운 최내측 코일 패턴 (12a) 은 비아부 (122) 와 연결되어 코일과 외부전극을 서로 연결하도록 한다. 상기 비아부 (122) 는 제조 공정 중 코일의 베이스 도체층과 동시에 형성되는 것이 바람직하므로, 상기 비아부를 구성하는 재질과 상기 코일의 베이스 도체층을 구성하는 재질은 실질적으로 동일하다. 또한, 구조에 있어서도, 상기 최내측 코일 패턴 (12a) 의 베이스 도체층 (121 b) 과 상기 비아부는 서로 경계면의 구별없이 연속적으로 구성된다.
- [0039] 상기 비아부 (122) 는 바디의 하면과 실질적으로 수직하도록 배치된다. 상기 바디의 하면 상에는 제1 및 제2 외부전극 (21, 22) 이 서로 이격되도록 배치되는데, 상기 비아부 (122) 는 상기 제1 외부전극 (21) 과 직접적으로 연결된다. 상기 비아부의 단면의 형상은 도시된 것과 같이, 직사각형일 수 있는 것은 물론이며, 아래로 갈수록 좁아지는 테이퍼드 형상 또는 위로 갈수록 좁아지는 역 테이퍼드 형상일 수도 있다.
- [0041] 또한, 상기 비아부 (122) 는 실질적으로 적어도 하나의 비아홀 (122a) 과 상기 비아홀을 충전하는 비아전극 (122b) 으로 구성되는데, 상기 비아홀을 형성할 때 결정되는 단면의 형상에 따라 비아부의 단면이 결정되는 것이다. 상기 비아부 (122) 는 복수 개의 비아홀과 그를 충전하는 비아 전극을 포함할 수 있기 때문에, 코일과 외부전극을 서로 연결할 때 비아 쇼트로 인한 신뢰성 저하를 개선할 수 있다.
- [0043] 상기 비아부 (122) 와 동일한 평면 상에는 자성 물질 (11) 이 충전된다. 통상적으로 비아부를 형성할 때, 지지 부재를 관통하는 비아홀을 형성한 후, 상기 비아홀의 내부를 전도성 물질로 충전하기 때문에, 비아부와 동일한 평면에는 지지 부재가 배치되는 것이 일반적이다. 그런데, 도2 에 도시된 박막형 인덕터 (100) 의 비아부 (122) 주변으로는 자성 물질 (11) 이 충전되기 때문에, 통상적인 지지 부재가 차지하는 부피만큼 자성 물질을 더 충전할 수 있는 것이다. 그 결과, 박막형 인덕터의 고 인덕턴스를 구현하는데 유리하다.
- [0045] 제1 외부전극 (21) 이 코일의 비아부를 통해 코일과 직접적으로 연결되는 것과 상이하게도, 제2 외부전극 (22) 은 코일의 코일 본체를 통해 코일과 직접적으로 연결된다. 상기 코일 내 복수의 코일 패턴 중 최외측 코일 패턴 (12d) 과 제2 외부전극 (22) 이 서로 직접적으로 연결된다. 상기 최외측 코일 패턴 (12d) 중 제2 외부전극과 가깝게 배치되는 최외측 코일 패턴 (12d) 은 코일의 인출부로 기능하는 것이다. 여기서, 코일의 인출부란, 코일 본체를 바디의 외부면으로 노출시켜 외부전극과 전기적으로 도통될 수 있도록 하는 구성이다.
- [0047] 한편, 도2 에서는 관통홀 (H) 을 중심으로 제1 단면쪽에 배치되는 복수의 코일 패턴 (12a, 12b, 12c, 12d ...) 과 제2 단면쪽에 배치되는 복수의 코일 패턴 (12a, 12b, 12c, 12d ...) 중 인출부를 제외한 코일 패턴들 각각의 폭(w) 이 실질적으로 동일하도록 도시되었다. 다만, 당업자는 제조 조건이나 요구하는 특성값을 고려하여 복수의 코일 패턴들 각각의 폭이나 두께 등에 차별화할 수 있으며, 예를 들어, 관통홀을 중심으로 제1 단면쪽에 배치되는 복수의 코일 패턴들의 폭을 제2 단면쪽에 배치되는 복수의 코일 패턴들의 폭에 비하여 더 좁게 할 수도 있다 (미도시).
- [0049] 다음, 제1 및 제2 외부전극 (21, 22) 을 살펴보면, 상기 제1 및 제2 외부전극은 전체적으로 알파벳 L자형 형상을 가질 수 있다. 이는, 제1 외부전극은 바디의 하면으로 노출되는 비아부를 통해 코일과 연결되고, 제2 외부전극은 바디의 제2 단면으로 노출되는 인출부를 통해 코일과 연결되므로, 제1 외부전극의 적어도 일부는 바디의 하면에 배치되어야 하며, 제2 외부전극의 적어도 일부는 바디의 제2 단면에 배치되어야 하는 것을 고려하여 도출된 구조이다. 제1 및 제2 외부전극이 바디의 외부면 상에서 대칭적으로 구성되도록 하기 위하여, 제1 및 제2 외부전극이 바디의 하면의 적어도 일부로부터 각각 바디의 제1 단면의 적어도 일부와 제2 단면의 적어도 일부로 연장되도록 한 것이다. 다만, 외부전극의 형상이 L 자형으로 제한되는 것은 아니며, 알파벳 C자형일 수 있고, 제1 외부전극은 하면에만 배치되도록 하면서, 제2 외부전극은 제2 단면에만 배치되도록 할 수도 있음은 물론이다.
- [0051] 다음, 도3 은 도1 및 도2 의 박막형 인덕터 (100) 에 대한 일 변형예에 따른 박막형 인덕터 (200) 의 개략적인 단면도이다. 설명의 편의를 위하여 도1 및 도2 의 박막형 인덕터와 중복되는 설명은 생략하도록 하며, 중복되는 구성에 대해서는 동일한 도면부호를 사용한다.

- [0053] 도3 을 참조하면, 코일 (12) 의 하면, 즉, 비아부와 동일한 평면 중 적어도 일부에는 절연재 (3) 가 배치된다. 상기 절연재 (3) 는 제조 공정의 일 단계 중 코일을 형성시킨 후, 지지 부재를 제거하는 공정에서 지지 부재가 완전히 제거되지 않고 잔존하도록 한 것이다. 상기 절연재 (3) 는 도3 에 예시된 것과 같이 코일의 하면에서 연속적으로 구성될 수 있으며, 코일의 하면의 일부 영역에서는 불연속적으로 구성될 수도 있다.
- [0055] 상기 절연재 (3) 가 연속적으로 구성되거나 불연속적으로 구성되는 것과 무관하게, 상기 절연재 (3) 의 최대 두께는 30 μ m 이하인 것이 바람직하다. 상기 절연재의 최대 두께가 30 μ m 를 넘는 경우, Low Profile 의 칩 구조를 구현하는 조건에서 코일의 종횡비 (AR, Aspect Ratio) 및 고용량을 구현하는데 한계가 발생한다.
- [0057] 상기 절연재 (3) 는 지지 부재를 제거하는 공정을 거친 후 잔존하는 영역이므로, 절연재 (3) 의 상면 (3a) 및 하면 (3b) 의 표면 조도 (Ra) 가 서로 상이할 수 있다. 상면의 표면 조도 (Ra_upper) 가 하면의 표면 조도 (Ra_lower) 에 비해 더 작아서 편평한 면으로 구현될 수 있다. 반면, 하면의 표면 조도 (Ra_lower) 는 레이저 혹은 습식 에칭 (wet etching) 의 실행으로 형성되는 일부 요철 등에 의해, 상면의 표면 조도 (Ra_upper) 에 비해 전체적으로 큰 표면 조도를 포함할 수 있다. 상기 하면의 표면 조도가 상대적으로 크기 때문에 자성 물질이 충전될 때, 자성 물질과 코일 간 보다 안정적인 봉합이 가능할 수 있다.
- [0059] 한편, 도1 및 도2 에 도시된 박막형 인덕터 (100) 와 도3 에 도시된 박막형 인덕터 (200) 는 칩 부품으로 구성되는데, 전체적인 칩 부품의 두께 (T1, T2) 가 200 μ m 내지 300 μ m 인 것이 바람직하다. 이는, 전체적인 칩 부품의 두께가 상당히 저감된 Low Profile 의 박막형 인덕터인 것을 의미하는데, 통상적으로 대략 60 μ m 를 차지하는 기관의 상당 부분을 제거하여 제거된 여유 공간 내로 자성 물질을 더 충전할 수 있고, 코일의 두께를 더 확보할 수 있기 때문에 가능한 구조이다.
- [0061] 다음, 도4 는 도1 및 도2 의 박막형 인덕터와 대비하여 도금층의 형상이 상이한 박막형 인덕터 (300) 의 개략적인 단면도이다. 설명의 편의를 위하여 도1 및 도2 의 박막형 인덕터와 중복되는 설명은 생략하도록 하며, 중복되는 구성에 대해서는 동일한 도면부호를 사용한다.
- [0063] 도4 를 참조하면, 코일의 도금층 (321b) 의 상면은 곡선형으로 구성된다. 이는 도금층을 형성할 때 도금속도 및 도금액의 종류를 적절히 선택하여 구성할 수 있다. 코일의 도금층 (321b) 은 베이스 도체층 (121a) 의 상면에 배치되며, 구체적으로는 등방 도금층 (321b1) 과 그 위로 구성되는 이방 도금층 (321b2) 로 구성된다. 이 경우, 상기 코일의 도금층과 자성 물질 (11) 간 서로 절연되도록 하는 추가의 절연층 (3) 이 배치될 수 있는데, 상기 절연층은 상기 도금층의 표면의 형상을 따라 소정의 두께로 구성된다. 구체적인 두께에는 한정이 없으며, 코일과 자성 물질 간의 절연을 이룰 수 있는 정도이면 충분하며 칩의 전체 두께 등을 고려하여 10 μ m이하로 구성되는 것이 바람직하다.
- [0065] 상술한 박막형 인덕터 (100, 200, 300) 은 코일의 일 단부 (비아부) 는 바디의 하면의 제1 외부전극과 연결되도록 하고, 타 단부 (인출부) 는 바디의 제2 단면의 제2 외부전극과 연결되도록 하는 구조를 통해 칩 두께를 현저히 저감시킬 수 있도록 하면서도, 고용량 및 고전류 특성을 모두 만족시킬 수 있다.
- [0067] 본 개시는 상술한 실시 형태 및 첨부된 도면에 의해 한정되는 것이 아니며, 첨부된 청구범위에 의해 한정하고자 한다. 따라서, 청구범위에 기재된 본 개시의 기술적 사상을 벗어나지 않는 범위 내에서 당 기술분야의 통상의 지식을 가진 자에 의해 다양한 형태의 치환, 변형 및 변경이 가능할 것이며, 이 또한 본 개시의 범위에 속한다고 할 것이다.
- [0068] 한편, 본 개시에서 사용된 "일 예"라는 표현은 서로 동일한 실시 예를 의미하지 않으며, 각각 서로 다른 고유한 특징을 강조하여 설명하기 위해서 제공된 것이다. 그러나, 상기 제시된 일 예들은 다른 일례의 특징과 결합되어 구현되는 것을 배제하지 않는다. 예를 들어, 특정한 일예에서 설명된 사항이 다른 일예에서 설명되어 있지 않더라도, 다른 일예에서 그 사항과 반대되거나 모순되는 설명이 없는 한, 다른 일예에 관련된 설명으로 이해될 수 있다.
- [0070] 한편, 본 개시에서 사용된 용어는 단지 일예를 설명하기 위해 사용된 것으로, 본 개시를 한정하려는 의도가 아니다. 이때, 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.

부호의 설명

- [0072] 100, 200, 300 : 박막형 인덕터
- 1 : 바디

21, 22 : 제1 및 제2 외부전극

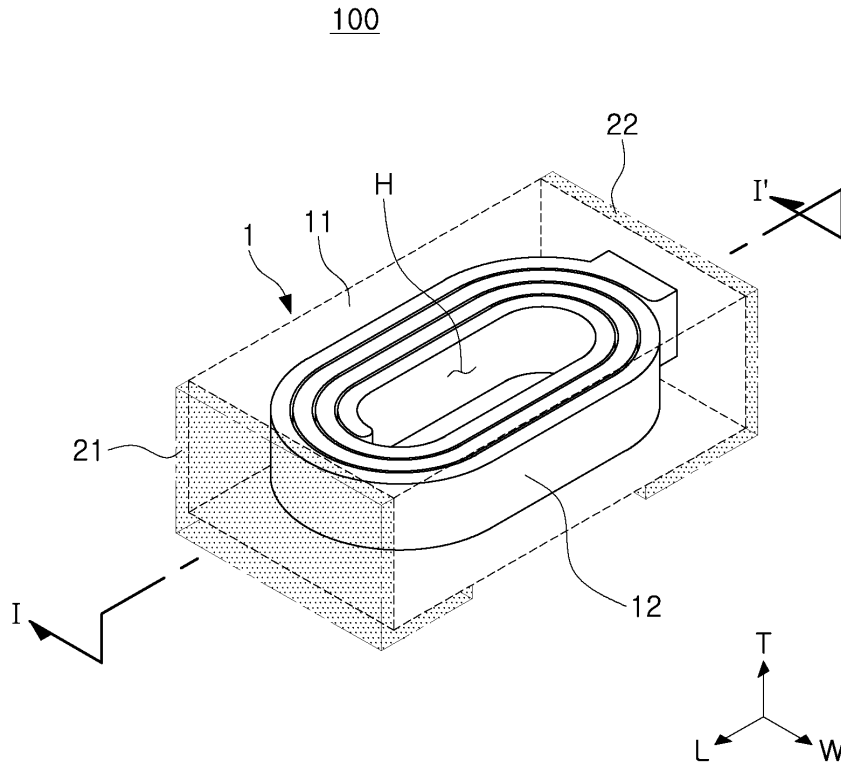
11: 자성 물질

12: 코일

3 : 절연층

도면

도면1



도면2

