

公告本

申請日期	91.2.8
案 號	91102407
類 別	H01L 27/115

A4
C4

(以上各欄由本局填註)

584961

發 明 專 利 說 明 書

一、發明名稱	中 文	半導體記憶元件、半導體裝置及其控制方法
	英 文	SEMICONDUCTOR MEMORY ELEMENT, SEMICONDUCTOR DEVICE AND CONTROL METHOD THEREOF
二、發明人	姓 名	1.長部 太郎 TARO OSABE 2.石井智之 TOMOYUKI ISHII
	國 籍	1-2均日本 JAPAN
	住、居所	1-2均日本國東京都千代田區丸內一丁目5番1號新丸大樓日立製作所股份有限公司知的財產權本部 HITACHI, LTD., INTELLECTUAL PROPERTY GROUP NEW MARUNOUCHI BLDG. 5-1, MARUNOUCHI 1-CHOME, CHIYODA-KU, TOKYO, JAPAN
三、申請人	姓 名 (名稱)	日商日立製作所股份有限公司 HITACHI, LTD.
	國 籍	日本 JAPAN
	住、居所 (事務所)	日本國東京都千代田區神田駿河台四丁目6番地 6, KANDA SURUGADAI 4 - CHOME, CHIYODA-KU, TOKYO 101-8010, JAPAN
	代 表 人 姓 名	庄山悅彥 ETSUHIKO SHOYAMA

裝
訂
線

(由本局填寫)

承辦人代碼：
大類：
I P C 分類：

A6

B6

本案已向：

國(地區) 申請專利, 申請日期: 案號: , 有 無主張優先權
 日本 2001年08月24日 特願2001-253887 有 無主張優先權

有關微生物已寄存於: 寄存日期: , 寄存號碼:

裝

訂

線

五、發明說明 (1)

發明背景

本發明係關於半導體記憶元件及半導體裝置。

近年來，半導體非揮發性記憶體之快閃記憶體已逐漸被引進使用於許多機器中，作為程式儲存用或資料儲存用等用途。價格的問題為此快閃記憶體迫切需要解決之課題之一，與其他媒體，例如硬碟、光碟、DVD（數位影音光碟）等相比，快閃記憶體單位容量之價格高出數倍以上，因此，低價格化乃成為一般要求之重要課題。為謀求低價格化，減少晶片面積最為有效。對此，以往一直有人從事縮小記憶單元面積之研究，該研究係利用微細化技術，以物理的方法實現縮小記憶單元尺寸之目的。此種利用微細化技術縮小記憶單元尺寸之例子，有IEEE（美國電氣與電子工程師學會）1996年出版之國際固態電路會誌Internation Solid-State Circiut Conference1996，p32-33所載之資料。或者也有人實際使用所謂多值記憶技術，將記憶於每一記憶元件之資訊設為2位元，以實效地減少每1位元之記憶單元面積。多值記憶之以往技術例，有T. Jung et al., IEEE International Solid-State Circiut Conference1996，p32-33所載之資料。

發明概述

為確保可靠性，在快閃記憶體中，不能在薄膜厚度方向施行比例描繪，因此，不能達成使用電壓之低電壓化。又，同樣為確保可靠性，必須使電子經由直接將難以引起電荷漏泄之矽基板熱氧化所製成之氧化膜移動，故不能避

五、發明說明 (6)

有周邊電路構成變得更複雜之難處。

資訊“0”之寫入係利用由電荷蓄積區域A8引導至閘極A9之方式進行。具體而言，係利用將0V施加至源極區域A4及汲極區域A5，將正電位脈衝（例如10V）施加至閘極A9，使電子由電荷蓄積區域穿過絕緣膜A10中而引導至閘極A9之方式。資訊“0”之寫入與通常之快閃記憶體同樣，也可將負的電壓脈衝（例如-10V）施加至閘極，並由電荷蓄積區域使電子穿過絕緣膜A7而引導至基板。但此情形必須利用負的電壓脈衝，故有周邊電路更為複雜之缺點。又，在本實施例中，資訊“0”之寫入與資訊之消除實質上相同。

多次之資訊之改寫係指施加多次之電壓應力之意。此電壓應力之累積會使SiO₂所形成之絕緣膜性能轉差，在低電場下也容易引起電子之漏泄。性能轉差之程度，在CVD所形成之SiO₂之情形要比將基板氧化所形成之SiO₂之情形激烈。因此，在通常之快閃記憶體中，為安定地蓄積電荷，在資訊改寫時，只能對將基板氧化所形成之SiO₂膜施加電壓應力。即為確保可靠性，電子之移動必須限定於基板與電荷蓄積區域之間。

對此，在本實施例中，電荷蓄積區域係由多數矽微小結晶粒所形成，電壓應力之累積導致絕緣膜性能轉差，在低電場下引起電子之漏泄之後，其所漏泄的也僅係存在於此漏泄通路上之矽微小結晶粒所蓄積之電荷而已，其他大部分之矽微小結晶粒都能持續安定地保持電荷，就整個元件

五、發明說明 (7)

而言，具有良好之電荷保持特性。因此，即使將電壓應力施加至抗電壓應力性較弱之CVD所形成之SiO₂，在本實施例中，也可確保與通常之快閃記憶體相同程度之電荷保持特性。即不僅在基板與電荷蓄積區域之間，連電荷蓄積區域至閘極之間，電子也可通暢地移動。

其次說明讀出動作。例如將2V施加至汲極區域，將0V施加至源極區域，將2V之讀出脈衝施加至閘極A9。臨限值電壓因植入於電荷蓄積區域A8之電荷量大小而異，資訊“0”寫入時之汲極電流大於資訊“1”寫入時之汲極電流，故可分別讀出資訊“0”與資訊“1”。讀出動作也可將施加至汲極區域與源極區域之相關電壓替代為將0V施加至汲極區域，將2V施加至源極區域，將2V施加至閘極。

在本實施例中，資訊“1”、資訊“0”之寫入及讀出所使用之相關電壓可歸納成如表1所示。

表1

	源極電壓	汲極電壓	閘極電壓
“1”寫入	0V	5V	5V
“0”寫入 (資訊消除)	0V	0V	10V
讀出	0V	2V	2V

在通常之快閃記憶體中，資訊“0”之寫入係利用將負的電位施加至閘極，使電子穿過絕緣膜A7中而引導至基板之方式進行。為了將電子引導至基板，施加至閘極之電位

五、發明說明 (8)

必須較大，且其極性與資訊“1”之寫入所使用之電位相反，因此，電源產生電路較複雜，且會導致晶片尺寸之增大，甚至於成本的增加。

在本實施例中，資訊“1”、資訊“0”之任何寫入及讀出均只需施加同極性之同程度大小之電位即可，故電源產生電路較單純，可大幅縮小周邊電路面積。

(實施例2)

圖3係表示本發明之實施例2之記憶元件之剖面構造圖。

記憶元件具有設在p型阱A11上之n型源極區域A12及汲極區域A13，在通道A14、A15上經由厚5 nm之絕緣膜A16排列著多數構成電荷蓄積區域之平均粒徑10 nm之矽微小結晶粒A17，並設有控制通道之一部分A15與矽微小結晶粒A17之電位之n型多晶矽之第一閘極A18，矽微小結晶粒A17與第一閘極A18係利用由下而上依序為厚3 nm之SiO₂、厚6 nm之Si₃N₄、厚3 nm之SiO₂之所謂ONO構造之絕緣膜A19所構成。另外，有控制通道區域之一部分A14之電位之第二閘極A20。

對應於圖3之電路圖之表現情形如圖4所示。在此圖中附上分別對應於第一閘極A18、第二閘極A20、源極A12、汲極A13、由矽微小結晶粒所構成之電荷記憶區域A17。

其次說明本實施例之動作。在本實施例中，係使用第二閘極A20作為輔助電極，以便高效率地將熱電子植入電荷記憶區域A17中。

首先，說明寫入動作。依照希望寫入之資訊設定施加至

五、發明說明 (9)

汲極區域A13之電壓。在此，使植入較多之電荷之條件對應於資訊“1”，使植入電荷較少之狀態對應於資訊“0”。寫入資訊“1”時，先設定汲極電壓（例如為5V），以便可形成產生熱電子之充分的電場，並將0V施加至源極區域A12，將第二閘極A20設定於既定之電壓（例如為2V），將高於第二閘極A20之電壓（例如為7V）之寫入脈衝施加至第一閘極A18，此時，第二閘極A20下之基板表面A14之電阻大於第一閘極A18下之基板表面A15之電阻，因此，源極、汲極間電壓幾乎大部分被施加至第二閘極A20下之基板表面A14。又，在第二閘極A20下之基板表面A14，接近於汲極A13側的電位較高，實效的閘極電壓變低，故呈現高電阻。故在第二閘極A20下之基板表面A14接近於汲極A13之端產生熱電子之量更多。產生之熱電子在第一閘極A18形成之電場向電荷蓄積區域A17方向被加速而產生植入作用。植入處集中於第一閘極A18下方接近於第二閘極A20之處A21。此時，流過源極、汲極間之電流因第二閘極A20下之基板表面A14之電阻較高，故其電流比不設輔助電極之構造的情形為小，因此，只要有少的電流，即可施行高效率之植入動作，從而可簡化周邊電路，尤其可簡化電源產生電路之構造。

資訊“0”之寫入係利用將正電壓施加至第一閘極A18使其產生高電場，藉以將電荷蓄積區域A17所蓄積之電子引導至第一閘極A18之方式進行。相關電壓之設定例如：將第一閘極A18設定為12V，將源極A12、汲極A13、第二閘

五、發明說明 (10)

極A20設定為0V。

資訊“0”之寫入也可採用將正電壓施加至第二閘極A20使其產生高電場，藉以將電荷蓄積區域A17所蓄積之電子引導至第二閘極A20之方式。此時，相關電壓之設定例如：將第二閘極A20設定為12V，將源極A12、汲極A13、第一閘極A18設定為0V。又，在本實施例中，資訊“0”之寫入與資訊之消除實質上相同。

其次，說明讀出動作。例如將汲極電壓設為2V，將源極電壓設為0V，將第二閘極A20電壓設為3.5V，將2V之讀出脈衝施加至第一閘極A18。臨限值電壓因植入於電荷蓄積區域A17之電荷量大小而異，記憶“0”之汲極電流大於記憶“1”之汲極電流，故可施行讀出動作。讀出動作也可將施加至汲極區域與源極區域之相關電壓替換為將0V施加至汲極區域，將2V施加至源極區域，將2V施加至第一閘極，將3.5V施加至第二閘極。

上述資訊“1”寫入、資訊“0”寫入及讀出時之電壓例可歸納成表2。在此等動作中，施加至各端子之電位全部為0或極性相等之電位。

五、發明說明 (11)

表 2

	源極電壓	汲極電壓	第一開極 電壓	第二開極 電壓	備 考
“1” 寫入	0V	5V	7V	2V
“0” 寫入 (資訊消除)	0V	0V	12V	0V	引導至 A18
	0V	0V	0V	12V	引導至 A20
讀 出	0V	2V	2V	3.5V

在通常之快閃記憶體中，資訊“0”之寫入係利用將負的電位施加至開極，使電子穿過絕緣膜中而引導至基板之方式進行。為了將電子引導至基板，施加至開極之電位必須較大，且其極性與資訊“1”之寫入所使用之電位相反，因此，電源產生電路較複雜，且會導致晶片尺寸之增大，甚至於成本的增加。

在本實施例中，資訊“1”、資訊“0”之任何寫入及讀出均只需施加同極性之同程度大小之電位即可，故電源產生電路較單純，可大幅縮小周邊面積。

(實施例3)

茲說明本發明之實施例3之記憶裝置。元件之基本構成與實施例1相同，元件單獨之動作也相同，但因元件之連接關係之不同而在動作方法上具有其特徵。圖5係表示本實施例3之記憶裝置之等效電路圖。為便於說明起見，僅對排列在中央之記憶單元附上A70、A80及A81之參照號

五、發明說明 (12)

碼，同時以一點短劃線圈起來表示。又，在記憶單元A70之方面，以圖2所示參照號碼對應於各構成要素之方式，附上源極A4、汲極A5、閘極A9及電荷蓄積區域A8。A71及A76為資料線，係被連接於閘極A9；A73及A74為源極線，係被連接於源極A4；A72及A75為字線，係被連接於閘極A9。實際上可構成更大規模之記憶單元陣列，但在此為便於說明起見，僅顯示3x3之小規模之記憶單元陣列。

其次，說明本實施例之驅動方法。在本實施例中，將蓄積電荷量較多之狀態設為資訊“1”，將蓄積電荷量少於資訊“1”之狀態設為資訊“0”。首先，說明資訊之寫入動作。在將資訊寫入單元A70之動作中，將源極線A73設定為0V，將資料線A71之電壓依照希望寫入之資訊設定在適當值，例如在資訊“0”時，設定為0V，資訊“1”時，設定為5V，並將電壓脈衝（例如12V）施加至字線A72。資料線電壓設定於0V時，幾乎不產生熱電子，因此，電荷植入電荷蓄積區域之量較少，資料線電壓設定於5V時，電荷植入量較多。此時，在被同一字線A72所驅動之其他單元方面，也可將所連接之資料線A76之電壓依照希望寫入之資料設定在適當值，例如在資訊“0”時，設定為0V，資訊“1”時，設定為5V，而可同時寫入資訊。在此，“0”寫入時，電荷不被植入，因此同等於不施行寫入動作，故也可僅以同一字線所驅動之單元之一部分施行資訊寫入動作。又，在其他字線方面，如果其電壓設定在比連接於選擇之記憶單元之字線的電壓為低（例如0V），則不

五、發明說明 (13)

施行寫入動作。

資訊之消除動作係在同一字線A72所驅動之單元A80、A70、A81整批地進行。具體而言，係將正的電壓脈衝（例如16V）施加至字線A72，而將電荷蓄積區域所蓄積之電荷引導至字線，以施行資訊之消除。此時，如事先將源極線A73、A74、資料線A71、A76設定為0V或將0V施加至源極線、資料線中任一方時，即使將另一方事先設為開放狀態，在動作上也無問題，可實現以對字線施加正電壓方式（此方式為通常之快閃記憶體基於可靠性之觀點而一直避免實施者）施行資訊消除之理由與實施例1相同。

又，在已寫入“1”之記憶單元方面，利用將正的電壓（例如16V）施加至字線A72，以施行資訊之消除時，可將寫入後之剩餘電荷引導至字線A72的理由一如前面所述。資訊消除後，再對字線繼續施加正的電壓時，則改由基板側開始將電荷植入電荷蓄積節點，當電荷由基板側植入電荷蓄積區域之速度、與電荷由電荷蓄積區域引導至字線之速度達到平衡時，電荷蓄積區域所蓄積之電荷量即不會隨時間而變化。已寫入“0”之記憶單元的情形也一樣，電荷由基板側植入與電荷引導至字線達到平衡時，電荷蓄積區域所蓄積之電荷量也會隨時間而保持一定。即，不管對已寫入“1”之記憶單元或對已寫入“0”之記憶單元，只要施行過剩消除，記憶單元所蓄積之電荷數均可收斂於一定之數。此現象表示各記憶單元之特性具有自我收斂之意。因此，不會發生通常之快閃記憶體所可能引起之

五、發明說明 (14)

不良現象，即不會發生引導的電荷過多導致記憶單元呈現經常保持通電狀態之不良現象。通常之快閃記憶體因不能確保可靠性，故無法如本實施例1般，以經由CVD形成之 SiO_2 層之形式，將電荷由基板通至字線，而自我收斂地具備消除特性。如本實施例所述，本發明由於將電荷蓄積於分散之多數電荷蓄積區域，在可靠性獲得確保之情況下，才能施行將電荷由基板通至字線之動作。

其次，以記憶單元A70為例說明資訊讀出之情形。為讀出資訊，將源極線A73設定於0V，將資料線A71之電壓預充電至高於源極線A73之電壓之電壓（例如3V），然後，將正電壓（例如2V）之讀出脈衝施加至字線A72。此時，資訊“1”被寫入記憶單元A70，臨限值電壓高時，電流不太會流通，資料線A71之電位不會由預充電電壓發生太大之變動，相對地，資訊“0”被寫入記憶單元A70，臨限值電壓低時，會有大電流通，資料線A71之電位會由預充電電壓大幅下降。此資料線之一端連接於讀出放大器，可將此電壓之變動放大，以讀出資訊。

(實施例4)

其次，說明本發明之實施例4之記憶裝置。元件之基本構成與實施例1相同，元件單獨之動作也相同，但特徵在於元件之連接關係上。圖6係表示本實施例之記憶裝置之等效電路圖。為便於說明起見，僅對排列在中央之記憶單元附上A110之參照號碼，同時以一點短劃線圈起來表示。又，在記憶單元A110之方面，以圖2所示參照號碼對應於

五、發明說明 (15)

各構成要素之方式，附上源極A4、汲極A5、閘極A9及電荷蓄積區域A8。實際上可構成更大規模之記憶單元陣列，但在此為便於說明起見，僅顯示3x3之小規模之記憶單元陣列。

在本實施例中，多數記憶元件之源極區域、汲極區域共同被擴散層所連接而形成局部源極線A101及局部資料線A102、A108。局部源極線A101經由選擇電晶體A106連接至源極線A104。局部資料線A102、A108經由選擇電晶體A105而連接至資料線A107。與實施例3相比，雖需要選擇電晶體A105、A106，但因只要對同一局部源極線A101、同一局部資料線A102、A108所驅動之多數記憶單元共通設置即可，記憶單元面積之增加實質上可加以忽略。反之，因利用擴散層連接各記憶單元，可降低資料線接觸點之數，故可縮小記憶單元之面積，記憶容量大時，對成本之降低大為有效。

其次，說明本實施例之驅動方法。首先，說明寫入動作。在對記憶單元A110之寫入動作中，將驅動電壓施加至選擇電晶體A105、A106之閘極線A121、A122，使選擇電晶體A105、A106通電，將源極線A104設定為0V，將資料線A107之電壓依照希望寫入之資訊設定在適當值，例如在資訊“0”時，設定為0V，資訊“1”時，設定為5V，並將高電壓脈衝（例如12V）施加至字線A109。資料線A107電壓設定於0V時，幾乎不產生熱電子，因此，電荷植入電荷蓄積區域之量較少，資料線電壓設定於5V

五、發明說明 (16)

時，電荷植入量較多。此時，在被同一字線A109所驅動之其他單元方面，也只要將所連接之資料線A107之電壓依照希望寫入之資料加以設定，即可同時寫入資訊。在此，“0”寫入時，電荷不被植入，因此同等於不施行寫入動作，故也可僅以同一字線所驅動之單元之一部分施行資訊寫入動作。又，在其他字線方面，如果其電壓設定在比連接於選擇之記憶單元之字線的電壓為低（例如0V），則不施行寫入動作。又，要將資訊“1”寫入記憶單元A110時，將資料線A107設定為0V，將正電壓（例如5V）施加至源極線A104後，施加正的電壓脈衝（例如12V）至字線A109也無妨。

本實施例之情形，由於將電荷蓄積於多數分散之電荷蓄積區域，並具有高的電荷保持特性，故也與實施例3同樣，可利用將所蓄積之電荷引導至字線、及由基板將電荷經電荷蓄積區域通至字線，來實現消除特性之自我收斂性。

其次，以讀出來自記憶單元A110之資訊為例，說明資訊之讀出動作。將源極線A104設定於0V，將驅動電壓施加至選擇電晶體A106之閘極線A122，使選擇電晶體A106通電。另一方面，將驅動電壓施加至選擇電晶體A105之閘極線A121，使選擇電晶體A105通電，將資料線A107、局部資料線A108之電壓預充電至正電壓（例如3V），然後，將正電壓（例如2V）之讀出脈衝施加至字線A109。此時，資訊“1”被寫入要讀出資訊之記憶單元A110而電荷

五、發明說明 (17)

被蓄積，臨限值電壓高時，電流不太會流通至記憶單元A110，資料線A107之電位不會由預充電電壓發生太大之變動；相對地，資訊“0”被寫入記憶單元A110而電荷未被蓄積時，臨限值電壓低，會有大電流流至記憶單元A110，資料線A107之電位會由預充電電壓大幅下降。資料線A107之一端連接於讀出放大器，可將此電壓之變動放大，以讀出資訊。

(實施例5)

其次，說明本發明之實施例5之記憶裝置。元件之基本構成與實施例2相同，元件單獨之動作也相同，但因元件之連接關係而使其剖面構造及製造方法具有其特徵性。

圖7係表示本實施例之記憶裝置之配置配線圖。實際上可構成更大規模之記憶單元陣列，但在此為便於說明起見，僅以3x3之小規模之記憶單元陣列加以顯示。記憶單元陣列具有設於P型矽基板之元件分離區域A30。垂直於此元件分離區域A30設有對應於圖3所說明之第二閘極A20而由多晶矽形成之第二字線A31，平行於此第二字線A31設有對應於圖3所說明之第一閘極A18而由多晶矽形成之第一字線A32與鎢所形成之源極線A33。如圖所示，記憶單元陣列係呈現將第一字線A32、第二字線A31、源極線A33及第一字線A32以成組方式反覆排列所構成。鄰接之排列組之端部之第一字線A32互相鄰接，鄰接之第一字線間非元件分離區域之處設有資料線接觸點A34，通過此資料線接觸點A34上面且與元件分離區域A30成平行地設有由鎢

五、發明說明 (19)

上依序堆積厚3 nm之 SiO_2 膜、厚5 nm之 Si_3N_4 膜、厚3 nm之 SiO_2 膜構成之ONO構造絕緣膜，其後，為形成第一字線A32，堆積多結晶矽、 SiO_2 膜。以抗蝕劑為光罩，依次蝕刻 SiO_2 膜、多結晶矽膜後，堆積 Si_3N_4 膜、 SiO_2 膜，並施行平坦化處理，平坦化處理後，再度堆積 SiO_2 膜。在此，將源極線A33、資料線接觸點A34圖型轉印在抗蝕劑上，以抗蝕劑為光罩，蝕刻 SiO_2 膜。資料線接觸點A34、源極線A33之抗蝕劑圖型即使多少有點移位，也因底層為 Si_3N_4 膜，故可自我整合地在汲極區域、源極區域形成正確的開口。然後再蝕刻底層之 Si_3N_4 而形成基板之汲極區域A37、源極區域A36之開口。此時，為確保接觸點之可靠性，植入P（磷）離子，施行熱處理使其活性化。然後，堆積 SiO_2 膜，再施行回蝕，以防止資料線接觸點間之短路。其後，堆積鎢膜並施行平坦化處理，平坦化處理之後，堆積 SiO_2 膜、鎢膜、 SiO_2 膜，將資料線A35之圖型轉印在抗蝕劑上，蝕刻 SiO_2 膜、鎢膜、 SiO_2 膜而形成資料線A35。然後，堆積 SiO_2 膜，以作為層間膜。以下反覆施行同樣的工序後，再施行配線工序。在此工序中，第二字線A31之上面及側面雖會留下矽微小結晶粒A41，但對記憶單元之機能不會造成妨礙，不必予以除去。

在通常之快閃記憶體中，浮游閘極之加工完畢後，對構成浮游閘極之多晶矽表面施以弱氧化處理，利用此氧化工序，可提高浮游閘極之絕緣性及電荷保持特性。但另一方面，如果快閃記憶體中同時搭載有周邊電路之閘極氧化膜

五、發明說明 (20)

或高速邏輯電路，則會使此邏輯電路之間極氧化膜之膜厚增大，因而會減少電晶體之電流，導致動作的延遲。然而在本實施例中，由於電荷蓄積節點係由多數矽微小結晶粒A41所形成，電荷保持特性較高，不必採施行對應於此浮游閘極之氧化工序的工序，故適合於與高速邏輯電路同時搭載之情形使用。

圖9係表示本實施例之記憶裝置之記憶單元之連接關係之電路圖。實際上可構成更大規模之記憶單元陣列，但在此僅以3x3之小規模之記憶單元陣列加以顯示，以供說明。又，為便於說明起見，將中央行之三個記憶單元A50、A60及A61用一點短劃線圍起來顯示，且在記憶單元A50之各構成要素中附上對應於圖4所示之參照號碼。

茲利用圖9說明本實施例之動作。首先，說明寫入動作。

以記憶單元A50為例說明資訊之寫入情形。此時，將此記憶單元A50稱為選擇單元，將其他記憶單元稱為非選擇單元。對應於選擇單元A50之資訊之寫入情形為：將正電壓脈衝（例如6V）施加至資料線A51，將正電壓脈衝（例如8V）施加至第一字線A52，將正電壓脈衝（例如2V）施加至第二字線A53。此時，事先將源極線A54設定於0V，利用此中電壓關係，可在源極側產生熱電子，此情形與利用在通常之汲極端產生熱電子之寫入方式不同。對於連接於非選擇單元之源極線A55、連接於非選擇單元之第一字線A56、連接於非選擇單元之資料線A57，事先施加0V。

五、發明說明 (21)

對於連接於非選擇單元之第二字線A58，則事先施加小於連接於選擇單元之第二字線A53之正電壓（例如0.5V），藉以抑制資料對非選擇單元之寫入。

資訊之消除動作係在一條第一字線所連接之記憶單元整批地進行。以下以連接於第一字線A52之A50、A60及A61為例加以說明。在此，將連接於第一字線A52之記憶單元稱為選擇單元，將其他記憶單元稱為非選擇單元。將正電壓脈衝（例如12V）施加至第一字線A52，將正電壓脈衝（例如5V）施加至第二字線A53。此時，事先將源極線A54設定於0V，藉以將電荷蓄積節點之電荷引導至第一字線A52。當然也可將第二字線與第一字線之電壓關係反轉，而將電荷蓄積節點之電荷引導至第二字線，或調整電壓關係，將電荷蓄積節點之電荷引導至第一字線與第二字線雙方。對於連接於非選擇單元之源極線A55、連接於非選擇單元之第一字線A56、連接於非選擇單元之資料線A57及連接於非選擇單元之第二字線A58，則事先施加0V。

在此，係將蓄積之電荷引導至第一字線與第二字線，當然也可與通常之快閃記憶體同樣地，利用對第一字線與第二字線施加0V或負電壓而將電荷引導至基板之方式，來施行資訊之消除。

其次，以記憶單元A50為例說明資訊讀出之情形。在此，將此記憶單元A50稱為選擇單元，將其他記憶單元稱為非選擇單元。由選擇記憶單元A50讀出資訊時，將連接

五、發明說明 (22)

於選擇記憶單元A50之資料線A51預充電至正電壓（例如2V），此時事先將連接於選擇記憶單元A50之源極線A54設定於0V。將正電壓脈衝（例如2V）施加至連接於選擇記憶單元A50之第一字線A52，將正電壓脈衝（例如2V）施加至連接於選擇記憶單元A50之第二字線A53，利用讀出放大器放大連接於選擇記憶單元A50之資料線A51之電壓變化。選擇記憶單元A50之臨限值電壓因植入選擇記憶單元A50之電荷蓄積區域之電荷量的大小而異，因此，寫入資訊“0”時，記憶單元之臨限值電壓會變低，電流會流至選擇記憶單元，故資料線A51之電壓會隨時間而降低。寫入資訊“1”時，記憶單元之臨限值電壓會變高，流至選擇記憶單元之電流會變少，故不管經過多久，資料線A51之電壓也幾乎不會改變。因此可利用此差異施行讀出動作。

在本實施例中，資訊之寫入、消除、讀出全部利用0V或極性一致之電壓，然後再用第二閘極，採源極側之植入方式，施行高效率之資訊寫入，故與通常利用熱電子植入之寫入情形相比，對電源電路之負擔較少，因此，可簡化周邊電路，尤其是簡化電源電路。此對於適合於使用在組裝用途等記憶容量小而比記憶單元更不能忽略周邊電路面積之情形而言，在降低元件面積上具有大的效果，並可大幅降低成本。

（實施例6）

圖10係表示本發明之實施例6之記憶裝置之等效電路

五、發明說明 (23)

圖。元件之基本構成與實施例2相同，元件單獨之動作也相同，但因元件之連接關係而使其剖面構造及驅動方法具有其特徵性。又，圖11係表示本實施例之記憶裝置之剖面構造圖。

圖10所示之等效電路與實施例1之元件所構成之記憶裝置之等效電路圖之圖6相對應。為便於說明起見，僅對排列在中央行之記憶單元附上A160、A161之參照號碼，同時以一點短劃線圍起來表示。又，在記憶單元A160之方面，以圖4所示參照號碼對應於各構成要素之方式，附上源極A12、汲極A13、第一閘極A18、第二閘極A20及微小結晶粒A17。實際上可構成更大規模之記憶單元陣列，但在此為便於說明起見，僅顯示3x3之小規模之記憶單元陣列。

在本實施例中，多數記憶元件之源極區域、汲極區域共同被擴散層所連接而形成局部源極線A168及局部資料線A165。局部源極線A168經由選擇電晶體A162連接至源極線A163。局部資料線A165經由選擇電晶體A169而連接至資料線A164。與實施例四同樣，雖需要選擇電晶體A162、A169，但因只要對同一局部源極線A168、同一局部資料線A165所驅動之多數記憶單元共通設置即可，記憶單元面積之增加實質上可加以忽略。反之，因利用擴散層連接各記憶單元，可降低資料線接觸點之數，故可縮小記憶單元之面積，記憶容量大時，對成本之降低大為有效。

在寫入動作方面，圖10以將資訊寫入記憶單元A160為例

五、發明說明 (24)

加以說明。首先，使選擇電晶體A169、A162通電，將源極線A163設定為0V，將資料線A164、局部資料線A165之電壓依照希望寫入之資訊設定在適當值，例如在資訊“0”時，設定為0V，資訊“1”時，設定為5V，並將正電壓脈衝（例如2V）施加至第二字線A166，將正電壓脈衝（例如8V）施加至第一字線A167。資料線A164電壓設定於0V時，幾乎不產生熱電子，因此，電荷植入電荷蓄積區域之量較少，資料線A164電壓設定於5V時，可高效率地產生熱電子而將電荷植入於電荷蓄積區域。此時，在被同一第一字線A167所驅動之其他單元方面，例如A161方面，也只要將所連接之資料線A170之電壓依照要寫入之資料加以設定，即可同時寫入資訊。

資訊之消除動作係在第一字線所連接之多數記憶單元整批地進行。將正電壓（例如15V）施加至第一字線，並將低於施加至第一字線之電壓之0V或正電壓（例如0.5V）施加至第二字線，以便將蓄積於電荷蓄積區域之電荷引導出來。消除動作也可對第二字線所連接之多數記憶單元整批地進行。此時，將正電壓（例如15V）施加至第二字線，並將低於施加至第二字線之電壓之0V或正電壓（例如0.5V）施加至第一字線，以便將電荷引導至第二字線。

在圖11中，第一閘極A150保持不變，並與圖7之字線A35同樣地形成第一字線A167，同樣情形，第二閘極A151、A156及A157形成第二字線A166，係沿著垂直於第一閘極A150方向配線。又，一個記憶單元之汲極區域兼

五、發明說明 (25)

用作為鄰接之記憶單元之源極區域。例如記憶單元A152之汲極區域A153兼作為鄰接之記憶單元A154之記憶單元A152之源極區域。同樣情形，記憶單元A152之源極區域A155兼用作為左側鄰接之記憶單元之汲極區域。同樣情形，在左側鄰接之記憶單元形成有兼源極區域之汲極區域，最右端之記憶單元A154形成有汲極區域A158，最左端之記憶單元形成有源極區域。源極區域兼汲極區域A153及A155、及兩端之汲極區域及源極區域分別被擴散層之配線所連接，其走向與第二字線A151平行。通常，源極區域、汲極區域係以此種方式被多數記憶單元所共用，在多數記憶單元之源極、汲極被並聯連接之構成中，多數記憶單元之汲極區域與鄰接元件之源極區域有必要以元件分離區域保持物理的絕緣。但在本實施例中，記憶單元之分離可利用控制第二字線A151、A156及A157之電位的方式，達成使鄰接之記憶單元彼此保持電的分離。因不必施行物理的分離，不需要元件分離區域，故可縮小記憶單元之面積，對成本之降低大為有效。

在本實施例之製造工序中，形成作為電荷蓄積區域之矽微小結晶粒之工序以前也與實施例5同樣，在第二字線A151、A156及A157之上面及側面雖會留下矽微小結晶粒，但在本實施例中，對記憶單元之機能也不會造成妨礙，不必予以除去。

在本實施例之動作中，所具有之特徵在於對同一字線所驅動之記憶單元以隔著一個之方式施行寫入、讀出動作。

五、發明說明 (26)

例如對記憶單元A152施行寫入或讀出動作時，係採用將鄰接之第二字線A156、A157設定為低電壓，使第二字線下之矽表面呈現高電阻之方式，來防止同一第一字線所驅動之元件間發生短路。

(實施例7)

茲說明有關本發明之實施例7如下。圖12係表示記憶單元陣列構造之等效電路圖。實際上可構成更大規模之記憶單元陣列，但在此僅顯示3x3之小規模之記憶單元陣列，以供說明。為便於說明起見，將中央部之記憶單元A202以一點短劃線圍起來顯示。圖13則係圖12中一點短劃線所示記憶單元A202與在圖之縱方向鄰接之記憶單元部分以二點短劃線所示之橢圓區域在垂直於字線之方向之剖面圖。圖13中，參照號碼A17係表示圖3中構成電荷蓄積區域之矽微小結晶粒。與前面之實施例不同，本實施例之特徵在於記憶元件係呈現串聯連接。採用串聯連接之構造時，電阻雖會升高，但卻有可縮小單元面積之特徵。

首先，說明本實施例之資訊之寫入情形。要將資訊寫入第一字線A201所驅動之記憶單元A202時，使選擇電晶體A203通電，並將資料線A204之電壓依照希望寫入之資訊設定在適當值，例如在資訊“0”時，設定為0V，資訊“1”時，設定為5V，此時，事先使選擇電晶體A205通電，將源極線A206設定於0V，再將施行寫入之記憶單元A202之第一字線A201及該單元之第二字線A207以外之第一字線A208、第二字線A209設定於既定之高電位（例如

五、發明說明 (27)

全部為5V)，使第二字線下、第一字線下之通道部分處於低電阻狀態。將施行寫入之記憶單元A202之第二字線A207設定於比其他第二字線A209更低之電位（例如2V），並將其下之基板表面設定於較高電阻。如將施行寫入之記憶單元A202之第一字線A201之電位設定於比其他第一字線更高之電位（例如12V），則在資料線A204設定於高電壓（例如5V）時，第二字線A207與第一字線A201間之基板表面會產生熱電子而將電荷植入附近之電荷蓄積區域A210。與資料線A204電位設定於高電位之情形相反，將資料線A204電位設定於低電位時，幾乎不會產生熱電子而不會植入電荷。如果使施行寫入之記憶單元A202之第一字線A201之電位與其鄰接之記憶單元之第二字線A209之電位之關係相同於施行寫入之記憶單元A202之第一字線A201之電位與第二字線A207之電位之關係，則在第二字線A209與第一字線A201間之基板表面會產生熱電子而將電荷植入附近之電荷蓄積區域A211。

資訊之消除與實施例3至6同樣，係在第一字線之單位進行。將正電壓（例如15V）施加至第一字線A201，並將多數電荷蓄積區域所蓄積之電荷引導至第一字線A201。此時，事先將第二字線A207之電壓設定於比施加至第一字線更低之電壓（例如0V），或將正電壓（例如15V）施加至第二字線A207，並將比施加至此第二字線A207之電壓更低之電壓（例如0V）施加至第一字線A201，以便將電荷引導至第二字線A207，藉以施行消除動作也無妨。本實施

五、發明說明 (28)

例之情形，也因將電荷蓄積於多數分散之電荷蓄積區域，並具有高的電荷保持特性，故與實施例3、4同樣，可利用將所蓄積之電荷引導至第一字線或第二字線、或由基板將電荷經電荷蓄積區域通至第一字線或第二字線，藉以實現消除特性之自我收斂性。

在讀出動作中，使選擇電晶體A203通電，將資料線A204預充電至正電位（例如2V），且使選擇電晶體A205通電，將源極線A206設定於0V，將驅動讀出之記憶單元A202之第一字線A201以外之第一字線A208、第二字線A209設定於既定之高電位（例如全部為5V），再將既定之讀出電壓（例如3V）施加至該第一字線A201。此時，讀出資訊之記憶單元有電荷蓄積，臨限值電壓較高時，電流不太流通，資料線A204之電位不會由預充電電壓發生太大的變動，相對地，希望讀出資訊之記憶單元無電荷蓄積時，臨限值電壓較低，有大的電流通，全部資料線A204之電位會由預充電電壓大幅下降。此資料線A204之一端連接於讀出放大器，可將此電壓之變動放大，以讀出資訊。

本發明可一面確保可靠性，一面提供所需之電壓種類少而電壓低之記憶元件構造。使用此記憶元件，可使半導體記憶元件之周邊電路之構成單純化，並縮小晶片面積，同時實現低成本之半導體記憶裝置。

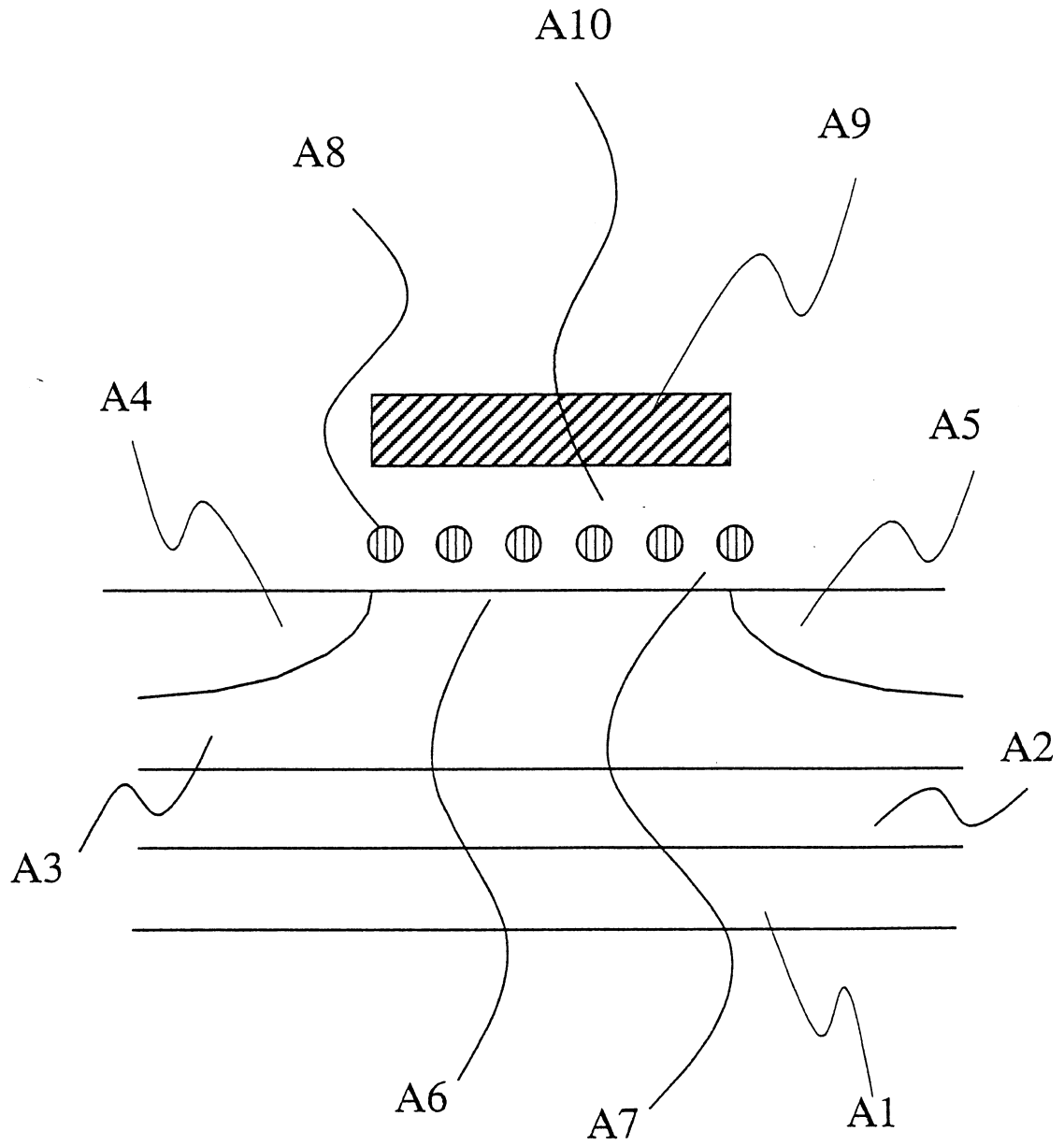


圖 1

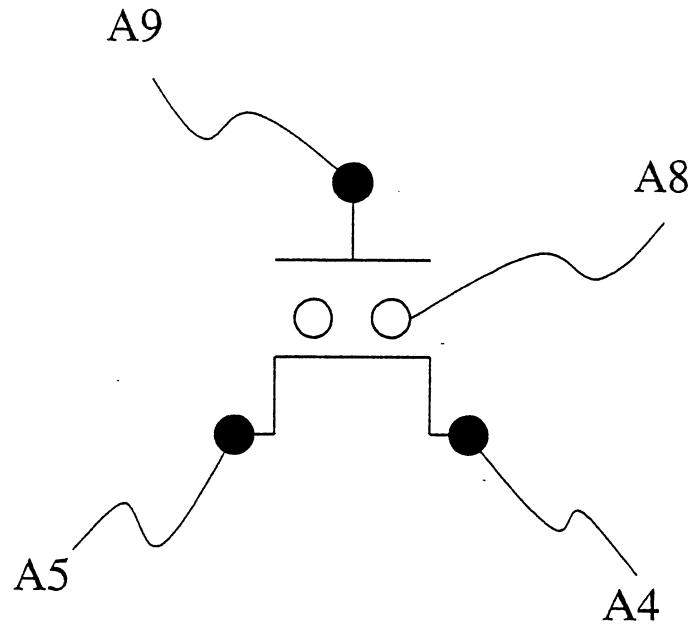


圖 2

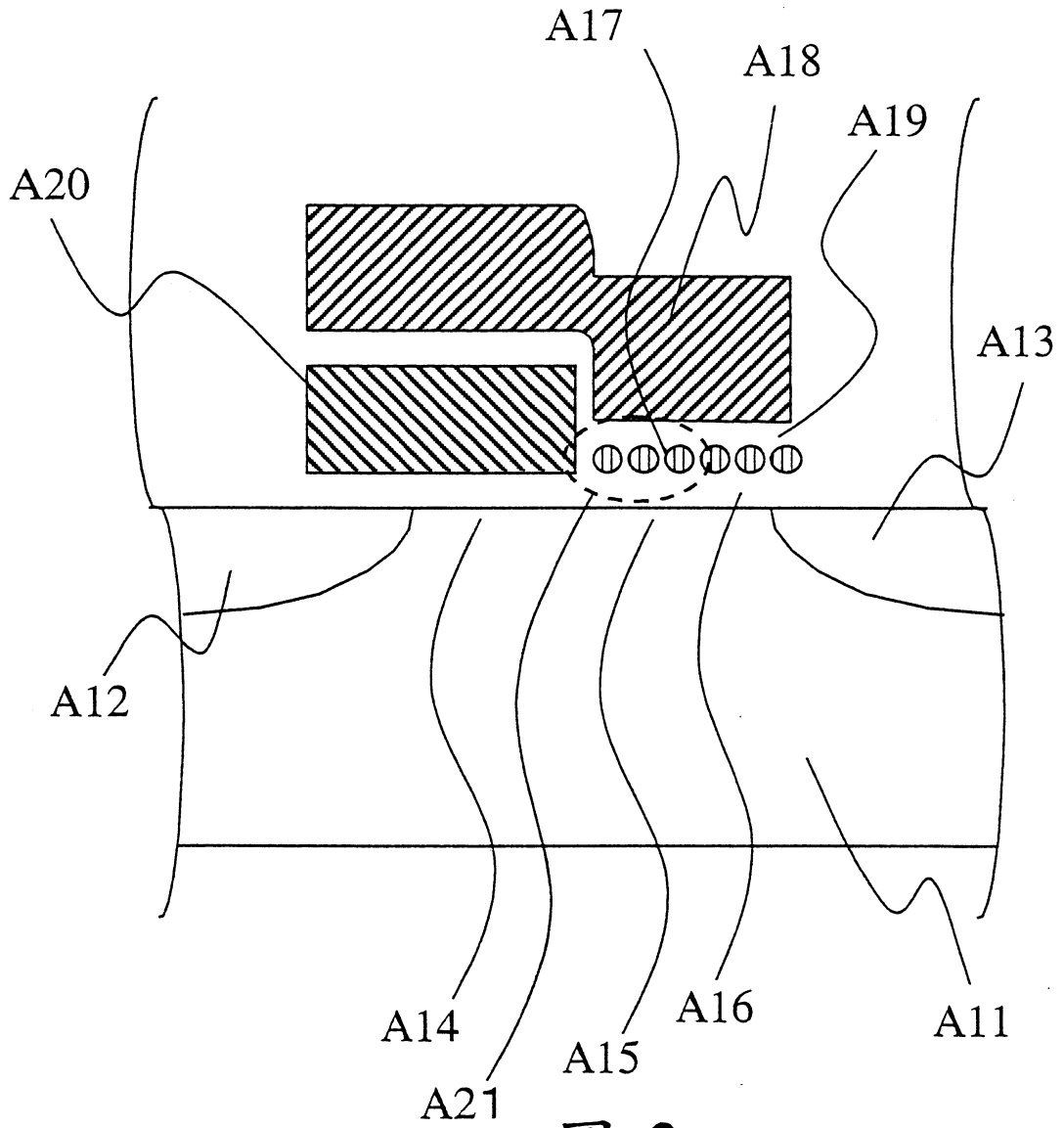


圖 3

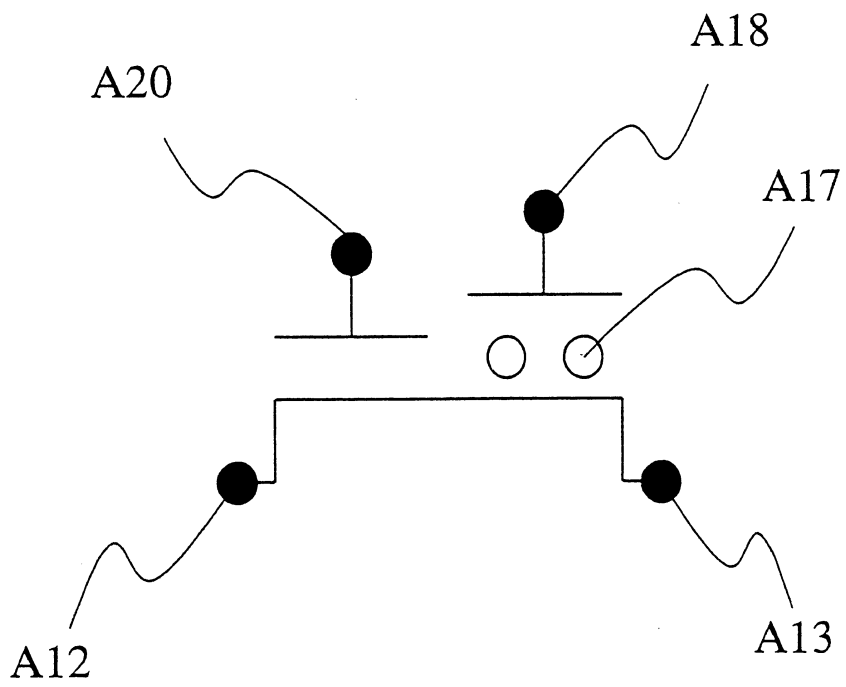


圖 4

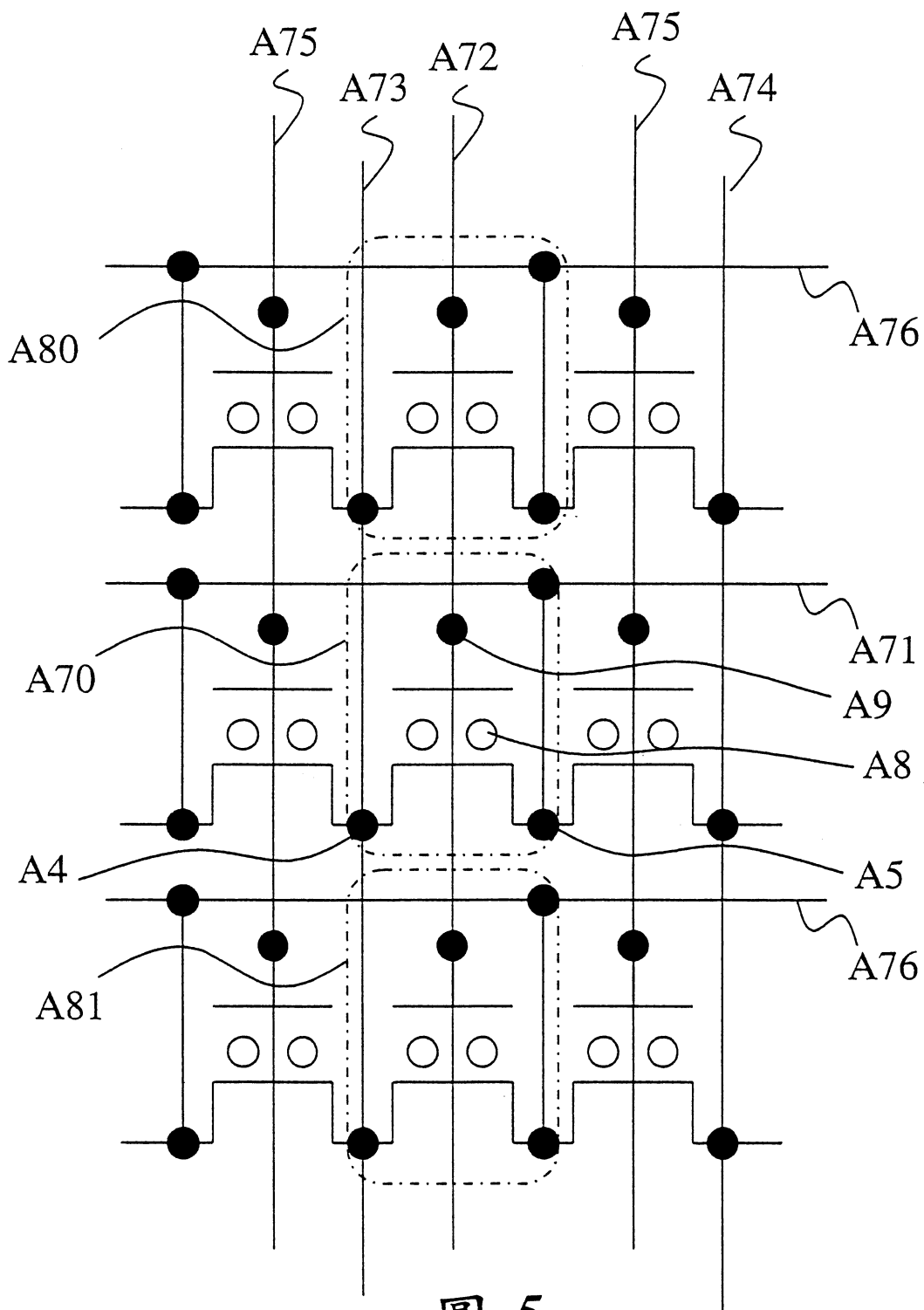
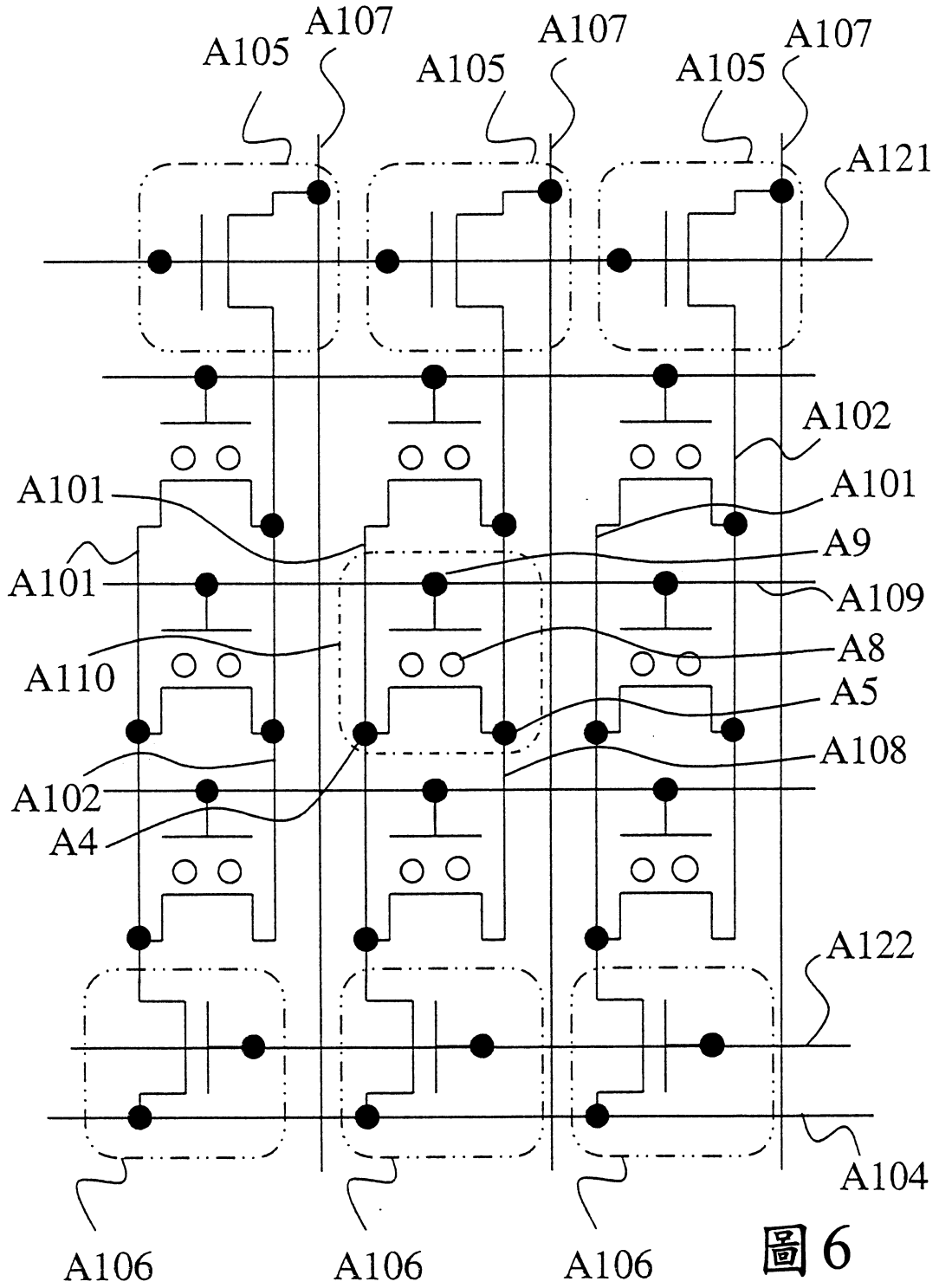


圖 5



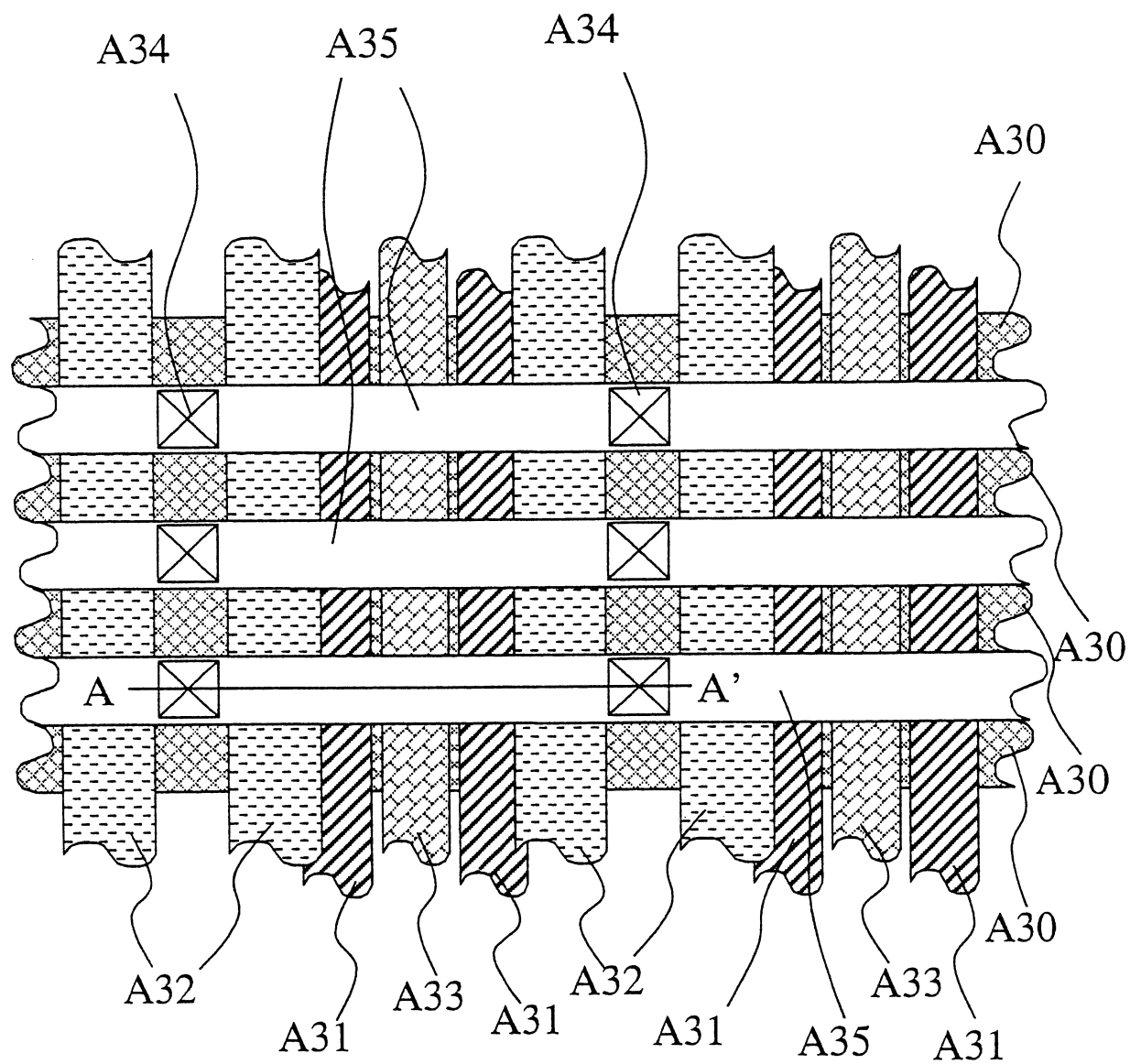


圖 7

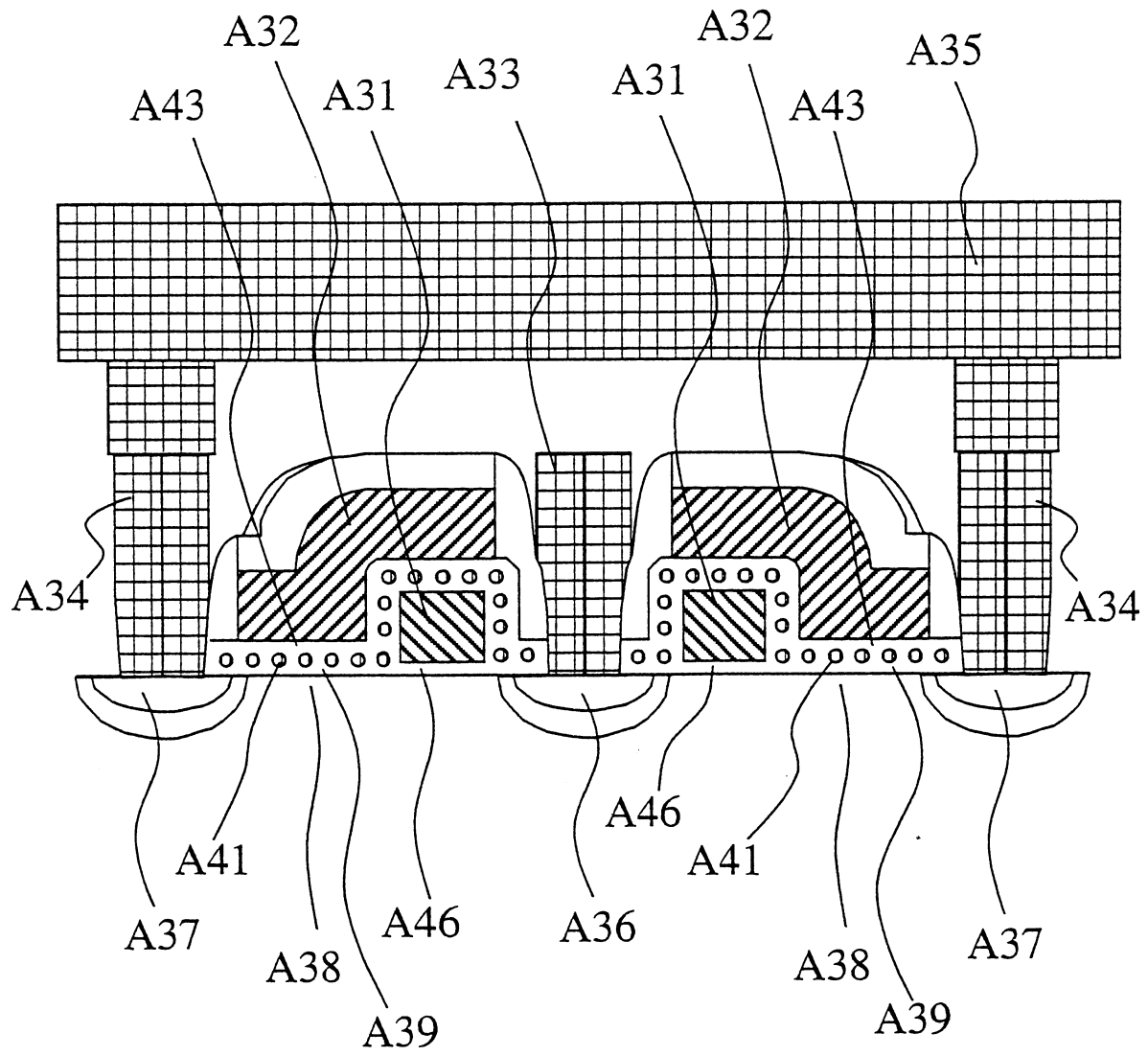


圖 8

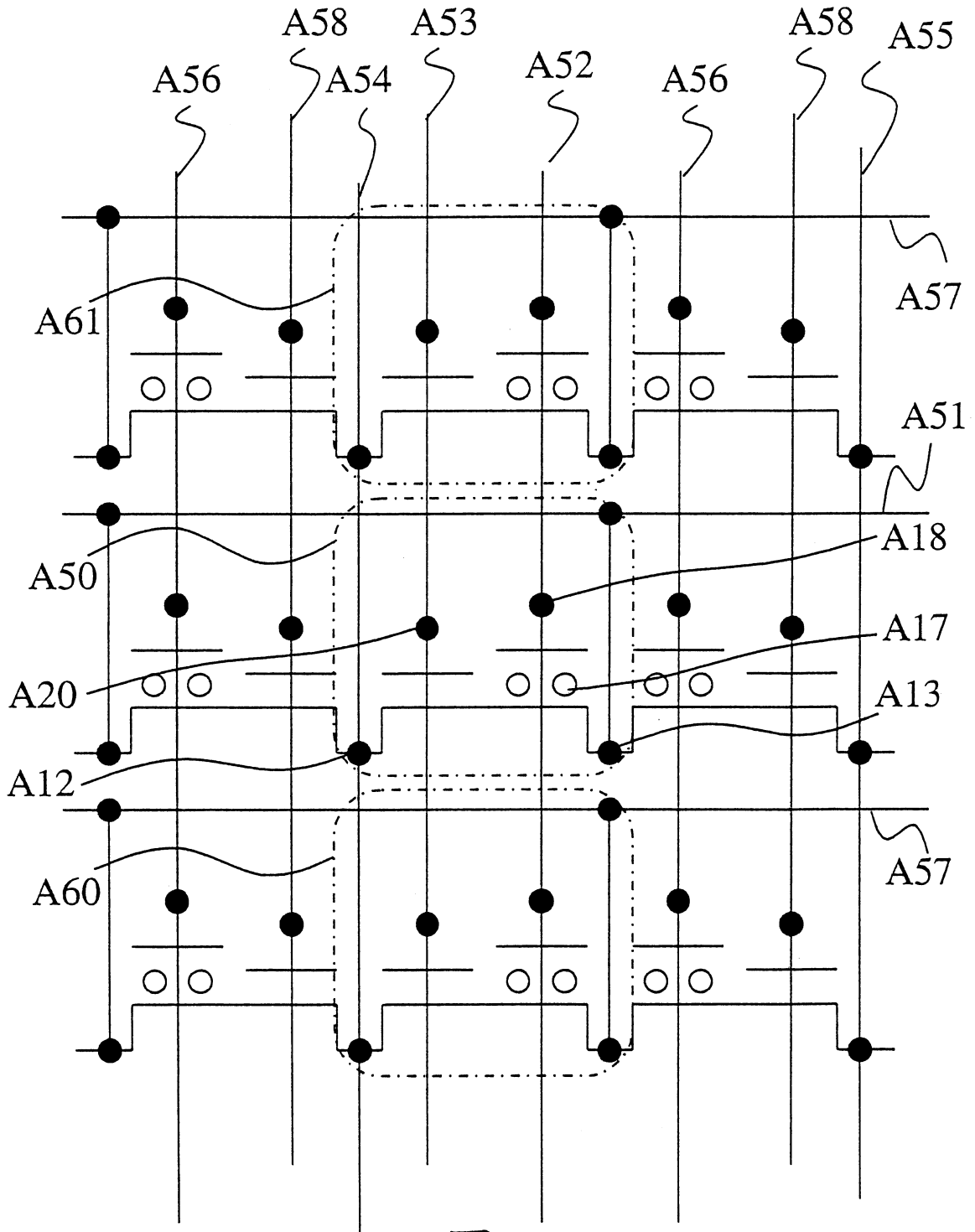


圖 9

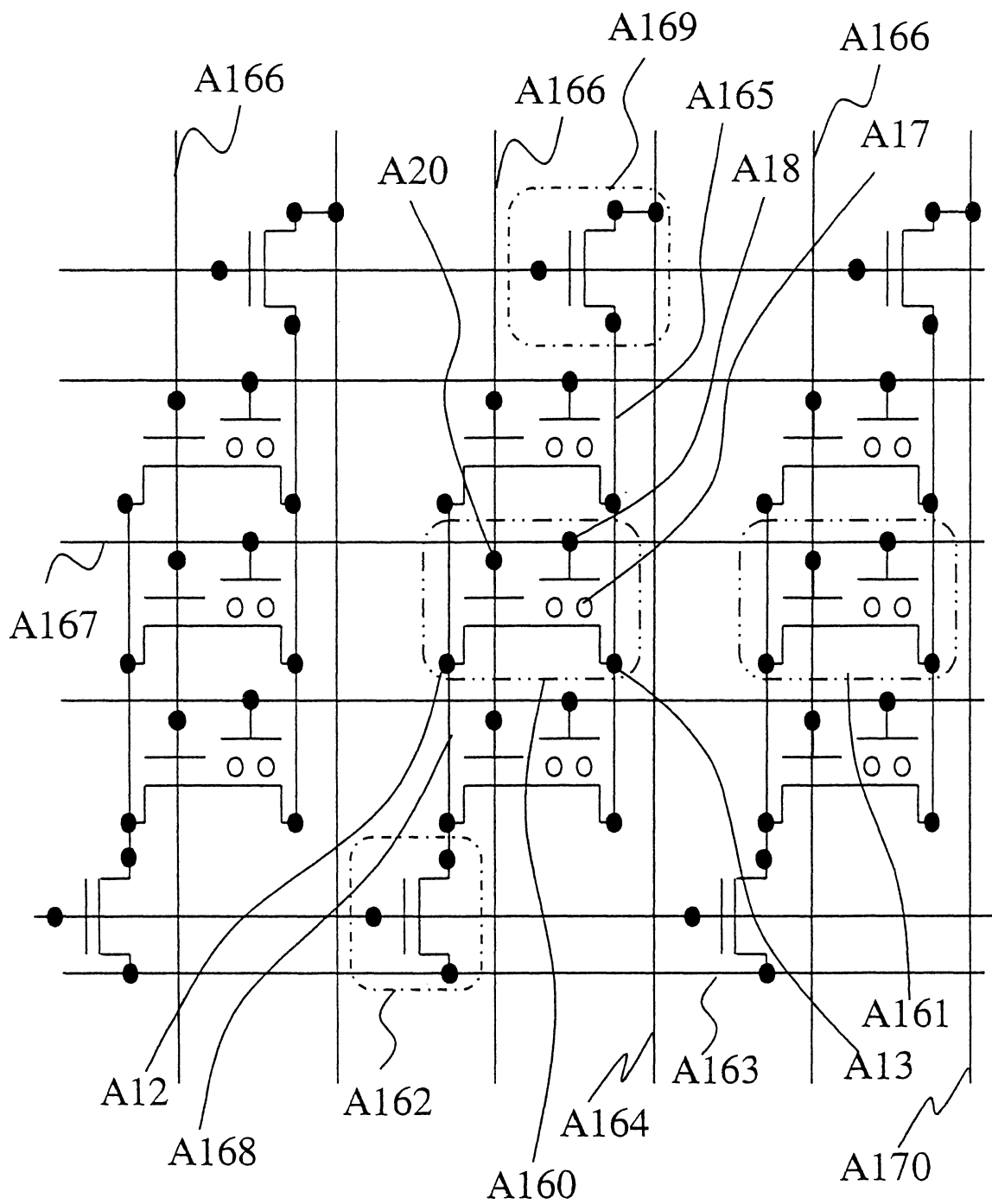


圖 10

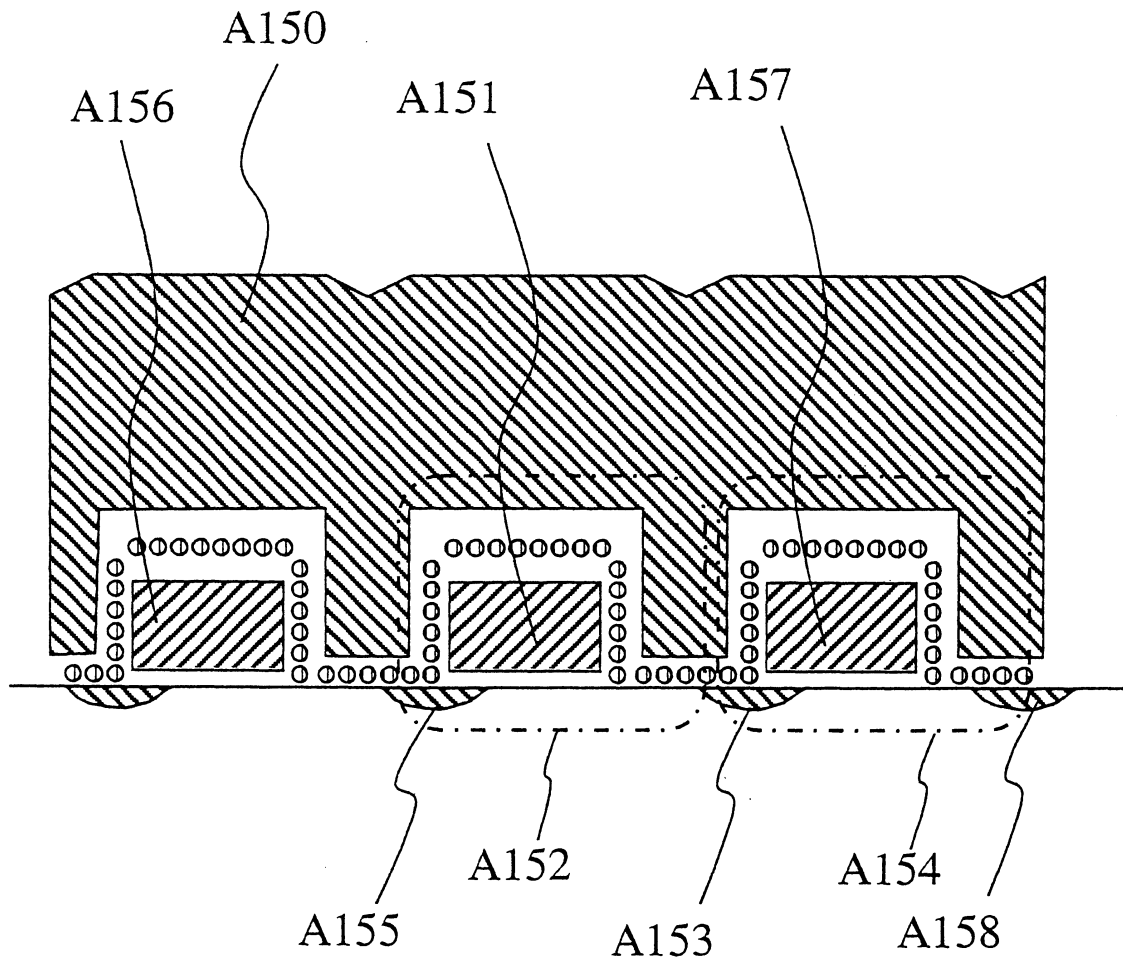


圖 11

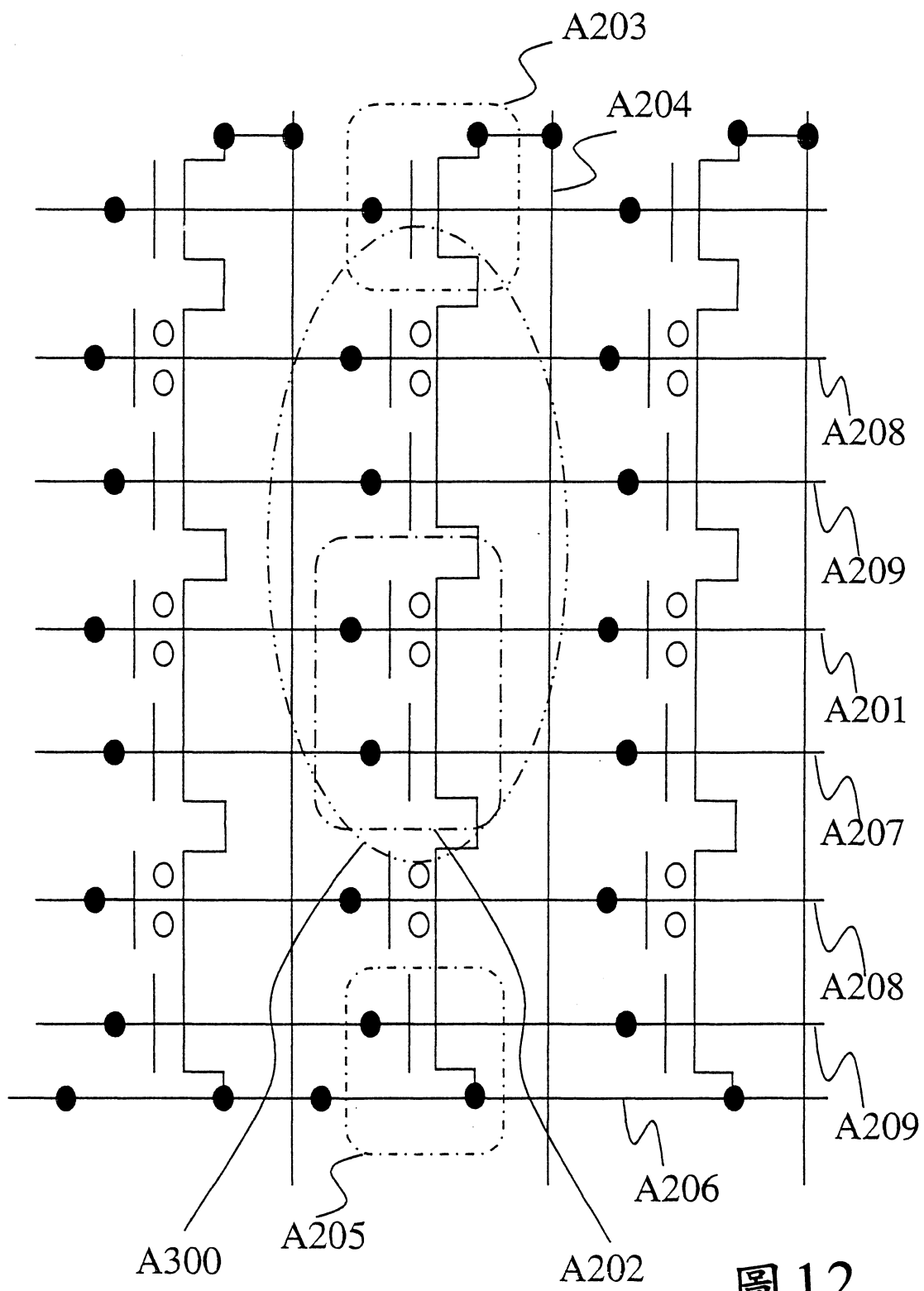


圖 12

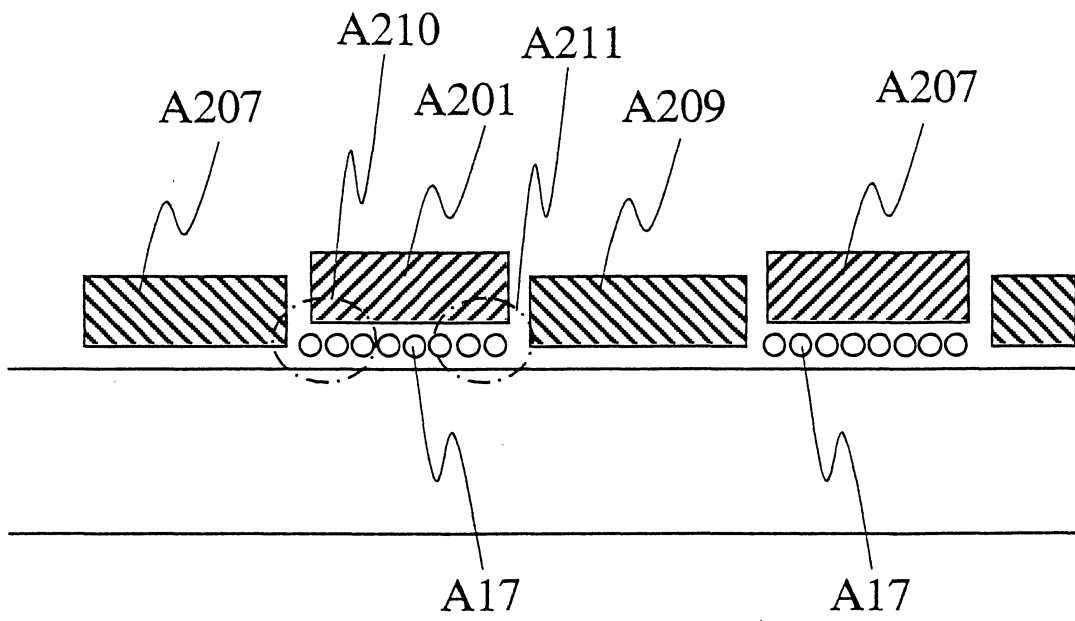


圖 13

五、發明說明(2)

免使用正負值大的電壓，因而會促使周邊電路，尤其是電源部分之面積的增大，結果留下記憶元件之面積佔有率降低，即使採用微細化技術也不能縮小晶片面積之問題。記憶元件之面積佔有率降低所引起之成本的上昇，對容量較小、且適合於組裝於機器中使用之同時搭載快閃記憶體之邏輯電路等而言，是一大問題。

本發明之目的在於一面確保可靠性，一面提供所需之電壓種類少而電壓低之記憶元件構造。使用此記憶元件，可使半導體記憶裝置之周邊電路之構成單純化，並縮小晶片面積。亦即可藉此提供實現低成本之半導體記憶裝置之方法。

本發明之特徵在於不像以往那樣將電荷蓄積於記憶單元中之單一區域，而係將電荷蓄積於多數分散之區域，以實現高可靠性。在此高可靠性之背景下，不僅可經由直接將可靠性高之矽基板熱氧化所得之氧化膜，使電子通暢地移動，而且也可經由CVD (Chemical Vapor Deposition: 化學氣相沉積法) 所堆積而成之氧化膜等，使電子通暢地移動，藉以使動作方式單純化，實現半導體記憶裝置之低成本化。

詳言之，本發明之代表性之實施形態所構成之半導體記憶裝置之構成主體為半導體記憶元件，其特徵係在於包含：

源極區域、汲極區域；

上述源極區域、汲極區域係被半導體所形成之通道區域

五、發明說明 (3)

所連接者；

閘極，其係控制上述通道區域之電位，且由金屬或半導體所形成；

多數電荷蓄積區域，其係設於上述通道區域附近者，且資訊寫入時施加至上述閘極之電位、與資訊消除時施加至上述閘極之電位具有同極性。

本發明之其他手段、目的與特徵可由以下之實施形態獲得更明確之了解。

圖式之簡單說明

圖1係表示實施例1之半導體記憶元件之剖面構造圖。

圖2係對應於實施例1之半導體記憶元件之電路圖上之標記。

圖3係表示實施例2之半導體記憶元件之剖面圖。

圖4係對應於實施例2之半導體記憶元件之電路圖上之標記。

圖5係表示實施例3之半導體記憶裝置之等效電路圖。

圖6係表示實施例4之半導體記憶裝置之等效電路圖。

圖7係表示實施例5之半導體記憶裝置之配置配線圖。

圖8係表示實施例5之半導體記憶裝置之剖面構造圖。

圖9係表示實施例5之半導體記憶裝置之等效電路圖。

圖10係表示實施例6之半導體記憶裝置之等效電路圖。

圖11係表示實施例6之半導體記憶裝置之剖面圖。

圖12係表示實施例7之半導體記憶裝置之等效電路圖。

圖13係表示實施例7之半導體記憶裝置之剖面圖。

五、發明說明(4)

實施形態

(實施例1)

以下說明本發明之具體實施例之半導體記憶元件及半導體裝置。

圖1係表示本實施例之記憶元件之剖面構造。

在P型矽基板A1上設有n型阱區域A2，更在其中設有p型阱區域A3而具有三重阱構造。在p型阱區域A3內有源極區域A4、汲極區域A5，通道A6上，隔著SiO₂(二氧化矽)所形成之厚6 nm之絕緣膜A7，排列著多數矽之平均粒徑10 nm之微小結晶粒A8，構成電荷蓄積區域。並設有控制通道與電荷蓄積區域之電位之n型多晶矽之閘極A9，矽微小結晶粒A8與閘極A9之間係由由下而上依序為厚3 nm之SiO₂(二氧化矽)、厚6 nm之Si₃N₄(四氮化三矽)、厚3 nm之SiO₂(二氧化矽)之所謂ONO(氧氮氧)構造之絕緣膜A10所構成。矽微小結晶粒A8與閘極A9之間也可不構成ONO構造，而構成由9 nm之SiO₂所形成之絕緣膜。

對應於圖1之電路圖之表現情形如圖2所示。在此圖中附上分別對應於閘極A9、源極區域A4、汲極區域A5、電荷記憶區域A8之號碼。又，圖1中有明確顯示三重阱構造，但在其他實施例中，為避免圖式之複雜化而予以省略。

其次，說明本實施例之製造工序。元件分離區域、三重阱構造A1、A2、A3形成後，在P阱A3上之記憶單

五、發明說明(5)

元形成區域施行用於調整臨限值電壓之B(硼)離子之植入。將基板表面氧化而形成厚6 nm之SiO₂膜A7後，利用CVD(Chemical Vapor Deposition:化學氣相沉積法)形成矽微小結晶粒。在試製之過程中，係以平均粒徑10 nm、 5×10^{11} 個/cm²之密度形成。在矽微小結晶粒(A8)上，由下而上依序形成厚3 nm之SiO₂、厚6 nm之Si₃N₄、厚3 nm之SiO₂之所謂ONO構造層間絕緣膜A10後，堆積形成閘極A9用之n型多結晶矽，再堆積SiO₂膜。以抗蝕劑為光罩，依次蝕刻SiO₂膜、多結晶矽膜、ONO膜、矽微小結晶粒、SiO₂膜，利用此工序形成閘極A9。以閘極A9為光罩，植入As(砷)離子，利用活性化退火處理，以形成源極區域A4、汲極區域A5，再施行層間膜堆積、平坦化處理後，施行接點形成工序、配線工序。

其次說明本實施例之動作。

首先，說明寫入動作。在此，使較多之電荷植入電荷蓄積區域A8之狀態對應於資訊“1”，植入電荷較少之狀態對應於資訊“0”。

資訊“1”之寫入係利用下列方式進行：即將0V施加至源極區域A4，正電位(例如5V)施加至汲極區域A5，正電位脈衝(例如5V)施加至閘極A9，藉以產生通道熱電子，並將電子植入電荷蓄積區域A8。也可將0V施加至源極區域A4及汲極區域A5，將正電位(例如18V)施加至閘極A9，使電子穿過絕緣膜A7中而植入電荷蓄積區域。此情形因要求比利用熱電子之電荷植入方式更大之電流，故

五、發明說明 (18)

所形成之資料線A35。

圖7中之A-A'線剖面如圖8所示。具有設於P型矽基板之n型源極區域A36與汲極區域A37，在連接此源極區域A36與汲極區域A37之通道A38上設有厚7 nm之絕緣膜A39，在此絕緣膜A39上設有多晶矽形成之第二字線A31。又，在絕緣膜A39上排列著多數構成電荷蓄積區域之平均直徑10 nm之矽微小結晶粒A41。並在第二字線A31上設有控制電荷蓄積區域及其下之通道之電位用之n型多晶矽之第一字線A32，此第一字線A32與構成電荷蓄積區域之矽微小結晶粒A41之間有由下而上依序為厚3 nm之SiO₂、厚6 nm之Si₃N₄、厚4 nm之SiO₂之所謂ONO構造之絕緣膜A43。又在源極區域A36之上形成有鎢所形成之源極線A33。在汲極區域A37上形成有鎢所形成之接頭（資料線接觸點）A34，被連接於資料線A35。

其次，說明本實施例之製造工序。元件分離區域A30、三重阱構造形成後，在P阱A3上施行用於調整臨限值電壓之B（硼）離子之植入。將基板表面氧化而形成閘極氧化膜A46後，為形成第二字線A31而堆積多晶矽SiO₂膜，以抗蝕劑為光罩，依次蝕刻SiO₂膜、多結晶矽膜，利用此工序形成第二字線A31。以此第二字線A31為光罩，施行雜質植入，以調整第一字線A32下之雜質濃度，洗淨後，使基板表面氧化而形成厚6 nm之通道氧化膜A39，然後利用CVD形成矽微小結晶粒A41。在試製之過程中，係以平均粒徑8 nm、 3×10^{11} 個/cm²之密度製成。其次，由下而

四、中文發明摘要(發明之名稱： 半導體記憶元件、半導體裝置及其控制方法)

本發明係關於半導體記憶元件、半導體裝置及其控制方法。在要求高可靠性之半導體快閃記憶體中，必須經由將矽基板直接氧化之氧化膜來施行電子之進出動作，因此，所使用之電壓範圍相當大，跨及正負兩方之範圍。針對此一現象，本發明首先提出將電荷蓄積於多數分散之區域，以實現高可靠性之方法。在此高可靠性下，不僅可經由直接將矽基板熱氧化所得之氧化膜，使電子通暢地移動，而且可經由CVD(化學氣相沉積法)所堆積而成之氧化膜等，使電子通暢地移動，藉以在資訊寫入時及資訊消除時，利用同極性電位加以控制。

英文發明摘要(發明之名稱： SEMICONDUCTOR MEMORY ELEMENT, SEMICONDUCTOR DEVICE AND CONTROL METHOD THEREOF)

In a semiconductor flash memory required to have high reliability, injection and extraction of electrons must be performed through an oxide film obtained by directly oxidizing a silicon substrate. Accordingly, the voltage to be used is a large voltage ranging from positive to negative one. In contrast, by storing charges in a plurality of dispersed regions, high reliability is achieved. Based on the high reliability, transfer of electrons is permitted through not only the oxide film obtained by directly thermally oxidizing a high reliability silicon substrate but also another oxide film deposited by CVD, or the like. In consequence, a device is controlled by electric potentials of the same polarity upon writing of data and upon erasing of data.

六、申請專利範圍

1. 一種半導體記憶元件，其特徵在於包含：源極區域與汲極區域；
上述源極區域與汲極區域，係被半導體所形成之通道區域所連接者；
閘極，其係控制上述通道區域之電位，且由金屬或半導體所形成；及
多數電荷蓄積區域，其係設於上述通道區域附近者；
且資訊寫入時施加至上述閘極之電位、與
資訊消除時施加至上述閘極之電位具有同極性。
2. 一種半導體記憶元件，其特徵在於包含：通道區域，其係由半導體所形成者；
多數電荷蓄積區域，其係設於上述通道區域附近者；
第一閘極，其係控制上述通道區域一部分之第一通道區域電位，且由金屬或半導體所形成；
第二閘極，其係控制上述通道區域一部分中異於第一通道區域之第二通道區域之電位，且由金屬或半導體所形成；
且資訊寫入時施加至上述第一閘極之電位、與
資訊消除時施加至上述第一閘極之電位具有同極性。
3. 一種半導體記憶元件，其特徵在於包含：通道區域，其係由半導體所形成者；
多數電荷蓄積區域，其係設於上述通道區域附近者；
第一閘極，其係控制上述通道區域一部分之第一通道區域之電位，且由金屬或半導體所形成；

六、申請專利範圍

第二閘極，其係控制上述通道區域一部分中異於第一通道區域之第二通道區域之電位者，且由金屬或半導體所形成；

且資訊寫入時施加至上述第一閘極之電位、與

資訊消除時施加至上述第二閘極之電位具有同極性。

4. 一種半導體記憶元件，其特徵在於包含：源極區域與汲極區域；

上述源極區域與汲極區域係被半導體所形成之通道區域所連接者；

多數電荷蓄積區域，其係設於上述通道區域附近者；

第一閘極，其係控制上述通道區域一部分之第一通道區域之電位，且由金屬或半導體所形成；

第二閘極，其係控制上述通道區域一部分中異於第一通道區域之第二通道區域之電位，且由金屬或半導體所形成；

且資訊寫入時施加至上述第一閘極之電位、與

資訊消除時施加至上述第一閘極之電位具有同極性者。

5. 一種半導體記憶元件，其特徵在於包含：源極區域與汲極區域；

上述源極區域與汲極區域，其係被半導體所形成之通道區域所連接者；

多數電荷蓄積區域，其係設於上述通道區域附近者；

第一閘極，其係控制上述通道區域一部分之第一通道

六、申請專利範圍

區域之電位，且由金屬或半導體所形成；

第二閘極，其係控制上述通道區域一部分中異於第一通道區域之第二通道區域之電位，且由金屬或半導體所形成；

且資訊寫入時施加至上述第一閘極之電位、與

資訊消除時施加至上述第二閘極之電位具有同極性。

6. 一種半導體記憶裝置，其特徵在於包含記憶單元陣列，其係被資料線、第一字線與第二字線所驅動，且係排列多數個半導體記憶元件而成，上述半導體記憶元件包含：源極區域與汲極區域，

上述源極區域與汲極區域係被半導體所形成之通道區域所連接者；

多數電荷蓄積區域，其係設於上述通道區域附近者；

第一閘極，其係控制上述通道區域一部分之第一通道區域之電位，且由金屬或半導體所形成；

第二閘極，其係控制上述通道區域一部分中異於第一通道區域之第二通道區域之電位，且由金屬或半導體所形成；

在上述記憶單元陣列中，

多數半導體記憶元件之汲極區域連接於同一資料線，

上述汲極區域連接於同一資料線之多數半導體記憶元件之第二閘極連接於互異之第二字線，

上述汲極區域連接於同一資料線之多數半導體記憶元件之第一閘極連接於互異之第一字線。

六、申請專利範圍

7. 一種半導體記憶裝置，其包含記憶單元陣列，其係排列多數個如申請專利範圍第1項之半導體記憶元件而成，並被資料線與字線所驅動，
且多數半導體記憶元件之汲極區域連接於同一資料線，
上述汲極區域連接於同一資料線之多數半導體記憶元件之閘極連接於互異之字線者。
8. 一種半導體記憶裝置，其係排列多數個如申請專利範圍第1至3項中任一項之半導體記憶元件而成，
且連接成可使第一半導體記憶元件與第二半導體記憶元件之通道電流保持串聯流通者。
9. 一種半導體記憶裝置，其中包含記憶單元陣列，其係排列多數個如申請專利範圍第4或5項之半導體記憶元件而成，並被資料線與第一字線所驅動，
且多數半導體記憶元件之汲極區域連接於同一資料線，
上述汲極區域連接於同一資料線之多數半導體記憶元件之第二閘極互相連接，
上述汲極區域連接於同一資料線之多數半導體記憶元件之第一閘極連接於互異之第一字線者。
10. 一種半導體記憶裝置，其包含記憶單元陣列，其係排列多數個如申請專利範圍第4或5項之半導體記憶元件而成，並被資料線與第一字線所驅動，
且多數半導體記憶元件之汲極區域連接於同一資料

六、申請專利範圍

線，

上述汲極區域連接於同一資料線之多數半導體記憶元件之第二閘極連接於互異之第二字線，

上述汲極區域連接於同一資料線之多數半導體記憶元件之第一閘極連接於互異之第一字線者。