



(12)发明专利申请

(10)申请公布号 CN 108389539 A

(43)申请公布日 2018.08.10

(21)申请号 201810212929.9

(22)申请日 2018.03.15

(71)申请人 京东方科技集团股份有限公司  
地址 100015 北京市朝阳区酒仙桥路10号  
申请人 合肥京东方光电科技有限公司

(72)发明人 廖力勍 李红敏 王栋 唐锋景

(74)专利代理机构 北京三高永信知识产权代理  
有限责任公司 11138

代理人 杨广宇

(51) Int. Cl.

G09G 3/20(2006.01)

G11C 19/28(2006.01)

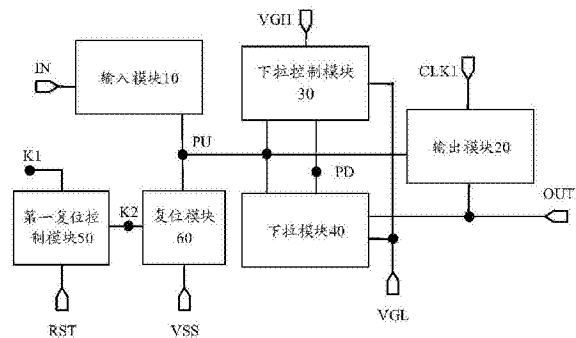
权利要求书3页 说明书13页 附图7页

(54)发明名称

移位寄存器单元、驱动方法、栅极驱动电路及显示装置

(57)摘要

本发明公开了一种移位寄存器单元、驱动方法、栅极驱动电路及显示装置,属于显示技术领域。该移位寄存器单元包括:输入模块、输出模块、下拉控制模块、下拉模块、第一复位控制模块和复位模块;输入模块用于控制上拉节点的电位;输出模块用于向输出端输入来自第一时钟信号端的第一时钟信号;下拉控制模块用于控制下拉节点的电位;下拉模块用于在下拉节点和第二电源信号的控制下,控制上拉节点和输出端的电位;第一复位控制模块用于在第一控制节点和来自复位信号端的复位信号的控制下,控制第二控制节点的电位;复位模块用于在第二控制节点和来自第三电源端的第三电源信号的控制下,控制上拉节点的电位。本发明提高了对输出端进行降噪的效率。



1. 一种移位寄存器单元,其特征在于,所述移位寄存器单元包括:输入模块、输出模块、下拉控制模块、下拉模块、第一复位控制模块和复位模块;

所述输入模块分别与输入信号端和上拉节点连接,用于在来自所述输入信号端的输入信号的控制下,控制所述上拉节点的电位;

所述输出模块分别与第一时钟信号端、所述上拉节点和输出端连接,用于在所述上拉节点的控制下,向所述输出端输入来自所述第一时钟信号端的第一时钟信号;

所述下拉控制模块分别与第一电源端、第二电源端、所述上拉节点和下拉节点连接,用于在所述上拉节点、来自所述第一电源端的第一电源信号和来自所述第二电源端的第二电源信号的控制下,控制所述下拉节点的电位;

所述下拉模块分别与所述上拉节点、所述下拉节点、所述第二电源端和所述输出端连接,用于在所述下拉节点和所述第二电源信号的控制下,控制所述上拉节点和所述输出端的电位;

所述第一复位控制模块分别与第一控制节点、复位信号端和第二控制节点连接,用于在所述第一控制节点和来自所述复位信号端的复位信号的控制下,控制所述第二控制节点的电位;

所述复位模块分别与所述第二控制节点、第三电源端和所述上拉节点连接,用于在所述第二控制节点和来自所述第三电源端的第三电源信号的控制下,控制所述上拉节点的电位。

2. 根据权利要求1所述的移位寄存器单元,其特征在于,所述移位寄存器单元还包括:第二复位控制模块;

所述第二复位控制模块分别与第二时钟信号端、第三时钟信号端、第二电源端和所述第一控制节点连接,用于在所述第二电源信号、所述第二时钟信号端输出的第二时钟信号和所述第三时钟信号端输出的第三时钟信号的控制下,控制所述第一控制节点的电位。

3. 根据权利要求2所述的移位寄存器单元,其特征在于,所述第二复位控制模块包括:第一晶体管和第二晶体管;

所述第一晶体管的栅极和所述第一晶体管的第一极均与所述第三时钟信号端连接,所述第一晶体管的第二极与所述第一控制节点连接;

所述第二晶体管的栅极与所述第二时钟信号端连接,所述第二晶体管的第一极与所述第二电源端连接,所述第二晶体管的第二极与所述第一控制节点连接。

4. 根据权利要求1所述的移位寄存器单元,其特征在于,所述第一控制节点还与控制时钟信号端连接,所述控制时钟信号端用于输出控制时钟信号,以控制所述第一控制节点的电位。

5. 根据权利要求1至4任一所述的移位寄存器单元,其特征在于,所述第一复位控制模块包括:第三晶体管;

所述第三晶体管的栅极与所述第一控制节点连接,所述第三晶体管的第一极与所述复位信号端连接,所述第三晶体管的第二极与所述第二控制节点连接。

6. 根据权利要求1至4任一所述的移位寄存器单元,其特征在于,所述复位模块包括:第四晶体管;

所述第四晶体管的栅极与所述第二控制节点连接,所述第四晶体管的第一极与所述第

三电源端连接,所述第四晶体管的第二极与所述上拉节点连接。

7. 根据权利要求1至4任一所述的移位寄存器单元,其特征在于,所述输出模块包括:第五晶体管和电容器;

所述第五晶体管的栅极与所述上拉节点连接,所述第五晶体管的第一极与所述第一时钟信号端连接,所述第五晶体管的第二极与所述输出端连接;

所述电容器的一端与所述上拉节点连接,所述电容器的另一端与所述输出端连接。

8. 根据权利要求1至4任一所述的移位寄存器单元,其特征在于,所述输入模块包括:第六晶体管;

所述第六晶体管的栅极和所述第六晶体管的第一极均与所述输入信号端连接,所述第六晶体管的第二极与所述上拉节点连接。

9. 根据权利要求1至4任一所述的移位寄存器单元,其特征在于,所述下拉控制模块包括:第七晶体管、第八晶体管、第九晶体管和第十晶体管;

所述第七晶体管的栅极和所述第七晶体管的第一极均与所述第一电源端连接,所述第七晶体管的第二极与所述第八晶体管的栅极连接;

所述第八晶体管的第一极与所述第一电源端连接,所述第八晶体管的第二极与所述下拉节点连接;

所述第九晶体管的栅极与所述上拉节点连接,所述第九晶体管的第一极与所述第二电源端连接,所述第九晶体管的第二极与所述第八晶体管的栅极连接;

所述第十晶体管的栅极与所述上拉节点连接,所述第十晶体管的第一极与所述第二电源端连接,所述第十晶体管的第二极与所述下拉节点连接。

10. 根据权利要求1至4任一所述的移位寄存器单元,其特征在于,所述下拉模块包括:第十二晶体管和第十三晶体管;

所述第十二晶体管的栅极与所述下拉节点连接,所述第十二晶体管的第一极与所述第二电源端连接,所述第十二晶体管的第二极与所述上拉节点连接;

所述第十三晶体管的栅极与所述下拉节点连接,所述第十三晶体管的第一极与所述第二电源端连接,所述第十三晶体管的第二极与所述输出端连接。

11. 一种移位寄存器单元的驱动方法,其特征在于,所述方法用于驱动如权利要求1至10任一所述的移位寄存器单元,所述方法包括:

充电阶段,输入信号端输出的输入信号的电位为有效电位,输入模块在所述输入信号的控制下,控制上拉节点的电位为有效电位;

输出阶段,第一时钟信号端输出的第一时钟信号的电位为有效电位,所述上拉节点的电位保持为有效电位,输出模块在所述上拉节点的控制下,向输出端输入处于有效电位的所述第一时钟信号;

预降噪阶段,复位信号端输出的复位信号的电位为有效电位,第一控制节点的电位为无效电位,第一复位控制模块在所述第一控制节点和所述复位信号的控制下,控制第二控制节点的电位为无效电位,复位模块在所述第二控制节点的控制下,控制所述上拉节点的电位保持为有效电位;所述第一时钟信号的电位为无效电位,所述输出模块在所述上拉节点的控制下,向所述输出端输入处于无效电位的所述第一时钟信号;

降噪阶段,所述复位信号的电位为有效电位,所述第一控制节点的电位为有效电位,第

一复位控制模块在所述第一控制节点和所述复位信号的控制下,控制所述第二控制节点电位为有效电位,所述复位模块在所述第二控制节点和处于无效电位的第三电源信号的控制下,控制所述上拉节点的电位为无效电位;第一电源端输出的第一电源信号的电位为有效电位,第二电源端输出的第二电源信号的电位为无效电位,所述下拉控制模块在所述第一电源信号、所述第二电源信号和所述上拉节点的控制下,控制所述下拉节点的电位为有效电位;所述下拉模块在所述下拉节点和所述第二电源信号的控制下,控制所述上拉节点的电位和所述输出端的电位为无效电位。

12. 一种栅极驱动电路,其特征在于,所述栅极驱动电路包括多个级联的如权利要求1至10任一所述的移位寄存器单元。

13. 根据权利要求12所述的栅极驱动电路,其特征在于,所述多个级联的移位寄存器单元中,每个移位寄存器单元包括:第二复位控制模块,所述第二复位控制模块分别与第二时钟信号端、第三时钟信号端、第二电源端和所述第一控制节点连接,且第 $j+2$ 个移位寄存器单元的输出端与第 $j$ 个移位寄存器单元的复位信号端连接,第 $j+1$ 个移位寄存器单元的第一时钟信号端与第 $j$ 个移位寄存器单元的第二时钟信号端连接,第 $j+1$ 个移位寄存器单元的第二时钟信号端与第 $j$ 个移位寄存器单元的第三时钟信号端连接,所述 $j$ 为正整数。

14. 根据权利要求12所述的栅极驱动电路,其特征在于,所述多个级联的移位寄存器单元中,每个移位寄存器单元的第一控制节点与控制时钟信号端连接,且第 $j+1$ 个移位寄存器单元的输出端与第 $j$ 个移位寄存器单元的复位信号端连接,所述 $j$ 为正整数。

15. 一种显示装置,其特征在于,所述显示装置包括权利要求12至14任一所述的栅极驱动电路。

## 移位寄存器单元、驱动方法、栅极驱动电路及显示装置

### 技术领域

[0001] 本发明涉及显示技术领域,特别涉及一种移位寄存器单元、驱动方法、栅极驱动电路及显示装置。

### 背景技术

[0002] 显示装置在显示图像时,需要利用栅极驱动电路(Gate Driver on Array,GOA)对像素单元进行扫描,栅极驱动电路(也称移位寄存器)包括多个级联的移位寄存器单元,每个移位寄存器单元对应一行像素单元,由多个移位寄存器单元实现对显示装置中多行像素单元的逐行扫描驱动,以显示图像。其中,当完成对某行像素单元的驱动后,该某行像素单元对应的移位寄存器单元在来自复位信号端的复位信号的控制下,对该移位寄存器单元的输出端进行降噪,以保证该输出端输出信号的稳定性。

[0003] 相关技术中,移位寄存器单元中一般设置有输出模块和下拉模块,该输出模块可以在上拉节点的控制下,向输出端输出驱动信号;该下拉模块可以在该上拉节点的控制下,对该输出端进行降噪。

[0004] 但是,由于该下拉模块中所包括的晶体管的驱动能力有限,导致该下拉模块的降噪效率较低。

### 发明内容

[0005] 本发明提供了一种移位寄存器单元、驱动方法、栅极驱动电路及显示装置,可以在一定程度上提高移位寄存器单元的降噪效率。所述技术方案如下:

[0006] 第一方面,提供了一种移位寄存器单元,所述移位寄存器单元包括:输入模块、输出模块、下拉控制模块、下拉模块、第一复位控制模块和复位模块;

[0007] 所述输入模块分别与输入信号端和上拉节点连接,用于在来自所述输入信号端的输入信号的控制下,控制所述上拉节点的电位;

[0008] 所述输出模块分别与第一时钟信号端、所述上拉节点和输出端连接,用于在所述上拉节点的控制下,向所述输出端输入来自所述第一时钟信号端的第一时钟信号;

[0009] 所述下拉控制模块分别与第一电源端、第二电源端、所述上拉节点和下拉节点连接,用于在所述上拉节点、来自所述第一电源端的第一电源信号和来自所述第二电源端的第二电源信号的控制下,控制所述下拉节点的电位;

[0010] 所述下拉模块分别与所述上拉节点、所述下拉节点、所述第二电源端和所述输出端连接,用于在所述下拉节点和所述第二电源信号的控制下,控制所述上拉节点和所述输出端的电位;

[0011] 所述第一复位控制模块分别与第一控制节点、复位信号端和第二控制节点连接,用于在所述第一控制节点和来自所述复位信号端的复位信号的控制下,控制所述第二控制节点的电位;

[0012] 所述复位模块分别与所述第二控制节点、第三电源端和所述上拉节点连接,用于

在所述第二控制节点和来自所述第三电源端的第三电源信号的控制下,控制所述上拉节点的电位。

[0013] 可选地,所述移位寄存器单元还包括:第二复位控制模块;

[0014] 所述第二复位控制模块分别与第二时钟信号端、第三时钟信号端、第二电源端和所述第一控制节点连接,用于在所述第二电源信号、所述第二时钟信号端输出的第二时钟信号和所述第三时钟信号端输出的第三时钟信号的控制下,控制所述第一控制节点的电位。

[0015] 可选地,所述第二复位控制模块包括:第一晶体管和第二晶体管;

[0016] 所述第一晶体管的栅极和所述第一晶体管的第一极均与所述第三时钟信号端连接,所述第一晶体管的第二极与所述第一控制节点连接;

[0017] 所述第二晶体管的栅极与所述第二时钟信号端连接,所述第二晶体管的第一极与所述第二电源端连接,所述第二晶体管的第二极与所述第一控制节点连接;

[0018] 并且,当通过所述第一晶体管向所述第一控制节点输入处于有效电位的第三时钟信号,且通过所述第二晶体管向所述第一控制节点输入所述第二电源信号时,所述第一控制节点的电位保持为无效电位。

[0019] 可选地,所述第一控制节点还与控制时钟信号端连接,所述控制时钟信号端用于输出控制时钟信号,以控制所述第一控制节点的电位。

[0020] 可选地,所述第一复位控制模块包括:第三晶体管;

[0021] 所述第三晶体管的栅极与所述第一控制节点连接,所述第三晶体管的第一极与所述复位信号端连接,所述第三晶体管的第二极与所述第二控制节点连接。

[0022] 可选地,所述复位模块包括:第四晶体管;

[0023] 所述第四晶体管的栅极与所述第二控制节点连接,所述第四晶体管的第一极与所述第三电源端连接,所述第四晶体管的第二极与所述上拉节点连接。

[0024] 可选地,所述输出模块包括:第五晶体管和电容器;

[0025] 所述第五晶体管的栅极与所述上拉节点连接,所述第五晶体管的第一极与所述第一时钟信号端连接,所述第五晶体管的第二极与所述输出端连接;

[0026] 所述电容器的一端与所述上拉节点连接,所述电容器的另一端与所述输出端连接。

[0027] 可选地,所述输入模块包括:第六晶体管;

[0028] 所述第六晶体管的栅极和所述第六晶体管的第一极均与所述输入信号端连接,所述第六晶体管的第二极与所述上拉节点连接。

[0029] 可选地,所述下拉控制模块包括:第七晶体管、第八晶体管、第九晶体管和第十晶体管;

[0030] 所述第七晶体管的栅极和所述第七晶体管的第一极均与所述第一电源端连接,所述第七晶体管的第二极与所述第八晶体管的栅极连接;

[0031] 所述第八晶体管的第一极与所述第一电源端连接,所述第八晶体管的第二极与所述下拉节点连接;

[0032] 所述第九晶体管的栅极与所述上拉节点连接,所述第九晶体管的第一极与所述第二电源端连接,所述第九晶体管的第二极与所述第八晶体管的栅极连接;

[0033] 所述第十晶体管的栅极与所述上拉节点连接,所述第十晶体管的第一极与所述第二电源端连接,所述第十晶体管的第二极与所述下拉节点连接。

[0034] 可选地,所述下拉模块包括:第十二晶体管和第十三晶体管;

[0035] 所述第十二晶体管的栅极与所述下拉节点连接,所述第十二晶体管的第一极与所述第二电源端连接,所述第十二晶体管的第二极与所述上拉节点连接;

[0036] 所述第十三晶体管的栅极与所述下拉节点连接,所述第十三晶体管的第一极与所述第二电源端连接,所述第十三晶体管的第二极与所述输出端连接。

[0037] 第二方面,提供了一种移位寄存器单元的驱动方法,所述方法用于驱动如第一方面任一所述的移位寄存器单元,所述方法包括:

[0038] 充电阶段,输入信号端输出的输入信号的电位为有效电位,输入模块在所述输入信号的控制下,控制上拉节点的电位为有效电位;

[0039] 输出阶段,第一时钟信号端输出的第一时钟信号的电位为有效电位,所述上拉节点的电位保持有效电位,输出模块在所述上拉节点的控制下,向输出端输入处于有效电位的所述第一时钟信号;

[0040] 预降噪阶段,复位信号端输出的复位信号的电位为有效电位,第一控制节点的电位为无效电位,第一复位控制模块在所述第一控制节点和所述复位信号的控制下,控制第二控制节点的电位为无效电位,复位模块在所述第二控制节点的控制下,控制所述上拉节点的电位保持为有效电位;所述第一时钟信号的电位为无效电位,所述输出模块在所述上拉节点的控制下,向所述输出端输入处于无效电位的所述第一时钟信号;

[0041] 降噪阶段,所述复位信号的电位为有效电位,所述第一控制节点的电位为有效电位,第一复位控制模块在所述第一控制节点和所述复位信号的控制下,控制所述第二控制节点电位为有效电位,所述复位模块在所述第二控制节点和处于无效电位的第三电源信号的控制下,控制所述上拉节点的电位为无效电位;第一电源端输出的第一电源信号的电位为有效电位,第二电源端输出的第二电源信号的电位为无效电位,所述下拉控制模块在所述第一电源信号、所述第二电源信号和所述上拉节点的控制下,控制所述下拉节点的电位为有效电位;所述下拉模块在所述下拉节点和所述第二电源信号的控制下,控制所述上拉节点的电位和所述输出端的电位为无效电位。

[0042] 第三方面,提供了一种栅极驱动电路,所述栅极驱动电路包括多个级联的如第一方面任一所述的移位寄存器单元。

[0043] 可选地,所述多个级联的移位寄存器单元中,每个移位寄存器单元包括:第二复位控制模块,所述第二复位控制模块分别与第二时钟信号端、第三时钟信号端、第二电源端和所述第一控制节点连接,且第 $j+2$ 个移位寄存器单元的输出端与第 $j$ 个移位寄存器单元的复位信号端连接,第 $j+1$ 个移位寄存器单元的第一时钟信号端与第 $j$ 个移位寄存器单元的第二时钟信号端连接,第 $j+1$ 个移位寄存器单元的第二时钟信号端与第 $j$ 个移位寄存器单元的第三时钟信号端连接,所述 $j$ 为正整数。

[0044] 可选地,所述多个级联的移位寄存器单元中,每个移位寄存器单元的第一控制节点与控制时钟信号端连接,且第 $j+1$ 个移位寄存器单元的输出端与第 $j$ 个移位寄存器单元的复位信号端连接,所述 $j$ 为正整数。

[0045] 第四方面,提供了一种显示装置,所述显示装置包括第三方面所述的栅极驱动电

路。

[0046] 本发明提供的技术方案带来的有益效果是：

[0047] 本发明提供的移位寄存器单元、驱动方法、栅极驱动电路及显示装置，该移位寄存器单元包括第一复位控制模块、复位模块和输出模块，该第一复位控制模块在第一控制节点的电位和复位信号的控制下，控制第二控制节点的电位，该复位模块根据该第二控制节点的电位控制上拉节点的电位，使得在输出阶段结束后上拉节点的电位保持为有效电位，进而在处于有效电位的上拉节点的控制下通过输出模块对输出端进行降噪，且由于输出模块具有较好的驱动能力，通过输出模块对输出端进行降噪时，能够较快地对该驱动输出端进行降噪，继而提高了对输出端进行降噪的效率。

## 附图说明

[0048] 为了更清楚地说明本发明实施例中的技术方案，下面将对实施例描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

[0049] 图1是本发明实施例提供的一种移位寄存器单元的结构示意图；

[0050] 图2a是本发明实施例提供的另一种移位寄存器单元的结构示意图；

[0051] 图2b是本发明实施例提供的另一种移位寄存器单元的结构示意图；

[0052] 图3是本发明实施例提供的又一种移位寄存器单元的结构示意图；

[0053] 图4是本发明实施例提供的再一种移位寄存器单元的结构示意图；

[0054] 图5是本发明实施例提供的一种移位寄存器单元的驱动方法的流程图；

[0055] 图6a是本发明实施例提供的一种移位寄存器单元的驱动过程的时序示意图；

[0056] 图6b是本发明实施例提供的另一种移位寄存器单元的驱动过程的时序示意图；

[0057] 图7是本发明实施例提供的一种栅极驱动电路的结构示意图。

## 具体实施方式

[0058] 为使本发明的目的、技术方案和优点更加清楚，下面将结合附图对本发明实施方式作进一步地详细描述。

[0059] 本发明所有实施例中采用的晶体管均可以为薄膜晶体管或场效应管或其他特性相同的器件，根据在电路中的作用本发明的实施例所采用的晶体管主要为开关晶体管。由于这里采用的开关晶体管的源极、漏极是对称的，所以其源极、漏极是可以互换的。在本发明实施例中，将其中源极称为第一极，漏极称为第二极。按附图中的形态规定晶体管的中间端为栅极、信号输入端为源极、信号输出端为漏极。此外，本发明实施例所采用的开关晶体管可以包括P型开关晶体管和N型开关晶体管，其中，P型开关晶体管在栅极为低电平时导通，在栅极为高电平时截止，N型开关晶体管在栅极为高电平时导通，在栅极为低电平时截止。此外，本发明各个实施例中的多个信号都对应有高电位和低电位，信号的有效电位为使开关晶体管打开的电位，例如：对于P型开关晶体管，低电位为有效电位，对于N型开关晶体管，高电位为有效电位。

[0060] 图1是本发明实施例提供的一种移位寄存器单元的结构示意图，参考图1，该移位



寄存器单元可以包括:输入模块10、输出模块20、下拉控制模块30、下拉模块40、第一复位控制模块50和复位模块60。

[0061] 输入模块10分别与输入信号端IN和上拉节点PU连接,用于在来自输入信号端IN的输入信号的电位处于有效点位时,控制上拉节点PU的电位为有效电位。

[0062] 输出模块20分别与第一时钟信号端CLK1、上拉节点PU和输出端OUT连接,用于在上拉节点PU的电位为有效电位时,向输出端OUT输入来自第一时钟信号端CLK1的时钟信号。

[0063] 下拉控制模块30分别与第一电源端VGH、第二电源端VGL、上拉节点PU和下拉节点PD连接,用于在上拉节点PU的电位为有效电位、来自第一电源端VGH的第一电源信号的电位为有效电位和来自第二电源端VGL的第二电源信号的电位为无效电位时,控制下拉节点PD的电位为无效电位;或者,用于在上拉节点PU的电位为无效电位,以及,来自第一电源端VGH的第一电源信号的电位为有效电位时,控制下拉节点PD的电位为有效电位。

[0064] 下拉模块40分别与上拉节点PU、下拉节点PD、第二电源端VGL和输出端OUT连接,用于在下拉节点PD的电位为有效电位,且第二电源信号的电位为无效电位时,分别向上拉节点PU和输出端OUT的电位为无效电位。

[0065] 第一复位控制模块50分别与第一控制节点K1、复位信号端RST和第二控制节点K2连接,用于在第一控制节点K1的电位为无效电位,且来自复位信号端RST的复位信号的电位为有效电位时,控制第二控制节点K2的电位为无效电位;或者,用于在第一控制节点K1的电位为有效电位,且来自复位信号端RST的复位信号的电位为有效电位时,控制第二控制节点K2的电位为有效电位。

[0066] 复位模块60分别与第二控制节点K2、第三电源端VSS和上拉节点PU连接,用于在第二控制节点K2的电位为有效电位,且来自第三电源端VSS的第三电源信号的的电位为无效电位时,控制上拉节点的电位为无效电位。

[0067] 其中,第一电源端、第二电源端和第三电源端可以均为直流电源端,本发明实施例对其不作具体限定。

[0068] 综上所述,本发明提供的移位寄存器单元包括第一复位控制模块、复位模块和输出模块,该第一复位控制模块在第一控制节点的电位和复位信号的控制下,控制第二控制节点的电位,该复位模块根据该第二控制节点的电位控制上拉节点的电位,使得在输出阶段结束后上拉节点的电位保持为有效电位,进而在处于有效电位的上拉节点的控制下通过输出模块对输出端进行降噪,且由于输出模块具有较好的驱动能力,通过输出模块对输出端进行降噪时,能够较快地对该输出端进行降噪,继而提高了对输出端进行降噪的效率。

[0069] 其中,控制第一控制节点K1的电位的实现方式至少可以包括以下两种可实现方式:

[0070] 请参考图2a,在一种可实现方式中,移位寄存器单元还可以包括:第二复位控制模块70。

[0071] 该第二复位控制模块70分别与第二时钟信号端CLK2、第三时钟信号端CLK3、第一电源端VGH、第二电源端VGL和第一控制节点K1连接,或者,该第二复位控制模块70分别与第二时钟信号端CLK2、第三时钟信号端CLK3、第二电源端VGL和第一控制节点K1连接,用于在第二电源信号、第二时钟信号端CLK2输出的第二时钟信号和第三时钟信号端CLK3输出的第三时钟信号的控制下,控制第一控制节点K1的电位。

[0072] 请参考图2b,在另一种可实现方式中,该第一控制节点K1与控制时钟信号端CLKT连接,该控制时钟信号端CLKT用于输出控制时钟信号,并通过该控制时钟信号控制第一控制节点K1的电位。例如:当控制时钟信号处于有效电位时,可控制该第一控制节点K1的电位为有效电位;当控制时钟信号处于无效电位时,可控制该第一控制节点K1的电位为无效电位。

[0073] 进一步地,请参考图3,该第二复位控制模块70可以包括:第一晶体管M1和第二晶体管M2。

[0074] 该第一晶体管M1的栅极与第三时钟信号端CLK3连接,该第一晶体管M1的第一极与第一电源端VGH连接,该第一晶体管M1的第二极与第一控制节点K1连接。或者,该第一晶体管M1的栅极和该第一晶体管M1的第一极均与第三时钟信号端CLK3连接,该第一晶体管的第二极与第一控制节点K1连接。

[0075] 该第二晶体管M2的栅极与第二时钟信号端CLK2连接,该第二晶体管M2的第一极与第二电源端VGL连接,该第二晶体管M2的第二极与第一控制节点K1连接。

[0076] 其中,优选的,当通过第一晶体管M1向第一控制节点K1输入处于有效电位的第三时钟信号,且通过第二晶体管M2向第一控制节点K2输入第二电源信号时,第一控制节点K1的电位保持为无效电位。且该使第一控制节点K1的电位保持为无效电位的实现方式可以为:在电路设计时,对第一晶体管M1的沟道长宽比和第二晶体管M2的沟道长宽比进行设计,例如:第一晶体管M1的沟道长宽比和第二晶体管M2的沟道长宽比的比值可以为1:5或1:6。

[0077] 请继续参考图3,该第一复位控制模块50可以包括:第三晶体管M3,该第三晶体管M3的栅极与第一控制节点K1连接,该第三晶体管M3的第一极与复位信号端RET连接,该第三晶体管M3的第二极与第二控制节点K2连接。

[0078] 请继续参考图3,该复位模块60可以包括:第四晶体管M4。该第四晶体管M4的栅极与第二控制节点K2连接,该第四晶体管M4的第一极与第三电源端VSS连接,该第四晶体管M4的第二极与上拉节点PU连接。

[0079] 请继续参考图3,输出模块20可以包括:第五晶体管M5和电容器C1。

[0080] 该第五晶体管M5的栅极与上拉节点PU连接,该第五晶体管M5的第一极与第一时钟信号端CLK1连接,该第五晶体管M5的第二极与输出端OUT连接。

[0081] 该电容器C1的一端与上拉节点PU连接,该电容器C1的另一端与输出端OUT连接。

[0082] 进一步地,请继续参考图3,该输入模块10可以包括:第六晶体管M6。该第六晶体管M6的栅极和该第六晶体管M6的第一极可以均与输入信号端IN连接,该第六晶体管M6的第二极与上拉节点PU连接。或者,输入模块10还与第一电源端VGH连接,该第六晶体管M6的栅极与输入信号端IN连接,该第六晶体管M6的第一极与第一电源端VGH连接,该第六晶体管M6的第二极与上拉节点PU连接。

[0083] 可选地,请继续参考图3,下拉控制模块30可以包括:第七晶体管M7、第八晶体管M8、第九晶体管M9和第十晶体管M10。

[0084] 该第七晶体管M7的栅极和第一极均与第一电源端VGH连接,该第七晶体管M7的第二极与第八晶体管M8的栅极连接。

[0085] 该第八晶体管M8的第一极与第一电源端VGH连接,该第八晶体管M8的第二极与下拉节点PD连接。

[0086] 该第九晶体管M9的栅极与上拉节点PU连接,该第九晶体管M9的第一极与第二电源端VGL连接,该第九晶体管M9的第二极与第八晶体管M8的栅极连接。

[0087] 该第十晶体管M10的栅极与上拉节点PU连接,该第十晶体管M10的第一极与第二电源端VGL连接,该第十晶体管M10的第二极与下拉节点PD连接。

[0088] 可选地,请参考图4,下拉控制模块30还可以包括:第十一晶体管M11。该第十一晶体管M11的栅极和第一极均与全局复位信号端STV连接,该第十一晶体管M11的第二极与下拉节点PD连接。

[0089] 可选地,请参考图3和图4,下拉模块40可以包括:第十二晶体管M12和第十三晶体管M13。

[0090] 该第十二晶体管M12的栅极与下拉节点PD连接,该第十二晶体管M12的第一极均与第二电源端VGL连接,该第十二晶体管M12的第二极与上拉节点PU连接。

[0091] 该第十三晶体管M13的栅极与下拉节点PD连接,该第十三晶体管M13的第一极与第二电源端VGL连接,该第十三晶体管M13的第二极与输出端OUT连接。

[0092] 综上所述,本发明提供的移位寄存器单元包括第一复位控制模块、复位模块和输出模块,该第一复位控制模块在第一控制节点的电位和复位信号的控制下,控制第二控制节点的电位,该复位模块根据该第二控制节点的电位控制上拉节点的电位,使得在输出阶段结束后上拉节点的电位保持为有效电位,进而在处于有效电位的上拉节点的控制下通过输出模块对输出端进行降噪,且由于输出模块具有较好的驱动能力,通过输出模块对输出端进行降噪时,能够较快地对该驱动输出端进行降噪,继而提高了对输出端进行降噪的效率。进一步地,在实际应用中,还可以根据实际需要调节第一控制节点的电位保持为有效电位的时长,以调节通过输出模块和通过下拉模块对输出端进行降噪的时长,进而实现对两者降噪时长的自由分配。

[0093] 图5是本发明实施例提供的一种移位寄存器单元的驱动方法的流程图,该方法可以用于驱动如图1至图4任一所示的移位寄存器单元,如图5所示,该方法可以包括:

[0094] 步骤501、在充电阶段中,输入信号端输出的输入信号的电位为有效电位,输入模块在输入信号的控制下,控制上拉节点的电位为有效电位。

[0095] 步骤502、在输出阶段中,第一时钟信号端输出的第一时钟信号的电位为有效电位,上拉节点的电位保持有效电位,输出模块在上拉节点的控制下,向输出端输入处于有效电位的第一时钟信号。

[0096] 步骤503、在预降噪阶段中,复位信号端输出的复位信号的电位为有效电位,第一控制节点的电位为无效电位,第一复位控制模块在第一控制节点和复位信号的控制下,控制第二控制节点的电位为无效电位,复位模块在第二控制节点的控制下,控制上拉节点的电位保持为有效电位;第一时钟信号的电位为无效电位,输出模块在上拉节点的控制下,向输出端输入处于无效电位的第一时钟信号。

[0097] 步骤504、在降噪阶段中,复位信号的电位为有效电位,第一控制节点的电位为有效电位,第一复位控制模块在第一控制节点和复位信号的控制下,控制第二控制节点电位为有效电位,复位模块在第二控制节点和处于无效电位的第三电源信号的控制下,控制上拉节点的电位为无效电位;第一电源端输出的第一电源信号的电位为有效电位,第二电源端输出的第二电源信号的电位为无效电位,下拉控制模块在第一电源信号、第二电源信号

和上拉节点的控制下,控制下拉节点的电位为有效电位;下拉模块在下拉节点和第二电源信号的控制下,控制上拉节点的电位和输出端的电位为无效电位。

[0098] 实际应用中,该驱动方法还包括全局复位阶段,在该全局复位阶段中,全局复位信号端输出的全局复位信号的电位为有效电位,下拉控制模块在该全局复位信号的控制下,向下拉节点输入该全局复位信号,用于在每一帧画面来之前将下拉节点的电位调整为有效电位,进而为每个像素行对应的上拉节点与输出端进行复位,以避免因电荷残留对显示面板造成的损伤。

[0099] 以图4所示移位寄存器结构为例,在该全局复位阶段中,当全局复位信号端STV输出的全局复位信号的电位为有效电位时,第十一晶体管M11在该全局复位信号的控制下开启,全局复位信号端STV通过该第十一晶体管M11向下拉节点PD输入处于有效电位的全局复位信号,第十二晶体管M12和第十三晶体管M13在该下拉节点PD的控制下开启,第二电源端VGL通过该第十三晶体管M13向输出端OUT输入处于无效电位的第二电源信号,且第二电源端VGL通过该第十二晶体管M12向上拉节点PU输入处于无效电位的第二电源信号,以便于在每一帧画面来之前为每个像素行对应的上拉节点PU与输出端OUT进行复位,以避免因电荷残留对显示面板造成的损伤。

[0100] 综上所述,本发明提供的移位寄存器单元的驱动方法,该移位寄存器单元包括第一复位控制模块、复位模块和输出模块,该第一复位控制模块在第一控制节点的电位和复位信号的控制下,控制第二控制节点的电位,该复位模块根据该第二控制节点的电位控制上拉节点的电位,使得在输出阶段结束后上拉节点的电位保持为有效电位,进而在处于有效电位的上拉节点的控制下通过输出模块对输出端进行降噪,且由于输出模块具有较好的驱动能力,通过输出模块对输出端进行降噪时,能够较快地对该驱动输出端进行降噪,继而提高了对输出端进行降噪的效率。

[0101] 图6a是本发明实施例提供的一种移位寄存器单元的驱动过程的时序图,以图4所示的移位寄存器单元,以及移位寄存器单元中的各晶体管为N型晶体管,有效电位相对于无效电位为高电位为例,详细介绍本发明实施例提供的移位寄存器单元的驱动原理。

[0102] 请参考图6a,充电阶段 $t_{11}$ 中,输入信号端IN输出的输入信号的电位为有效电位,第一电源端VGH输出的第一电源信号的电位为有效电位,第二电源端VGL输出的第二电源信号的电位为无效电位,此时,第六晶体管M6在该输入信号的控制下开启,输入信号端IN经过该第六晶体管M6向上拉节点PU输入处于有效电位的输入信号,为该上拉节点PU和电容器C1充电。

[0103] 并且,在该上拉节点PU的控制下,第九晶体管M9和第十晶体管M10开启,此时,第二电源端VGL通过该第十晶体管M10向下拉节点PD输入处于无效电位的第二电源信号,第二电源端VGL通过该第九晶体管M9向第八晶体管M8的栅极输入处于无效电位的第二电源信号。同时,第七晶体管M7在第一电源信号的控制下开启,第一电源端VGH通过该第七晶体管M7向第八晶体管M8的栅极输入处于有效电位的第一电源信号。并且,可以预先设计该第九晶体管M9的沟道长宽比大于该第七晶体管M7的沟道长宽比,例如两者的宽长比可以为5:1或者7:1等,在该第七晶体管M7和第九晶体管M9均开启时,该第八晶体管M8的栅极的电位可保持为无效电位,此时,第八晶体管M8关断,使得下拉节点PD的电位被下拉为无效电位,此时,第十二晶体管M12和第十三晶体管M13在该下拉节点PD的控制下关断,以保证输出端OUT的电

压稳定性。

[0104] 输出阶段 $t_{12}$ 中,第一时钟信号端CLK1(即图中的CK1)输出的第一时钟信号的电位为有效电位,同时,由于第一控制节点K1的电位为无效电位,该第一控制节点K1的使得第一复位控制模块50处于非工作状态,进而使得复位模块60也处于非工作状态,因此,上拉节点PU的电位可保持为有效电位,并且,由于在充电阶段 $t_1$ 中,上拉节点PU的电位有一定程度的升高,在其控制下第五晶体管M5微开启,第一时钟信号端CLK1可向第五晶体管M5的第二极输出第一时钟信号,当该第一时钟信号在输出阶段 $t_2$ 跳变至高电平后,由于电容器C1的耦合效应,上拉节点PU的电位会随着第五晶体管M5的第二极电平的升高而进一步升高,并使第五晶体管M5完全开启,第一时钟信号端CLK1通过该第五晶体管M5向输出端OUT输入处于有效电位的第一时钟信号,以驱动显示面板中的像素单元。且下拉节点PD的电位保持为无效电位,第十二晶体管M12和第十三晶体管M13保持为关断状态,以保证输出端OUT输出电压的稳定性。

[0105] 预降噪阶段 $t_{13}$ 中,复位信号端RST输出的复位信号的电位为有效电位,第二时钟信号的电位为有效电位,第二晶体管M2在该第二时钟信号的控制下开启,第二电源端VGL通过该第二晶体管M2向第一控制节点K1输入处于无效电位的第二电源信号,且第三时钟信号的电位为有效电位,第一晶体管M1在该第三时钟信号的控制下开启,第一电源端VGH通过该第一晶体管M1向第一控制节点K1输入处于有效电位的第一电源信号,此时,在预先设计的该第二晶体管M2的沟道长宽比大于该第一晶体管M1的沟道长宽比的作用下(例如两者的宽长比可以为5:1或者6:1等),使得在该第一晶体管M1和第二晶体管M2均开启时,该第一控制节点K1的电位可保持为无效电位,并且,第三晶体管M3在该第一控制节点K1的控制下关断,此时,无法通过第三晶体管M3向第二控制节点K2输入处于有效电位的复位信号,使得第二控制节点K2的电位仍保持为无效电位,进而使得上拉节点PU的电位仍保持为有效电位,第五晶体管M5在该上拉节点PU的控制下仍保持为开启状态;同时,第一时钟信号端CLK1输出的第一时钟信号的电位为无效电位,第一时钟信号端CLK1通过该第五晶体管M5向输出端OUT输入处于无效电位的第一时钟信号,以实现输出端OUT的降噪。

[0106] 需要说明的是,如图6a所示,对于某些低频产品,在充电时长能够保证的情况下,为了降低功耗,各时钟信号端输出高电平的时长与总输出时间的比值略小于50%(即占空比小于50%),此时,该预降噪阶段 $t_{13}$ 还可以包括:复位信号端RST输出的复位信号的电位为无效电位,第二时钟信号端CLK2(即图中的CK2)输出的第二时钟信号的电位为有效电位,第二晶体管M2在该第二时钟信号的控制下开启,第二电源端VGL通过该第二晶体管M2向第一控制节点K1输入处于无效电位的第二电源信号,第三时钟信号端CLK3(即图中的CK3)输出的第三时钟信号的电位为无效电位,第一晶体管M1在该第三时钟信号的控制下关断,第一电源端VGH无法通过第一晶体管M1向第一控制节点K1输入处于有效电位的第一电源信号,使得第一控制节点K1的电位为无效电位;此时,第三晶体管M3在该第一控制节点K1的控制下关断,使得第二控制节点K2的电位仍保持为无效电位,进而使得上拉节点PU的电位仍保持为有效电位,第五晶体管M5在该上拉节点PU的控制下仍保持为开启状态;同时,第一时钟信号端CLK1输出的第一时钟信号的电位为无效电位,第一时钟信号端CLK1通过该第五晶体管M5向输出端OUT输入处于无效电位的第一时钟信号,以实现输出端OUT的降噪。

[0107] 降噪阶段 $t_{14}$ 中,复位信号端RST输出的复位信号的电位为有效电位,第二时钟信

号端CLK2(即图中的CK2)输出的第二时钟信号的电位为无效电位,第二晶体管M2在该第二时钟信号的控制下关断,第二电源端VGL无法通过该第二晶体管M2向第一控制节点K1输入处于无效电位的第二电源信号,第三时钟信号端CLK3(即图中的CK3)输出的第三时钟信号的电位为有效电位,第一晶体管M1在该第三时钟信号的控制下开启,第一电源端VGH通过第一晶体管M1向第一控制节点K1输入处于有效电位的第一电源信号,使得第一控制节点K1的电位为有效电位,第三晶体管M3在第一控制节点K1的控制下开启,复位信号端RST通过该第三晶体管M3向第二控制节点K2输入处于有效电位的复位信号,使得第二控制节点K2的电位为有效电位,第四晶体管M4在该第二控制节点K2的控制下开启,第三电源端VSS输出的下拉电源信号的电位为无效电位,该第三电源端VSS通过该第四晶体管M4向上拉节点PU输入处于无效电位的下拉电源信号,以控制上拉节点PU的电位为无效电位,即实现对上拉节点PU的复位。

[0108] 并且,第一电源端VGH输出的第一电源信号的电位为有效电位,第二电源端VGL输出的第二电源信号的电位为无效电位,第九晶体管M9和第十晶体管M10在该处于无效电位的上拉节点PU的控制下关断,第七晶体管M7在第一电源信号的控制下开启,第一电源端VGH通过该第七晶体管M7向第八晶体管M8的栅极输入处于有效电位的第一电源信号,第八晶体管M8在该第一电源信号的控制下开启,第一电源端VGH通过该第八晶体管M8向下拉节点PD输入处于有效电位的第一电源信号,控制下拉节点PD的电位为有效电位,第十二晶体管M12和第十三晶体管M13在该下拉节点PD的控制下开启,第二电源端VGL通过该第十三晶体管M13向输出端OUT输入处于无效电位的第二电源信号,以及,第二电源端VGL通过该第十二晶体管M12向上拉节点PU输入处于无效电位的第二电源信号,以实现输出端OUT和上拉节点PU的降噪。

[0109] 图6b是本发明实施例提供的另一种移位寄存器单元的驱动过程的时序图,以移位寄存器单元中的第一控制节点还与控制时钟信号端连接,且输入模块10、输出模块20、下拉控制模块30、下拉模块40、第一复位控制模块50和复位模块60的结构为图4所示的结构,以及移位寄存器单元中的各晶体管为N型晶体管,有效电位相对于无效电位为高电位为例,详细介绍本发明实施例提供的移位寄存器单元的驱动原理。

[0110] 其中,图6b中CK信号为栅极驱动电路中奇数级移位寄存器单元的第一时钟信号端产生的第一时钟信号,CKB信号为栅极驱动电路中偶数级移位寄存器单元的第一时钟信号端产生的第一时钟信号,且各时钟信号端输出高电平的时长与总输出时间的比值为50%(即占空比为50%),以及,该移位寄存器单元在充电阶段t21和输出阶段t22的驱动原理请相应参考图6a对应的移位寄存器单元在充电阶段t11和输出阶段t12的驱动原理,此处不再赘述。

[0111] 在预降噪阶段t23中,复位信号端RST输出的复位信号的电位为有效电位,控制时钟信号端CLKT输出的控制时钟信号的电位为无效电位,使得第一控制节点K1的电位保持为无效电位,第三晶体管M3在该第一控制节点K1的控制下关断,此时,无法通过第三晶体管M3向第二控制节点K2输入处于有效电位的复位信号,使得第二控制节点K2的电位仍保持为无效电位,进而使得上拉节点PU的电位仍保持为有效电位,第五晶体管M5在该上拉节点PU的控制下仍保持为开启状态;同时,第一时钟信号端CLK1输出的第一时钟信号的电位为无效电位,第一时钟信号端CLK1通过该第五晶体管M5向输出端OUT输入处于无效电位的第一时

钟信号, 以实现输出端OUT的降噪。

[0112] 在降噪阶段 $t_{24}$ 中, 复位信号端RST输出的复位信号的电位为有效电位, 控制时钟信号端输出的控制时钟信号的电位为有效电位, 使得第一控制节点K1的电位为有效电位, 第三晶体管M3在第一控制节点K1的控制下开启, 复位信号端RST通过该第三晶体管M3向第二控制节点K2输入处于有效电位的复位信号, 使得第二控制节点K2的电位为有效电位, 第四晶体管M4在该第二控制节点K2的控制下开启, 第三电源端VSS输出的下拉电源信号的电位为无效电位, 该第三电源端VSS通过该第四晶体管M4向上拉节点PU输入处于无效电位的下拉电源信号, 以控制上拉节点PU的电位为无效电位, 即实现对上拉节点PU的复位。

[0113] 并且, 第一电源端VGH输出的第一电源信号的电位为有效电位, 第二电源端VGL输出的第二电源信号的电位为无效电位, 第九晶体管M9和第十晶体管M10在该处于无效电位的上拉节点PU的控制下关断, 第七晶体管M7在第一电源信号的控制下开启, 第一电源端VGH通过该第七晶体管M7向第八晶体管M8的栅极输入处于有效电位的第一电源信号, 第八晶体管M8在该第一电源信号的控制下开启, 第一电源端VGH通过该第八晶体管M8向下拉节点PD输入处于有效电位的第一电源信号, 控制下拉节点PD的电位为有效电位, 第十二晶体管M12和第十三晶体管M13在该下拉节点PD的控制下开启, 第二电源端VGL通过该第十三晶体管M13向输出端OUT输入处于无效电位的第二电源信号, 以及, 第二电源端VGL通过该第十二晶体管M12向上拉节点PU输入处于无效电位的第二电源信号, 以实现输出端OUT和上拉节点PU的降噪。

[0114] 相较于相关技术, 本发明实施例提供的移位寄存器单元, 通过第二控制节点的电位控制向上拉节点输入下拉电源信号的时间, 可以增加通过输出模块向输出端输出处于无效电位的第一时钟信号的时长, 即增加输出模块对输出端进行降噪的时长, 且由于输出模块具有较大的驱动能力, 通过该输出模块对驱动输出端降噪时, 能够较快地将驱动输出端的电位拉至无效电位, 在增大输出模块对输出端进行降噪的时长后, 输出端的输出波形的下降沿能够更接近于理想波形, 有效地提高了对输出端进行降噪的效率, 进而更准确地驱动显示面板中的像素单元。

[0115] 本发明实施例提供了一种栅极驱动电路, 该栅极驱动电路可以包括多个级联的移位寄存器单元, 且每个移位寄存器单元均为图1至图4任一所示的移位寄存器单元。

[0116] 当通过上述第一种可实现方式实现对第一控制节点K1的电位进行控制时, 该栅极驱动电路中每个移位寄存器单元包括: 第二复位控制模块70, 该第二复位控制模块70分别与第二时钟信号端CLK2、第三时钟信号端CLK3、第二电源端VGL和第一控制节点K1连接, 且多个移位寄存器单元中, 第 $j+2$ 个移位寄存器单元的输出端OUT可以与第 $j$ 个移位寄存器单元的复位信号端RST连接, 第 $j+1$ 个移位寄存器单元的第一时钟信号端CLK1与第 $j$ 个移位寄存器单元的第二时钟信号端CLK2连接, 第 $j+1$ 个移位寄存器单元的第二时钟信号端CLK2与第 $j$ 个移位寄存器单元的第三时钟信号端CLK3连接, 同时, 第 $j+2$ 个移位寄存器单元的输入信号端IN可以与第 $j$ 个移位寄存器单元的输出端OUT连接, 且第一个移位寄存器单元的输入信号端IN与第一启动信号端IN1连接, 该第一启动信号端IN1用于为该第一个移位寄存器单元的输入信号端IN提供第一启动信号, 第二个移位寄存器单元的输入信号端IN与第二启动信号端IN2连接, 该第二启动信号端IN2用于为该第二个移位寄存器单元的输入信号端IN提供第二启动信号, 该第一启动信号与该第二启动信号的有效电位阶段的中点的时间差为一

行GOA的输出时间,其中, $j$ 为正整数。此时,如图6a所示,栅极驱动电路中可以有4个时钟信号端,该4个时钟信号端分别输出时钟信号CK1至CK4,该4个时钟信号的周期相同,且占空比相同,并且在每个时钟周期内,相邻两个时钟信号的有效电位阶段的中点的时间差为

一行GOA的输出时间,且在CK1的电位处于无效电位的阶段内,CK3的电位由无效电位跳变为有效电位;在CK2的电位处于无效电位的阶段内,CK4的电位由无效电位跳变为有效电位。

[0117] 并且,请参考图7,第一极移位寄存器单元GOA1的第一时钟信号端CLK1中输入的时钟信号可以为CK1,第二时钟信号端CLK2输入的时钟信号可以为CK2,第三时钟信号端CLK3输入的时钟信号可以为CK3;第二极移位寄存器单元GOA2的第一时钟信号端CLK1中输入的时钟信号可以为CK2,第二时钟信号端CLK2输入的时钟信号可以为CK3,第三时钟信号端CLK3输入的时钟信号可以为CK4;第三级移位寄存器单元GOA3的第一时钟信号端CLK1中输入的时钟信号可以为CK3,第二时钟信号端CLK2输入的时钟信号可以为CK4,第三时钟信号端CLK3输入的时钟信号可以为CK1;第四级移位寄存器单元GOA4的第一时钟信号端CLK1中输入的时钟信号可以为CK4,第二时钟信号端CLK2输入的时钟信号可以为CK1,第三时钟信号端CLK3输入的时钟信号可以为CK2。并且,第一极移位寄存器单元GOA1的输入信号端IN与第一启动信号端IN1连接,第二极移位寄存器单元GOA2的输入信号端IN与第二启动信号端IN2连接,第三级移位寄存器单元GOA3与第一极移位寄存器单元GOA1的输出端OUT连接,第四级移位寄存器单元GOA4与第二极移位寄存器单元GOA2的输出端OUT连接。该栅极驱动电路可以以4个移位寄存器单元为单位,重复以上连接。

[0118] 当通过上述第二种可实现方式实现对第一控制节点K1的电位进行控制时,该栅极驱动电路中每个移位寄存器单元的第一控制节点K1与控制时钟信号端CLKT连接,且多个移位寄存器单元中,第 $j+1$ 个移位寄存器单元的输出端OUT可与第 $j$ 个移位寄存器单元的复位信号端RST连接。此时,栅极驱动电路中可以有3个时钟信号端,该3个时钟信号端分别输出时钟信号CK、CKB和CLKT,其中,时钟信号CK的输出波形可与图6a中时钟信号CK1的输出波形相同,时钟信号CKB的输出波形可与图6a中时钟信号CK3的输出波形相同,时钟信号CLKT的输出波形可与图6a中第一控制节点K1的输出波形相同。

[0119] 并且,奇数级移位寄存器单元GOA1的第一时钟信号端CLK1中输入的时钟信号可以为CK;偶数级移位寄存器单元GOA2的第一时钟信号端CLK1中输入的时钟信号可以为CKB。

[0120] 需要说明的是,相对于移位寄存器单元的第一控制节点K1与控制时钟信号端CLKT连接的方式,移位寄存器单元的第一控制节点K1与第二复位控制模块连接的方式可利用其它级的时钟信号产生输入至第一控制节点K1的控制信号,无需新增时钟信号端为第一控制节点K1提供控制信号,降低了GOA的整体功耗,其具有更好的优势。

[0121] 综上所述,本发明提供的栅极驱动电路,其移位寄存器单元包括第一复位控制模块、复位模块和输出模块,该第一复位控制模块在第一控制节点的电位和复位信号的控制下,控制第二控制节点的电位,该复位模块根据该第二控制节点的电位控制上拉节点的电位,使得上拉节点的电位保持为有效电位的时长增加,进而增加通过输出模块对输出端进行降噪的时长,且由于输出模块具有较好的驱动能力,通过输出模块对输出端进行降噪时,能够较快地对该驱动输出端进行降噪,继而提高了对输出端进行降噪的效率。

[0122] 本发明实施例提供一种显示装置,该显示装置可以包括本发明实施例提供的栅极驱动电路。该显示装置可以为:液晶面板、电子纸、有机发光二极管(英文:Organic Light-



Emitting Diode,简称:OLED)面板、手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

[0123] 本发明实施例还提供了一种存储介质,该存储介质内存储有计算机程序,计算机程序被处理器执行时实现本发明实施例提供的移位寄存器单元的驱动方法。

[0124] 以上所述仅为本发明的较佳实施例,并不用以限制本发明,凡在本发明的精神和原则之内,所作的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。

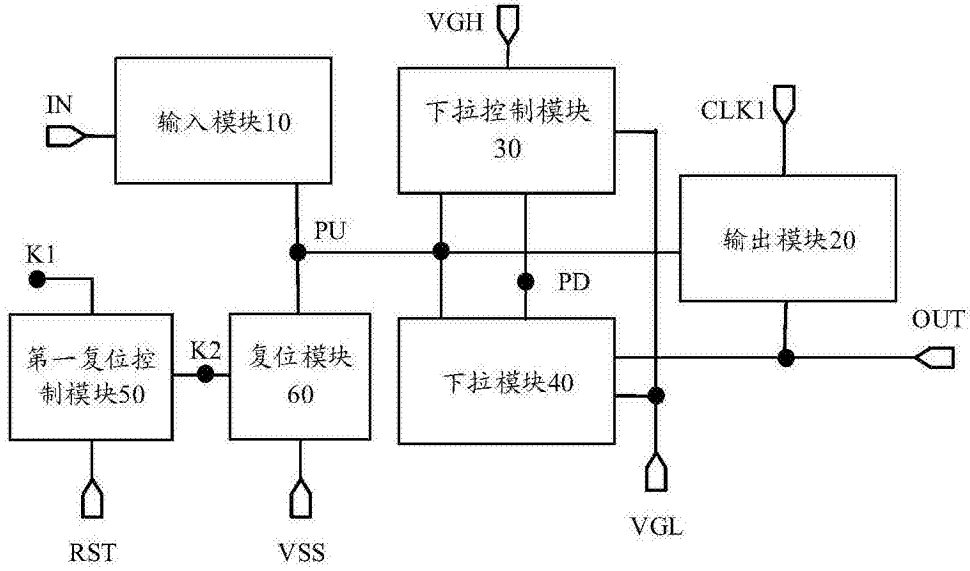


图1

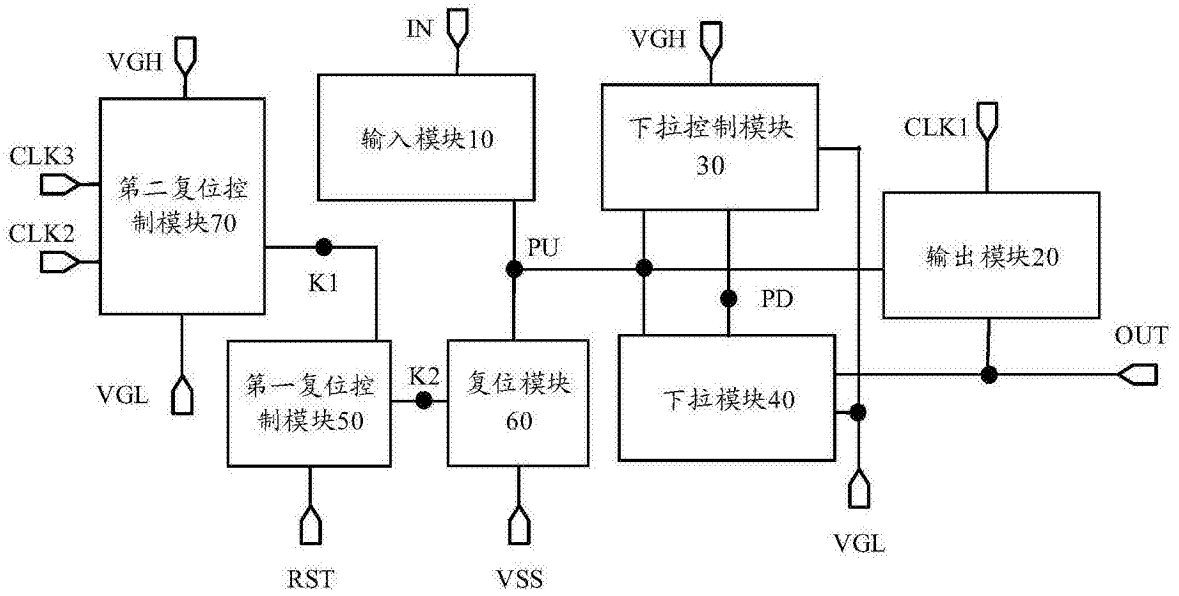


图2a

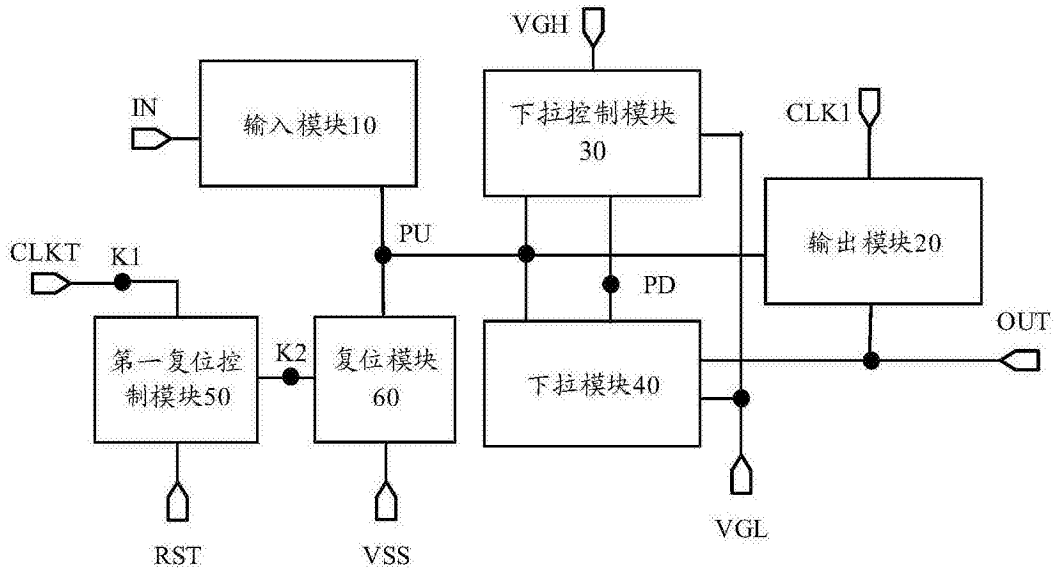


图2b

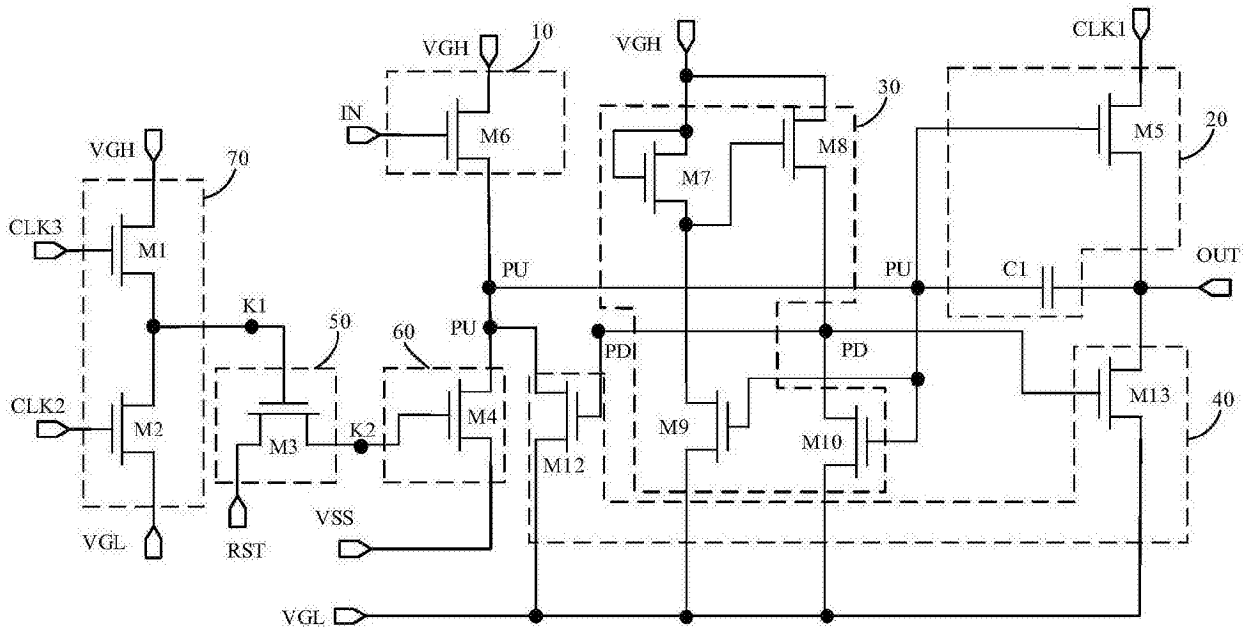


图3

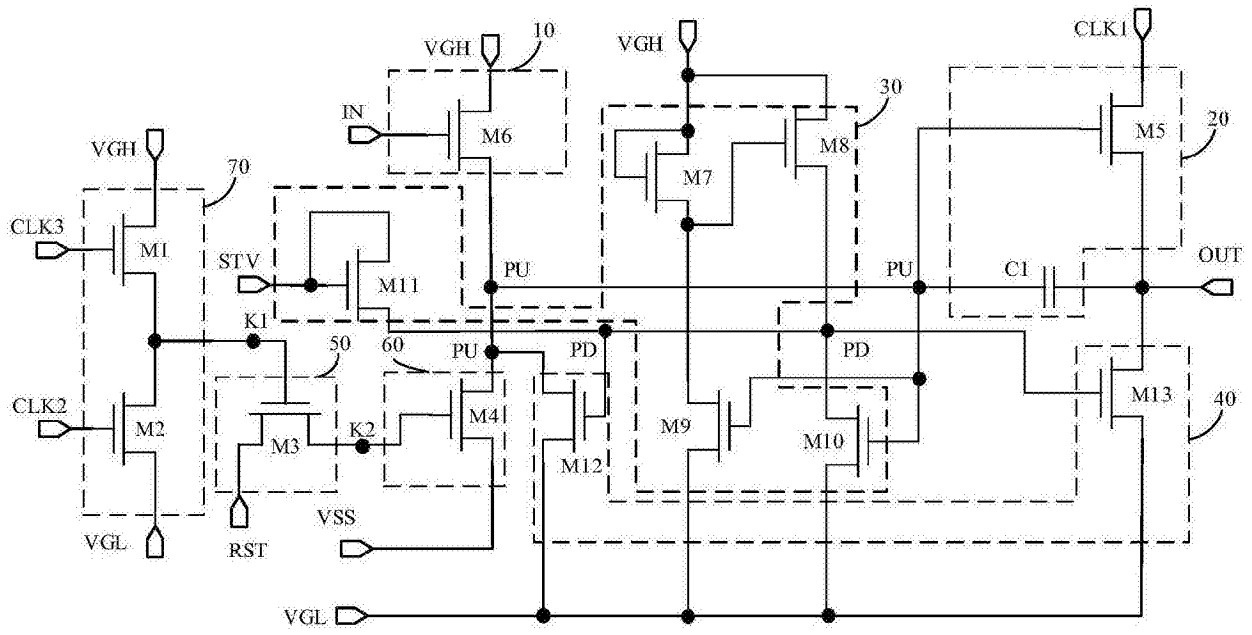


图4

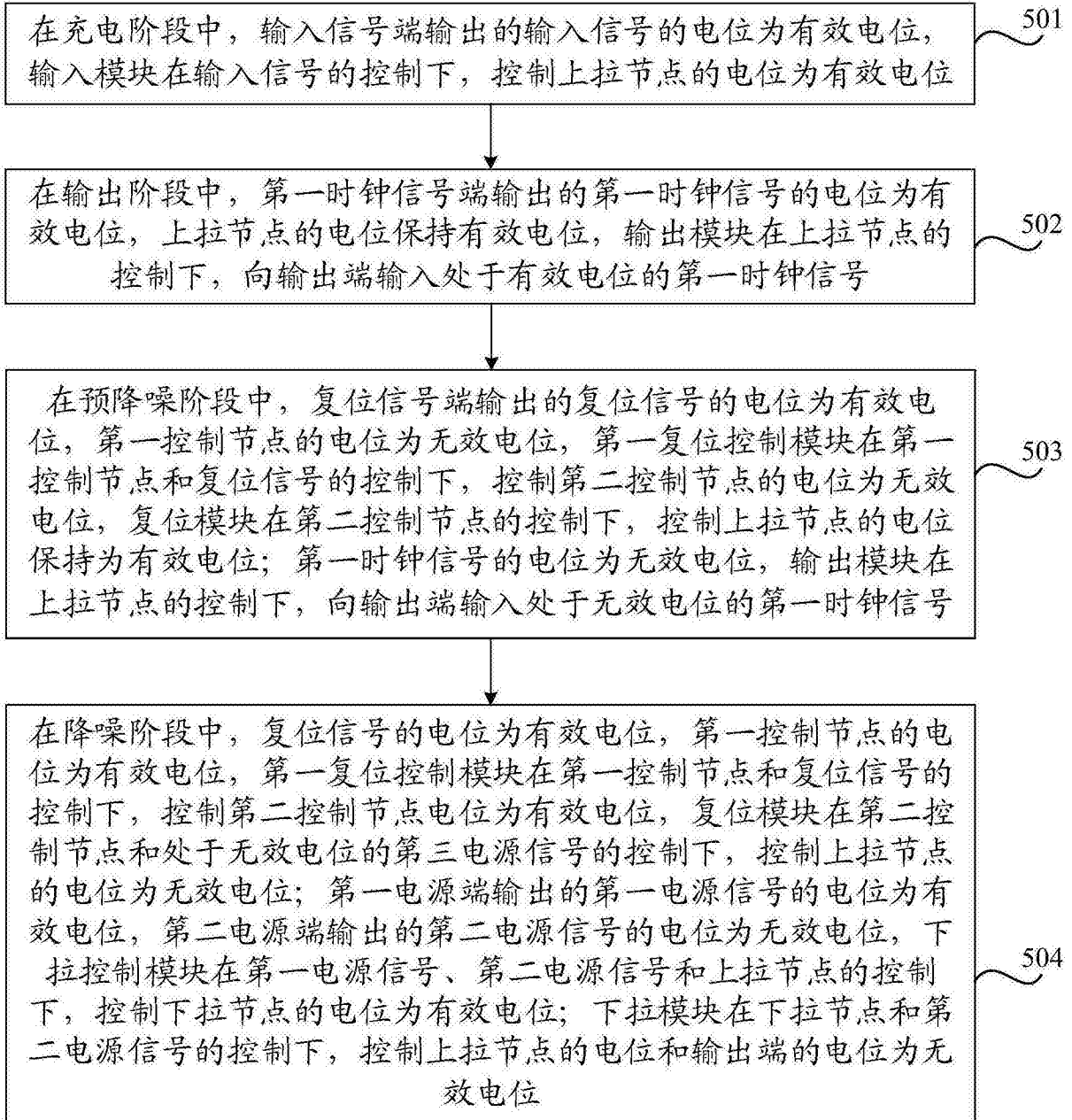


图5

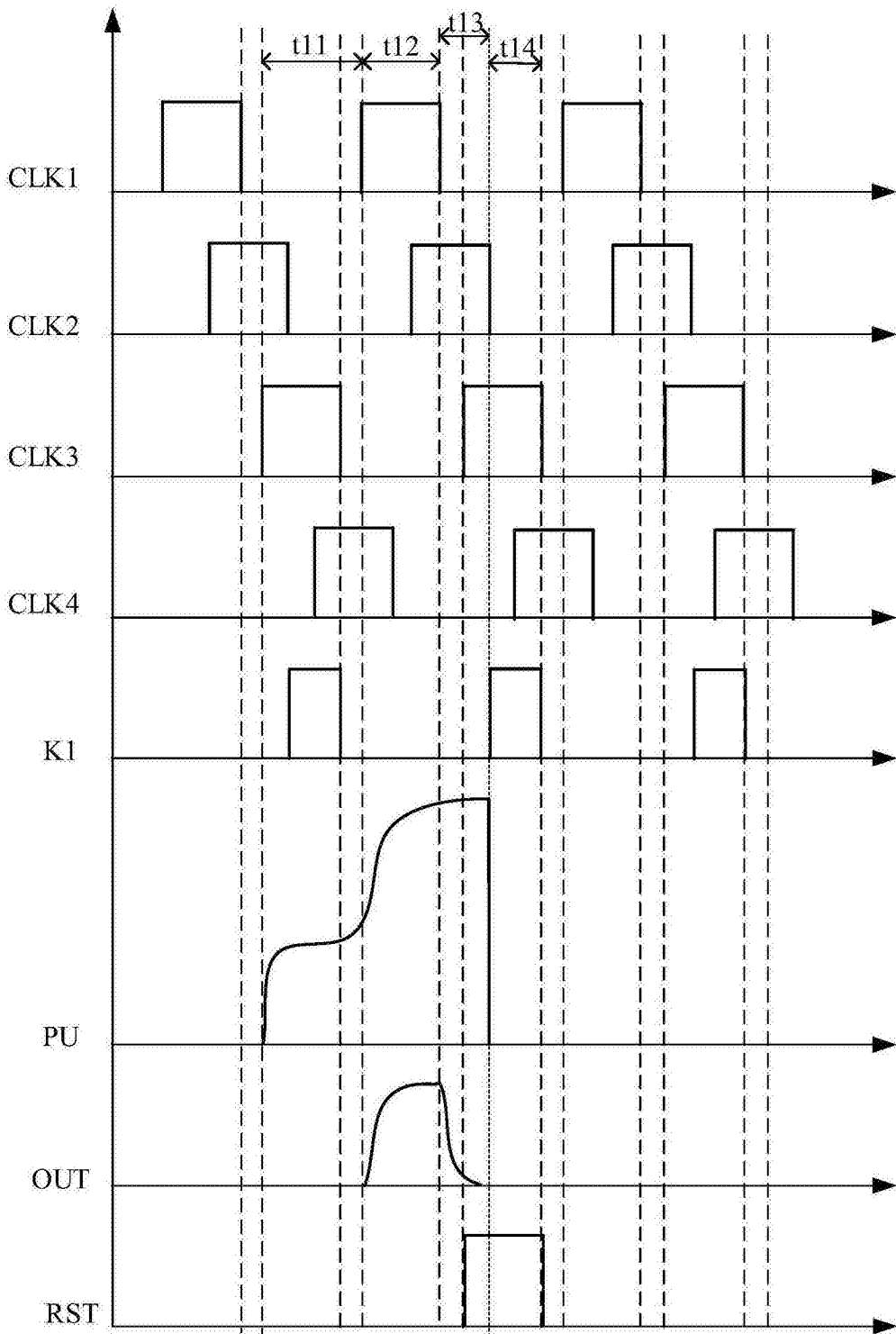


图6a

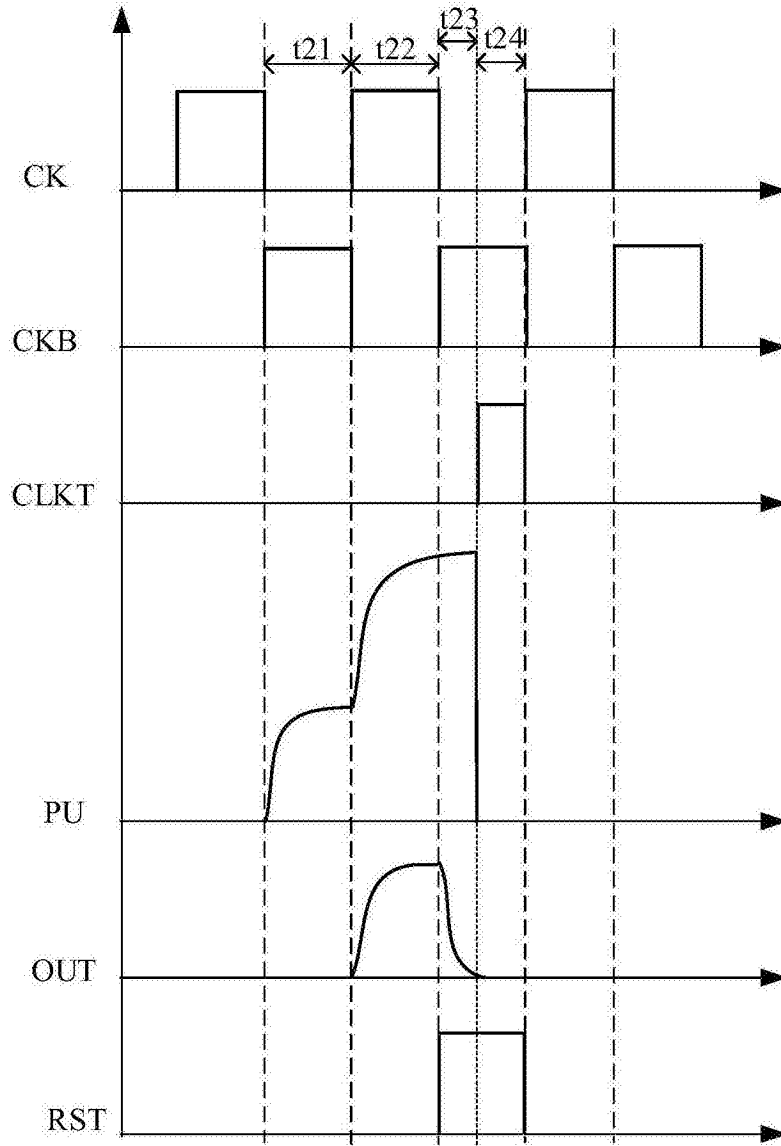


图6b

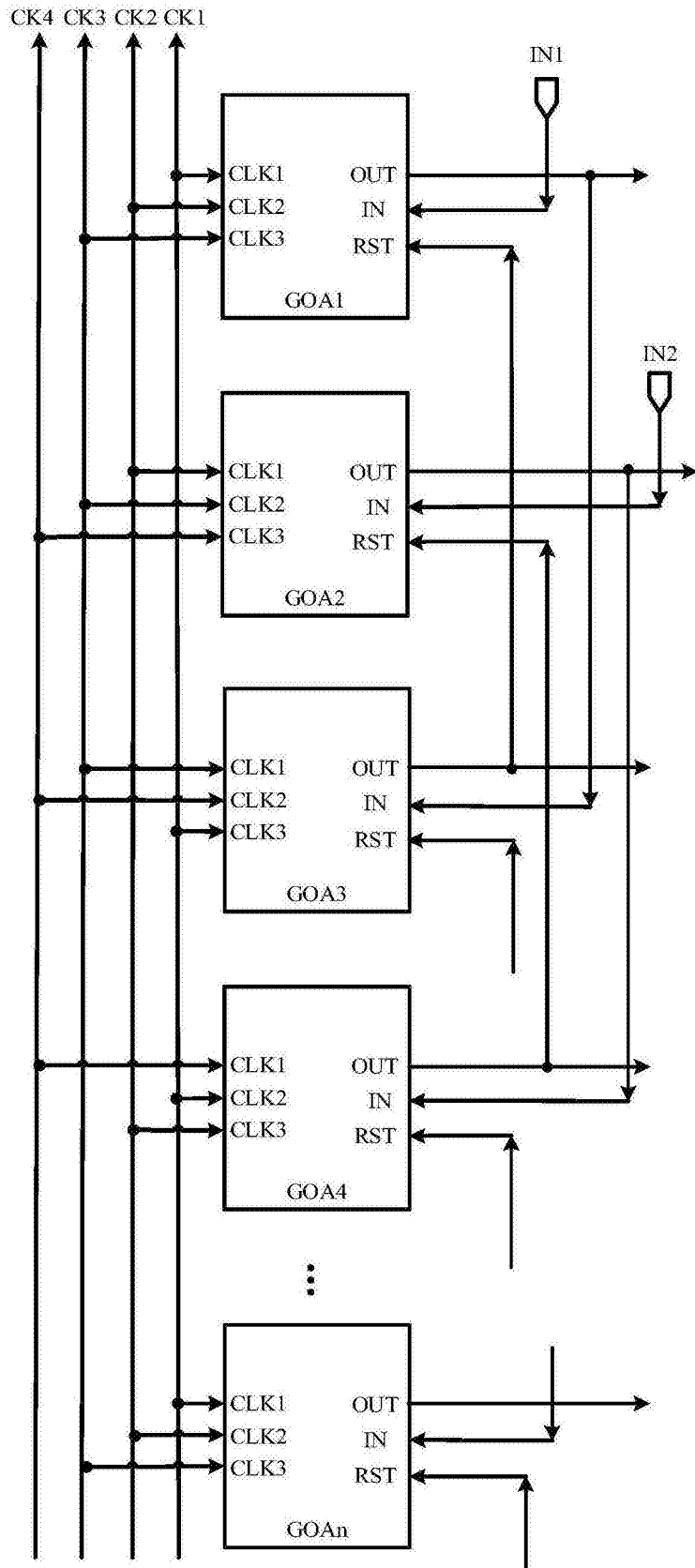


图7