



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I779444 B

(45) 公告日：中華民國 111 (2022) 年 10 月 01 日

(21) 申請案號：109146547

(22) 申請日：中華民國 109 (2020) 年 12 月 28 日

(51) Int. Cl. : **G11C11/4096(2006.01)**

(71) 申請人：瑞昱半導體股份有限公司 (中華民國) REALTEK SEMICONDUCTOR CORPORATION (TW)

30076 新竹科學園區創新二路 2 號

(72) 發明人：張雅閔 CHANG, YA-MIN (TW)

(74) 代理人：陳長文；馮博生

(56) 參考文獻：

US	6138177	US	7032145B1
US	7139919B2	US	8407541B1
US	2005/0267727A1	US	2010/0172200A1
US	2016/0309590A1	US	2016/0322095A1
US	2017/0236569A1	US	2020/0185052A1
US	2020/0401440A1		

審查人員：劉聖尉

申請專利範圍項數：10 項 圖式數：7 共 30 頁

(54) 名稱

用於同步動態隨機存取記憶體之控制模組及其控制方法

(57) 摘要

一種用於 SDRAM 之控制模組及其控制方法。控制模組包含至少一暫存器以及控制器。控制器用以：控制 SDRAM 自匯流排資料存取模式切換至動態接腳 (Dynamic Pin, DPIN) 操作模式；於 DPIN 操作模式設定至少一暫存器之數值；以及根據至少一暫存器之數值控制 SDRAM。

The present disclosure provides a control module and a control method thereof for an SDRAM. The control module includes at least one register and a controller. The controller is configured to: control the SDRAM to switch from a bus data access mode to a dynamic pin (DPIN) operating mode; setting value of the at least one register under the DPIN operating mode; and control the SDRAM according to the value of the at least one register.

指定代表圖：

符號簡單說明：

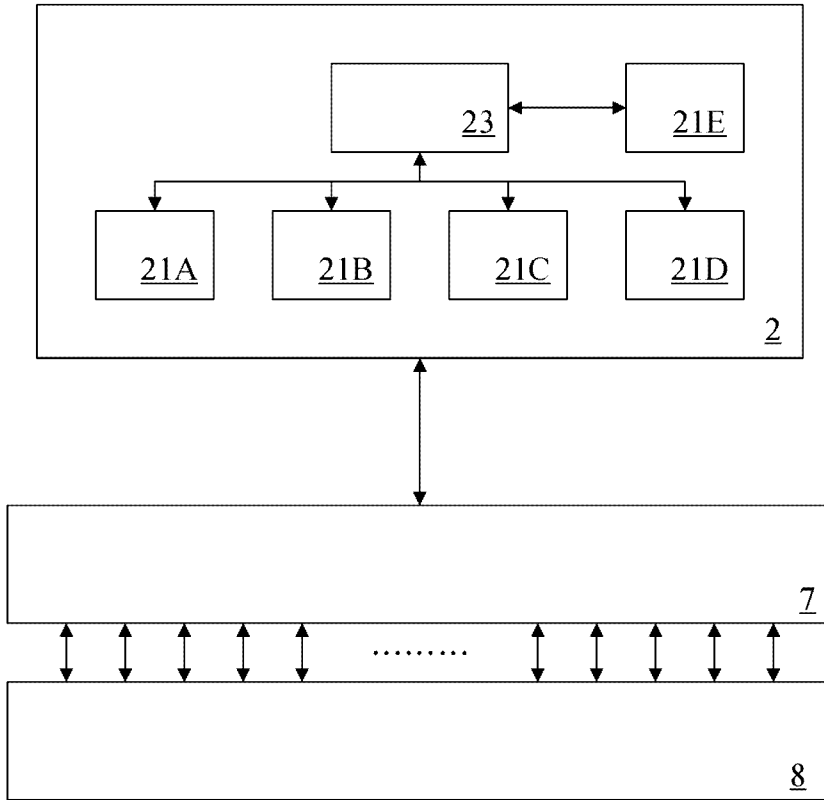
2: 控制模組

21A~21E: 暫存器

23: 控制器

7: 解譯器

8: SDRAM



【圖2B】



公告本

I779444

【發明摘要】

【中文發明名稱】

用於同步動態隨機存取記憶體之控制模組及其控制方法

【英文發明名稱】

CONTROL MODULE AND CONTROL METHOD THEREOF FOR SYNCHRONOUS DYNAMIC RANDOM ACCESS MEMORY

【中文】

一種用於SDRAM之控制模組及其控制方法。控制模組包含至少一暫存器以及控制器。控制器用以：控制SDRAM自匯流排資料存取模式切換至動態接腳（Dynamic Pin, DPIN）操作模式；於DPIN操作模式設定至少一暫存器之數值；以及根據至少一暫存器之數值控制SDRAM。

【英文】

The present disclosure provides a control module and a control method thereof for an SDRAM. The control module includes at least one register and a controller. The controller is configured to: control the SDRAM to switch from a bus data access mode to a dynamic pin (DPIN) operating mode; setting value of the at least one register under the DPIN operating mode; and control the SDRAM according to the value of the at least one register.

【指定代表圖】

圖2B

【代表圖之符號簡單說明】

2: 控制模組

21A~21E: 暫存器

23: 控制器

7: 解譯器

8: SDRAM

【發明說明書】

【中文發明名稱】

用於同步動態隨機存取記憶體之控制模組及其控制方法

【英文發明名稱】

CONTROL MODULE AND CONTROL METHOD THEREOF FOR SYNCHRONOUS DYNAMIC RANDOM ACCESS MEMORY

【技術領域】

【0001】 本發明係關於一種記憶體之控制模組以及控制方法，尤其是關於一種用於同步動態隨機存取記憶體之控制模組及其控制方法。

【先前技術】

【0002】 同步動態隨機存取記憶體（ Synchronous Dynamic Random Access Memory, SDRAM ）架構中，需要透過SDRAM控制器（ SDRAM controller ）執行指令與控制資料通道。習知之SDRAM控制器於製作時，通常會針對所需執行之指令及特定功能進行開發。惟就已完成之SDRAM控制器觀之，若針對SDRAM之操作（尤其是具特殊功能之操作）具有任何缺陷、瑕疵或錯誤，都將難以被驗證或以其他方法修正。

【發明內容】

【0003】 本發明的目的在於提供一種用於同步動態隨機存取記憶體（ Synchronous Dynamic Random Access Memory, SDRAM ）之控制方法，包含：控制SDRAM自匯流排資料存取模式切換至動態接腳（ Dynamic Pin, DPIN ）操作模式；於DPIN模式設定至少一暫存器之數值；以及根據至少一暫存器之數值控制SDRAM。

【0004】 本發明另提供一種用於SDRAM之控制模組，包含至少一

暫存器以及控制器。至少一暫存器與SDRAM電性連結。控制器組電性連結SDRAM以及至少一暫存器，用以：控制SDRAM自匯流排資料存取模式切換至動態接腳（Dynamic Pin, DPIN）操作模式；於DPIN模式設定至少一暫存器之數值；以及根據至少一暫存器之數值控制SDRAM。

【圖式簡單說明】

【0005】 結合附圖閱讀以下詳細描述會最佳地理解本發明之態樣。應注意，各種特徵可能未按比例繪製。事實上，可出於論述清楚起見，而任意地增大或減小各種特徵之尺寸。

【0006】 圖1為本發明之一些實施例之控制模組之方塊圖。

【0007】 圖2A為本發明之一些實施例之控制模組之方塊圖。

【0008】 圖2B為本發明之一些實施例之控制模組之方塊圖。

【0009】 圖3為本發明之一些實施例之控制方法之流程圖。

【0010】 圖4為本發明之一些實施例之控制方法之流程圖。

【0011】 圖5A至5C為本發明之一些實施例之控制方法之流程圖。

【0012】 圖6A至6C為本發明之一些實施例之控制方法之流程圖。

【0013】 圖7A至7C為本發明之一些實施例之控制方法之流程圖。

【實施方式】

【0014】 在下文更詳細地論述本發明之實施例。然而，應瞭解，本發明提供可在廣泛多種特定情境中體現之許多適用的概念。所論述特定實施例僅為說明性的且並不限制本發明之範疇。

【0015】 習知之同步動態隨機存取記憶體（Synchronous Dynamic Random Access Memory, SDRAM）架構缺乏使用彈性，若針對SDRAM之操作具有任何缺陷、瑕疵或錯誤，都將難以被驗證或以其他方法修正。

而為了增加SDRAM架構之操作彈性，本發明提供一種控制模組及其控制方法。

【0016】請參閱圖1，其係本發明一些實施例之一控制模組1之方塊圖。控制模組1包含至少一暫存器11以及一控制器13，暫存器11與控制器13電性連結。控制模組1與一同步動態隨機存取記憶體（Synchronous Dynamic Random Access Memory, SDRAM）9電性連結。元件間透過電性連結傳遞資料及訊號。相關控制操作將於下文中進一步闡述。

【0017】於一些實施例中，SDRAM 9處於一匯流排資料存取模式，換句話說，SDRAM 9透過一般匯流排與裝置（例如：電腦主機）進行資料交換。當需要針對SDRAM 9進行特殊操作功能（例如：除錯、特殊指令控制等）時，控制器13基於使用者指令將SDRAM 9自匯流排資料存取模式切換至一動態接腳（Dynamic Pin, DPIN）操作模式。

【0018】於DPIN操作模式下，使用者可透過控制器13設定至少一暫存器11之數值。隨後，於至少一暫存器11之數值設定完畢後，控制器13根據至少一暫存器11之數值控制SDRAM 9。更進一步來說，當使用者需要針對SDRAM 9執行特殊指令時，此特殊指令通常會對應SDRAM 9之至少一接腳（pin），換言之，當相應於特殊指令之至少一接腳被觸發時，即針對SDRAM 9完成特殊指令之執行。

【0019】由於至少一暫存器11之不同數值相應於SDRAM 9之不同接腳或不同接腳之組合，因此，使用者可針對特殊指令對應之SDRAM 9之至少一接腳，先於至少一暫存器11填入相應之數值，如此一來，當至少一暫存器11之數值設定完畢後，控制器13便可根據至少一暫存器11之數值觸發SDRAM 9之接腳，已完成對SDRAM 9之特殊指令之執行。

【0020】請參閱圖2A，其係本發明一些實施例之一控制模組2之方塊圖。控制模組2包含複數暫存器21A至21D以及一控制器23，暫存器21A至21D與控制器23電性連結。於一些實施例中，暫存器21A儲存之數值相應於SDRAM 8之綁定指令（Tied Command）相關之接腳，暫存器21B儲存之數值相應於SDRAM 8之同步指令（Synchronous Command）相關之接腳，暫存器21C儲存之數值相應於欲寫入至SDRAM 8之資料，暫存器21D用以儲存之自SDRAM 8讀取之資料。

【0021】控制模組2經由一解譯器（decoder）7與一SDRAM 8電性連結。解譯器7之多個輸出對應至SDRAM 8之多個接腳。解譯器7用以解碼控制模組2提供之數值，並根據解碼之數值觸發相應之SDRAM 8之接腳。元件間透過電性連結傳遞資料及訊號。相關控制操作將於下文中進一步闡述。

【0022】於一些實施例中，SDRAM 8處於一匯流排資料存取模式，換句話說，SDRAM 8透過一般匯流排與裝置（例如：電腦主機）進行資料交換。當需要針對SDRAM 8進行特殊操作功能（例如：除錯、特殊指令控制等）時，控制器23基於使用者指令將SDRAM 8自匯流排資料存取模式切換至一DPIN操作模式。

【0023】於DPIN操作模式下，使用者可透過控制器23設定暫存器21A至21B之數值。隨後，於暫存器21A至21B之數值設定完畢後，控制器23根據暫存器21A至21B之數值控制SDRAM 8。更進一步來說，當使用者需要針對SDRAM 8執行特殊指令時，此特殊指令通常會對應SDRAM 8之至少一接腳，換言之，當相應於特殊指令之至少一接腳被觸發時，即針對SDRAM 8完成特殊指令之執行。由於暫存器21之不同數值相應於

SDRAM 8之不同接腳或不同接腳之組合，因此，使用者可針對特殊指令對應之SDRAM 8之至少一接腳，先於暫存器21A至21B填入相應之數值，如此一來，當暫存器21A至21B之數值設定完畢後，控制器23便可根據暫存器21A至21B之數值觸發SDRAM 8之接腳，已完成對SDRAM 8之特殊指令之執行。以下將透過各種範例更進一步地說明本發明之技術。

【0024】 於一些範例中，暫存器21A之數值相應SDRAM 8之綁定指令相關之接腳（例如：重置接腳RST、時脈致能接腳CKE、晶粒上終端（On Die Termination）接腳ODT等）。其中，針對SDRAM 8之至少一接腳（不包含CKE接腳），使用者可透過控制器23於暫存器21A設定相應之數值。換句話說，暫存器21A設定之數值用以相應地觸發SDRAM 8之至少一接腳（非CKE接腳）。當設定完畢後，控制器23直接根據暫存器21A之數值控制SDRAM 8。

【0025】 另一方面，針對SDRAM 8之至少一接腳（包含CKE接腳），使用者可透過控制器23暫存器21A設定相應之數值。換句話說，暫存器21A設定之數值用以相應地觸發SDRAM 8之至少一接腳（包含CKE接腳）。當設定完畢後，控制器23便觸發一DPIN操作，以同步根據暫存器21A至21B之數值控制SDRAM 8。於此範例中，控制器23觸發DPIN操作，以根據暫存器21A之數值控制SDRAM 8。

【0026】 於一些範例中，暫存器21A之數值相應SDRAM 8之綁定指令相關之接腳（例如：重置接腳RST、時脈致能接腳CKE、晶粒上終端接腳ODT等），暫存器21B之數值相應SDRAM 8之同步指令相關之接腳（例如：CS、RAS、CAS、WEN、ACT、CA等接腳）。其中，針對SDRAM 8之至少一接腳（不包含CKE、RST、ODT接腳），使用者可透過控制器

23於暫存器21A以及21B設定相應之數值。換句話說，暫存器21A以及21B設定之數值用以相應地觸發SDRAM 8之至少一接腳（非CKE、RST、ODT接腳）。當設定完畢後，控制器23直接根據暫存器21A之數值控制SDRAM 8，並觸發DPIN操作以根據暫存器21B之數值控制SDRAM 8。

【0027】另一方面，針對SDRAM 8之至少一接腳（包含CKE、RST、ODT接腳），使用者可透過控制器23於暫存器21A以及21B設定相應之數值。換句話說，暫存器21A以及21B設定之數值用以相應地觸發SDRAM 8之至少一接腳（包含CKE、RST、ODT接腳）。當設定完畢後，控制器23便觸發DPIN操作，以同步根據暫存器21A以及21B之數值控制SDRAM 8。於此範例中，控制器23觸發DPIN操作，以根據暫存器21A以及21B之數值控制SDRAM 8。

【0028】於一些範例中，暫存器21A之數值相應SDRAM 8之綁定指令相關之接腳（例如：重置接腳RST、時脈致能接腳CKE、晶粒上終端接腳ODT等），暫存器21B之數值相應SDRAM 8之同步指令相關之接腳（例如：CS、RAS、CAS、WEN、ACT、CA等接腳），暫存器21C之數值相應於欲寫入SDRAM 8之資料。

【0029】針對SDRAM 8之至少一接腳（不包含CKE、RST、ODT接腳），使用者可透過控制器23於暫存器21A、暫存器21B以及暫存器21C設定相應之數值。換句話說，暫存器21A以及21B設定之數值用以相應地觸發SDRAM 8之至少一接腳（非CKE、RST、ODT接腳），暫存器21C設定之數值為欲寫入至SDRAM 8之資料。當設定完畢後，控制器23直接根據暫存器21A之數值控制SDRAM 8，並觸發DPIN操作以：(1) 根據暫存

器21B之數值控制SDRAM 8以及將暫存器21C之數值寫入至SDRAM 8。

【0030】 另一方面，針對SDRAM 8之至少一接腳（包含CKE、RST、ODT接腳），使用者可透過控制器23於暫存器21A、暫存器21B以及暫存器21C設定相應之數值。換句話說，暫存器21A以及21B設定之數值用以相應地觸發SDRAM 8之至少一接腳（包含CKE、RST、ODT接腳），暫存器21C設定之數值為欲寫入至SDRAM 8之資料。當設定完畢後，控制器23便觸發DPIN操作，以根據暫存器21A以及21B之數值控制SDRAM 8，並將暫存器21C之數值寫入至SDRAM 8。於此範例中，控制器23觸發DPIN操作，以根據暫存器21A以及21B之數值控制SDRAM 8。

【0031】 於一些範例中，暫存器21A之數值相應SDRAM 8之綁定指令相關之接腳（例如：重置接腳RST、時脈致能接腳CKE、晶粒上終端接腳ODT等），暫存器21B之數值相應SDRAM 8之同步指令相關之接腳（例如：CS、RAS、CAS、WEN、ACT、CA等接腳），暫存器21C之數值相應於欲寫入SDRAM 8之資料。

【0032】 針對SDRAM 8之至少一接腳（不包含CKE、RST、ODT接腳），使用者可透過控制器23於暫存器21A以及21B設定相應之數值。換句話說，暫存器21A以及21B設定之數值用以相應地觸發SDRAM 8之至少一接腳（非CKE、RST、ODT接腳）。當設定完畢後，控制器23直接根據暫存器21A之數值控制SDRAM 8，並觸發DPIN操作以：（1）根據暫存器21B之數值控制SDRAM 8以及將自SDRAM 8讀取之資料儲存至暫存器21D。

【0033】 另一方面，針對SDRAM 8之至少一接腳（包含CKE、RST、ODT接腳），使用者可透過控制器23於暫存器21A以及21B設定相

應之數值。換句話說，暫存器21A以及21B設定之數值用以相應地觸發SDRAM 8之至少一接腳（包含CKE、RST、ODT接腳）。當設定完畢後，控制器23便觸發DPIN操作，以同步根據暫存器21A以及21B之數值控制SDRAM 8，並將自SDRAM 8讀取之資料儲存至暫存器21D。於此範例中，控制器23觸發DPIN操作，以根據暫存器21A以及21B之數值控制SDRAM 8。

【0034】 需特別說明，前述之DPIN操作可同步暫存器21A至21C之存取，於一些實施例中，可利用額外之同步控制暫存器決定前述DPIN操作之執行。請參閱圖2B，其係本發明一些實施例之控制模組2之另一方塊圖。控制模組2更包含一同步控制暫存器21E，用以：（1）標記SDRAM 8是否切換至DPIN操作模式；（2）同步暫存器21A至21C之存取；以及（3）標註DPIN狀態。

【0035】 本發明之一些實施例包含SDRAM之控制方法，其流程圖如圖3所示。這些實施例之影像擷取方法由一控制模組（如前述實施例之控制模組）實施，方法之詳細操作如下。首先，執行步驟S301，控制SDRAM自一匯流排資料存取模式切換至一DPIN操作模式。執行步驟S302，於DPIN模式設定至少一暫存器之數值。執行步驟S303，根據至少一暫存器之數值控制SDRAM。

【0036】 本發明之一些實施例包含SDRAM之控制方法，其流程圖如圖4所示。這些實施例之影像擷取方法由一控制模組（如前述實施例之控制模組）實施，方法之詳細操作如下。

【0037】 首先，執行步驟S401，控制SDRAM自一匯流排資料存取模式切換至一DPIN操作模式。當需要控制SDRAM之CKE接腳時，執行

步驟S402，於DPIN模式設定一第一暫存器之數值，使第一暫存器之數值相應於SDRAM之綁定指令相關之至少一接腳（包含CKE接腳）。執行步驟S403，觸發一DPIN操作，以根據第一暫存器之數值控制SDRAM。

【0038】另一方面，當控制SDRAM之非CKE接腳時，執行步驟S404，於DPIN模式設定第一暫存器之數值，使第一暫存器之數值相應於SDRAM之綁定指令相關之至少一接腳（不包含CKE接腳），並直接根據約束數值暫存器之數值控制SDRAM。

【0039】於一些實施例中，執行步驟S405，確認DPIN模式是否需要結束。若是，則執行步驟S406，控制SDRAM自DPIN操作模式切換至匯流排資料存取模式。若否，則重複執行步驟S402至步驟S405。

【0040】本發明之一些實施例包含SDRAM之控制方法，其流程圖如圖5A至5C所示。這些實施例之影像擷取方法由一控制模組（如前述實施例之控制模組）實施，方法之詳細操作如下。

【0041】首先，執行步驟S501，控制SDRAM自一匯流排資料存取模式切換至一DPIN操作模式。當需要控制SDRAM之CKE、RST、ODT接腳時，執行步驟S502，於DPIN模式設定一第一暫存器以及一第二暫存器之數值，使第一暫存器之數值相應於SDRAM之綁定指令相關之至少一接腳（包含CKE、RST、ODT接腳），並使第二暫存器之數值相應於SDRAM之同步指令相關之至少一接腳（例如：CS、RAS、CAS、WEN、ACT、CA等接腳）。執行步驟S503，觸發一DPIN操作，以根據第一暫存器以及第二暫存器之數值控制SDRAM。

【0042】另一方面，當控制SDRAM之非CKE、RST、ODT接腳時，執行步驟S504，於DPIN模式設定第二暫存器之數值，使第二暫存器

之數值相應於SDRAM之至少一接腳。執行步驟S505，觸發DPIN功能，以根據第二暫存器之數值控制SDRAM。須說明，步驟S506可與步驟S504及S505並行執行，於DPIN模式設定第一暫存器之數值並直接根據第一暫存器之數值控制SDRAM。

【0043】於一些實施例中，執行步驟S507，確認DPIN模式是否需要結束。若是，則執行步驟S508，控制SDRAM自DPIN操作模式切換至匯流排資料存取模式。若否，則重複執行步驟S502至步驟S506。

【0044】本發明之一些實施例包含SDRAM之控制方法，其流程圖如圖6A至6C所示。這些實施例之影像擷取方法由一控制模組（如前述實施例之控制模組）實施，方法之詳細操作如下。

【0045】首先，執行步驟S601，控制SDRAM自一匯流排資料存取模式切換至一DPIN操作模式。當需要控制SDRAM之CKE、RST、ODT接腳時，執行步驟S602，於DPIN模式設定一第一暫存器、一第二暫存器以及一第三暫存器之數值，以使：（1）第一暫存器之數值相應於SDRAM之綁定指令相關之至少一接腳（包含CKE、RST、ODT接腳）；（2）第二暫存器之數值相應於SDRAM之同步指令相關之至少一接腳（例如：CS、RAS、CAS、WEN、ACT、CA等接腳）；以及（3）第三暫存器之數值對應欲寫入SDRAM之資料。執行步驟S603，觸發一DPIN操作，以根據第一暫存器以及第二暫存器之數值控制SDRAM，並將第三暫存器之數值寫入SDRAM。

【0046】另一方面，當控制SDRAM之非CKE、RST、ODT接腳時，執行步驟S604，於DPIN模式設定第二暫存器以及第三暫存器之數值，使第二暫存器之數值相應於SDRAM之至少一接腳，並使第三暫存器

之數值對應欲寫入SDRAM之資料。執行步驟S605，觸發DPIN操作，以根據第二暫存器之數值控制SDRAM並將第三暫存器之數據寫入SDRAM。須說明，步驟S606可與步驟S604及S605並行執行，於DPIN模式設定第一暫存器之數值並直接根據第一暫存器之數值控制SDRAM。

【0047】於一些實施例中，執行步驟S607，確認DPIN模式是否需要結束。若是，則執行步驟S608，控制SDRAM自DPIN操作模式切換至匯流排資料存取模式。若否，則重複執行步驟S602至步驟S606。

【0048】本發明之一些實施例包含SDRAM之控制方法，其流程圖如圖7A至7C所示。這些實施例之影像擷取方法由一控制模組（如前述實施例之控制模組）實施，方法之詳細操作如下。

【0049】首先，執行步驟S701，控制SDRAM自一匯流排資料存取模式切換至一DPIN操作模式。當需要控制SDRAM之CKE、RST、ODT接腳時，執行步驟S702，於DPIN模式設定一第一暫存器以及一第二暫存器之數值，以使第一暫存器之數值相應於SDRAM之綁定指令相關之至少一接腳（包含CKE、RST、ODT接腳），並使第二暫存器之數值相應於SDRAM之同步指令相關之至少一接腳（例如：CS、RAS、CAS、WEN、ACT、CA等接腳）。執行步驟S703，觸發一DPIN操作，以根據第一暫存器以及第二暫存器之數值控制SDRAM，並將自SDRAM讀取之資料儲存至一第三暫存器。

【0050】另一方面，當控制SDRAM之非CKE、RST、ODT接腳時，執行步驟S704，於DPIN模式設定第二暫存器之數值，使第二暫存器之數值相應於SDRAM之至少一接腳。執行步驟S705，觸發DPIN操作，以根據第二暫存器之數值控制SDRAM並將自SDRAM讀取之資料儲存至

第三暫存器。須說明，步驟S706可與步驟S704及S705並行執行，於DPIN模式設定第一暫存器之數值並直接根據第一暫存器之數值控制SDRAM。

【0051】於一些實施例中，執行步驟S707，確認DPIN模式是否需要結束。若是，則執行步驟S708，控制SDRAM自DPIN操作模式切換至匯流排資料存取模式。若否，則重複執行步驟S702至步驟S706。

【0052】綜上所述，本發明提供之用於SDRAM之控制模組及其控制方法，可透過額外之暫存器以及控制電路控制SDRAM，以針對SDRAM之操作設計（尤其是具特殊功能之操作）之缺陷、瑕疵或錯誤進行驗證或修正。須說明，於一些實施例中，控制器包含可執行運算及指令之邏輯電路，惟其並非用以限制本發明硬體元件之實施態樣。

【0053】上文的敘述簡要地提出了本發明某些實施例之特徵，而使得本發明所屬技術領域具有通常知識者能夠更全面地理解本發明內容的多種態樣。本發明所屬技術領域具有通常知識者當可明瞭，其可輕易地利用本發明內容作為基礎，來設計或更動其他製程與結構，以實現與此處該之實施方式相同的目的和/或達到相同的優點。本發明所屬技術領域具有通常知識者應當明白，這些均等的實施方式仍屬於本發明內容之精神與範圍，且其可進行各種變更、替代與更動，而不會悖離本發明內容之精神與範圍。

【符號說明】

【0054】

- 1: 控制模組
- 11: 暫存器
- 13: 控制器

2: 控制模組

21A~21E: 暫存器

23: 控制器

7: 解譯器

8: SDRAM

9: SDRAM

S301~S303: 步驟

S401~S406: 步驟

S501~S508: 步驟

S601~S608: 步驟

S701~S708: 步驟

【發明申請專利範圍】

【請求項1】

一種用於一同步動態隨機存取記憶體（Synchronous Dynamic Random Access Memory, SDRAM）之控制方法，包含：

控制該SDRAM自一匯流排資料存取模式切換至一動態接腳（Dynamic Pin, DPIN）操作模式；

於該DPIN模式設定至少一暫存器之數值；以及

利用一同步控制暫存器觸發一DPIN操作，以同步該至少一暫存器之存取，並根據該至少一暫存器之數值控制該SDRAM，其中，經由一解譯器解碼該至少一暫存器之數值，並根據解碼之數值控制該SDRAM。

【請求項2】

如請求項1所述之控制方法，其中，該至少一暫存器包含一第一暫存器，該第一暫存器之數值相應於該SDRAM之綁定指令相關之時脈致能接腳，根據該至少一暫存器之數值控制該SDRAM之步驟更包含：

觸發一DPIN操作，以根據該第一暫存器之數值控制該SDRAM。

【請求項3】

如請求項1所述之控制方法，其中，該至少一暫存器包含一第一暫存器以及一第二暫存器，該第一暫存器之數值相應於該SDRAM之綁定指令相關之時脈致能接腳、重置接腳以及晶粒上終端接腳，該第二暫存器之數值相應於該SDRAM之同步指令相關接腳，根據該至少一暫存器之數值控制該SDRAM之步驟更包含：

觸發一DPIN操作，以根據該第一暫存器以及該第二暫存器之數值控制該SDRAM。

【請求項4】

如請求項3所述之控制方法，其中，該至少一暫存器更包含一第三暫存器，觸發該DPIN操作之步驟更包含：

觸發該DPIN操作，以根據該第一暫存器以及該第二暫存器之數值控制該SDRAM，並將該第三暫存器之數值寫入至該SDRAM。

【請求項5】

如請求項3所述之控制方法，其中，該至少一暫存器更包含一第三暫存器，觸發該DPIN操作之步驟更包含：

觸發該DPIN操作，以根據該第一暫存器以及該第二暫存器之數值控制該SDRAM，並將自該SDRAM讀取之數值儲存至該第三暫存器。

【請求項6】

一種用於一同步動態隨機存取記憶體（Synchronous Dynamic Random Access Memory, SDRAM）之控制模組，包含：

至少一暫存器，與該SDRAM電性連結；

一控制器，與該SDRAM以及該至少一暫存器電性連結，用以：

控制該SDRAM自一匯流排資料存取模式切換至一動態接腳（Dynamic Pin, DPIN）操作模式；

於該DPIN操作模式設定該至少一暫存器之數值；以及

利用一同步控制暫存器觸發一DPIN操作，以同步該至少一暫存器之存取，並根據該至少一暫存器之數值控制該SDRAM，其

中，經由一解譯器解碼該至少一暫存器之數值，並根據解碼之數值控制該SDRAM。

【請求項7】

如請求項6所述之控制模組，其中，該至少一暫存器包含一第一暫存器以及一第二暫存器，該第一暫存器之數值相應於該SDRAM之綁定指令相關之時脈致能接腳、重置接腳以及晶粒上終端接腳，該第二暫存器之數值相應於該SDRAM之同步指令相關接腳，該控制器更用以：

觸發一DPIN操作，根據該第一暫存器以及該第二暫存器之數值控制該SDRAM。

【請求項8】

如請求項7所述之控制模組，其中，該至少一暫存器更包含一第三暫存器，該控制器更用以：

觸發該DPIN操作，將該第三暫存器之數值寫入至該SDRAM。

【請求項9】

如請求項7所述之控制模組，其中，該至少一暫存器更包含一第三暫存器，該控制器更用以：

觸發該DPIN操作，將自該SDRAM讀取之數值儲存至該第三暫存器。

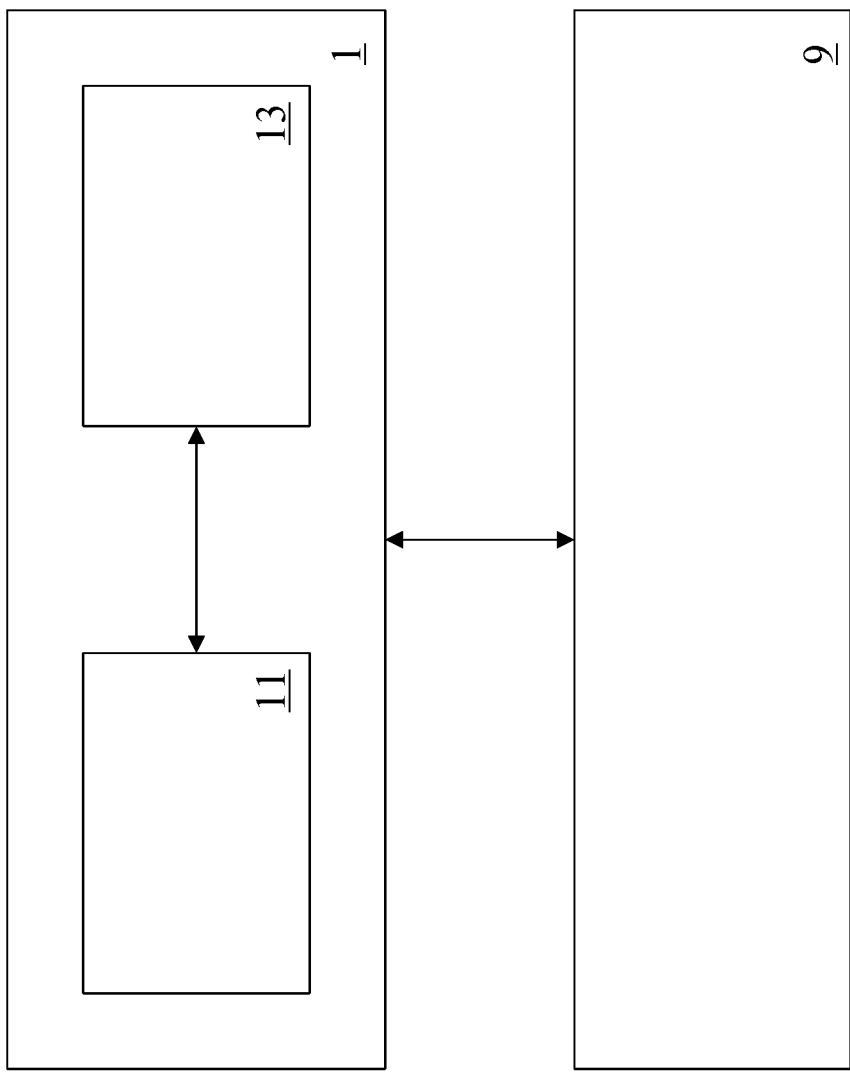
【請求項10】

如請求項6所述之控制模組，其中，該至少一暫存器包含一第一暫存器以及一第二暫存器，該第一暫存器之數值相應於該SDRAM之綁定指令相關之至少一接腳，該至少一接腳不包含時脈致能接腳、重置接腳以及晶粒上終端接腳，該第二暫存器之數值相應於該SDRAM之同步指令相關接

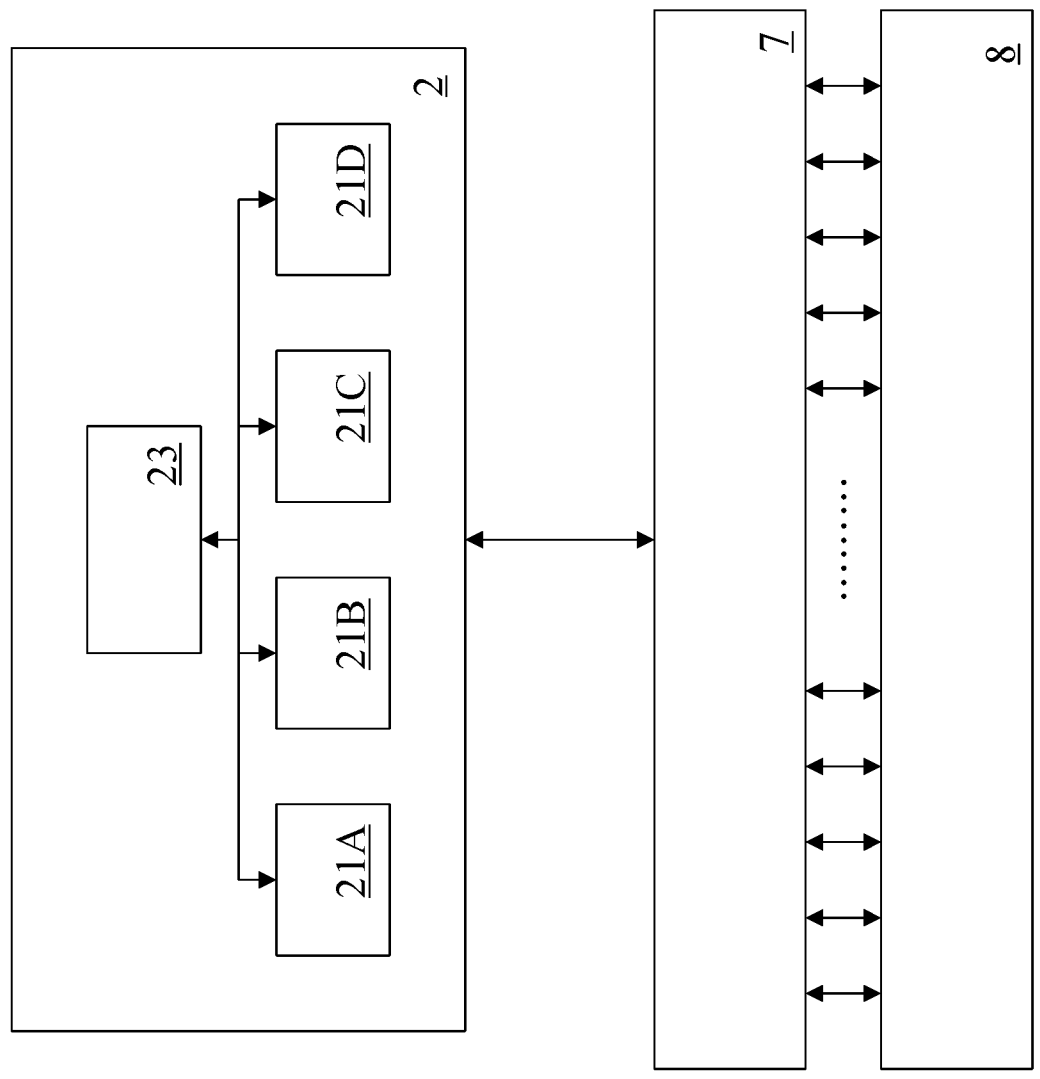
腳，該控制器更用以：

觸發一DPIN操作，根據該第二暫存器之數值控制該SDRAM。

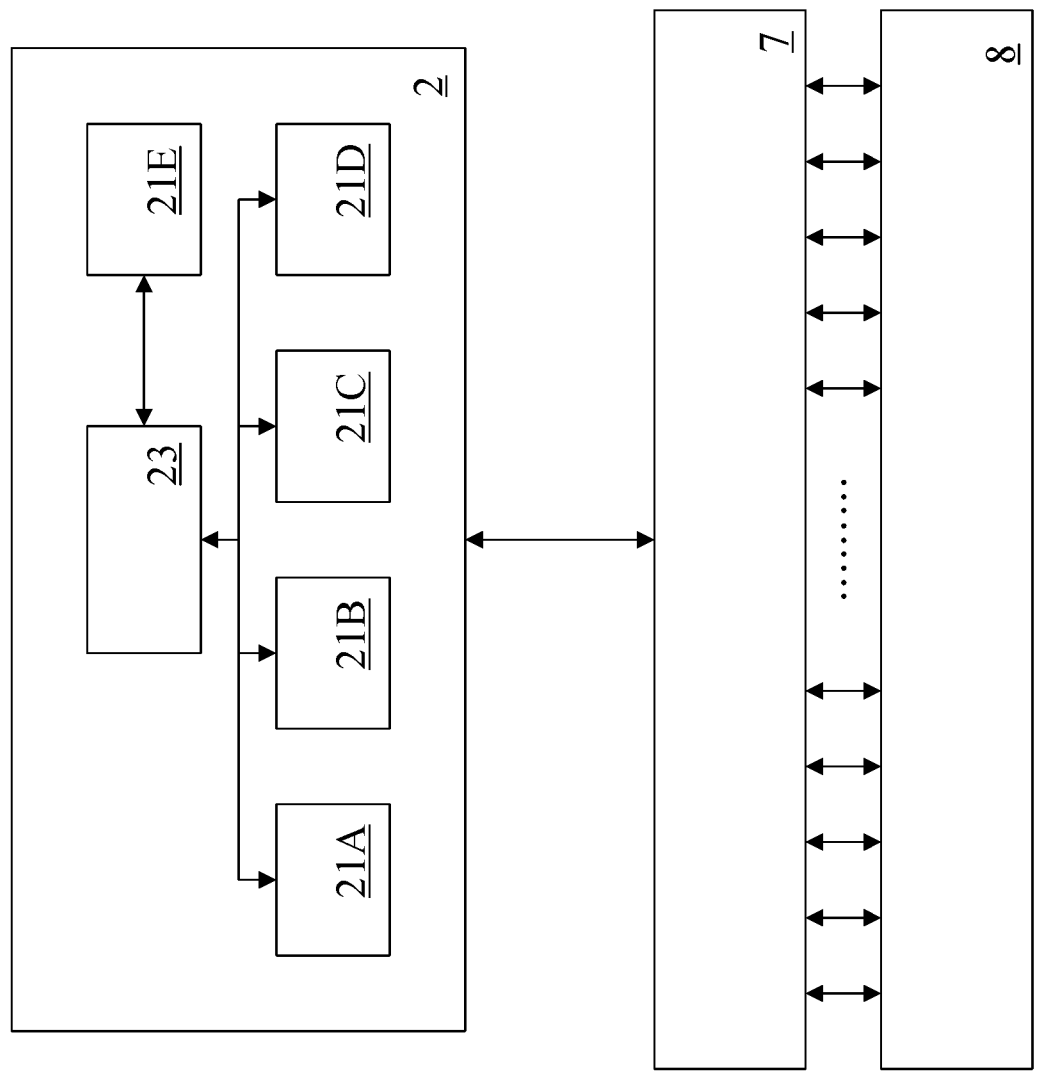
【發明圖式】



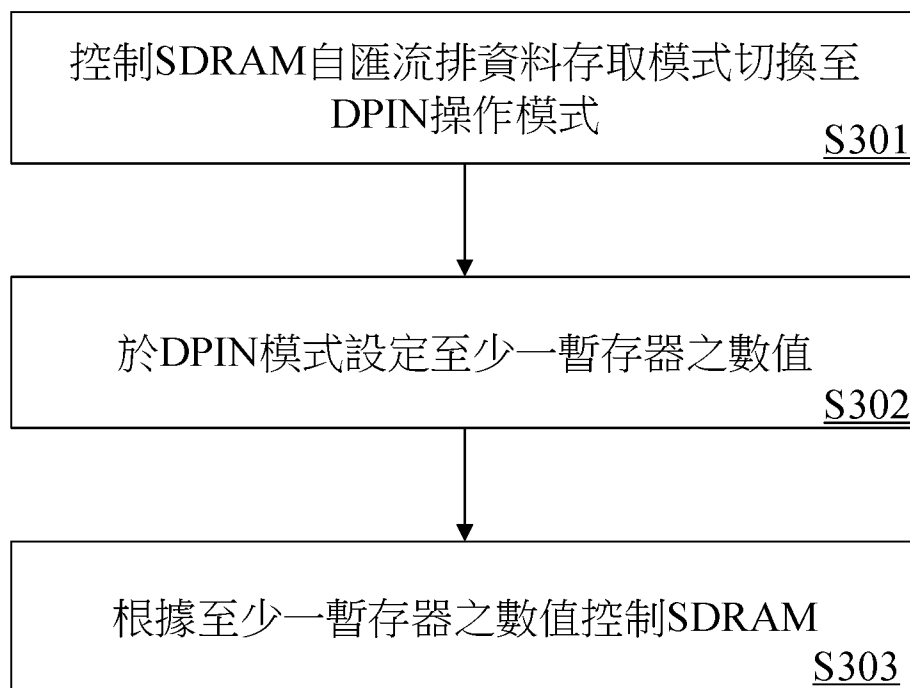
【圖1】



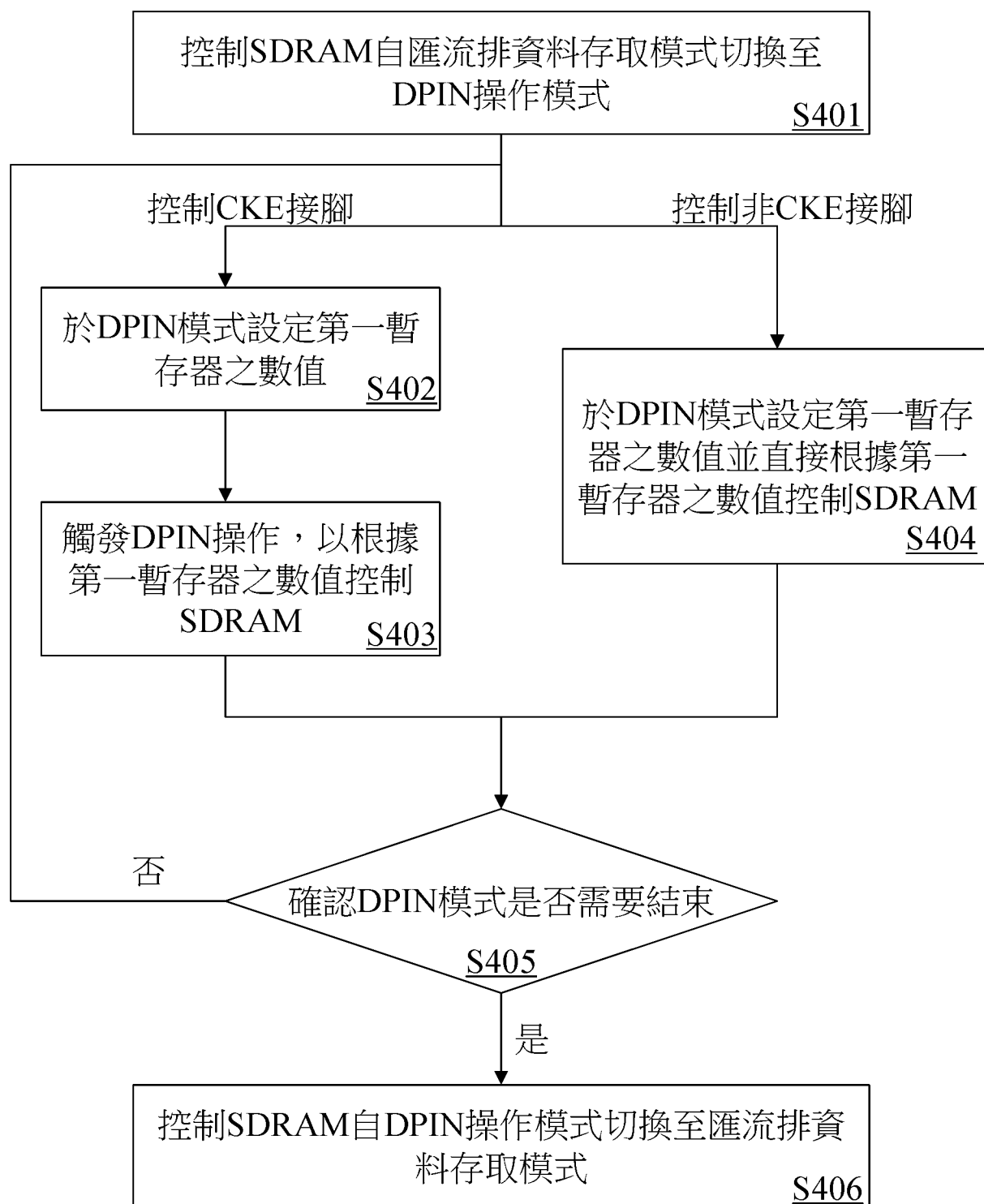
【圖2A】



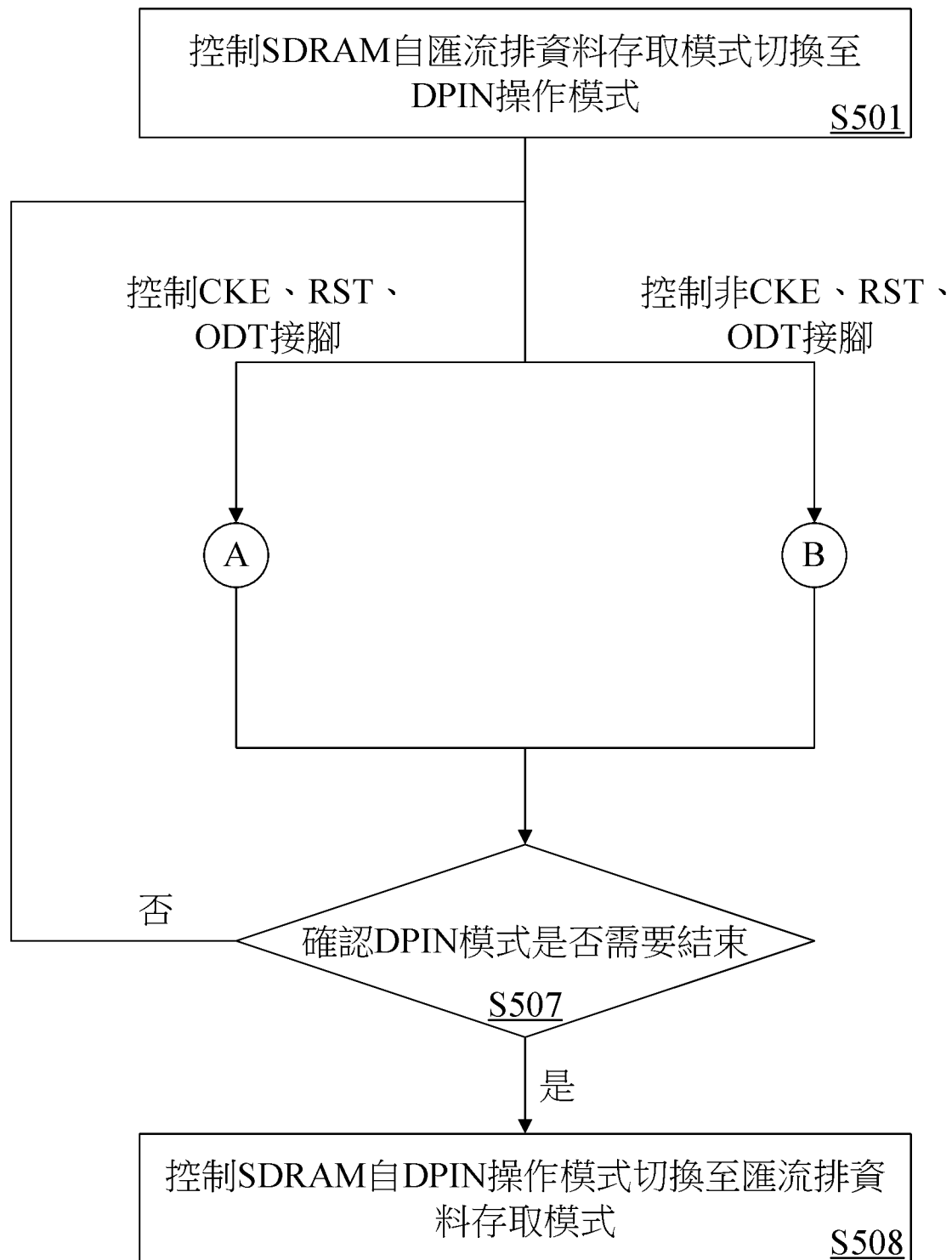
【圖2B】



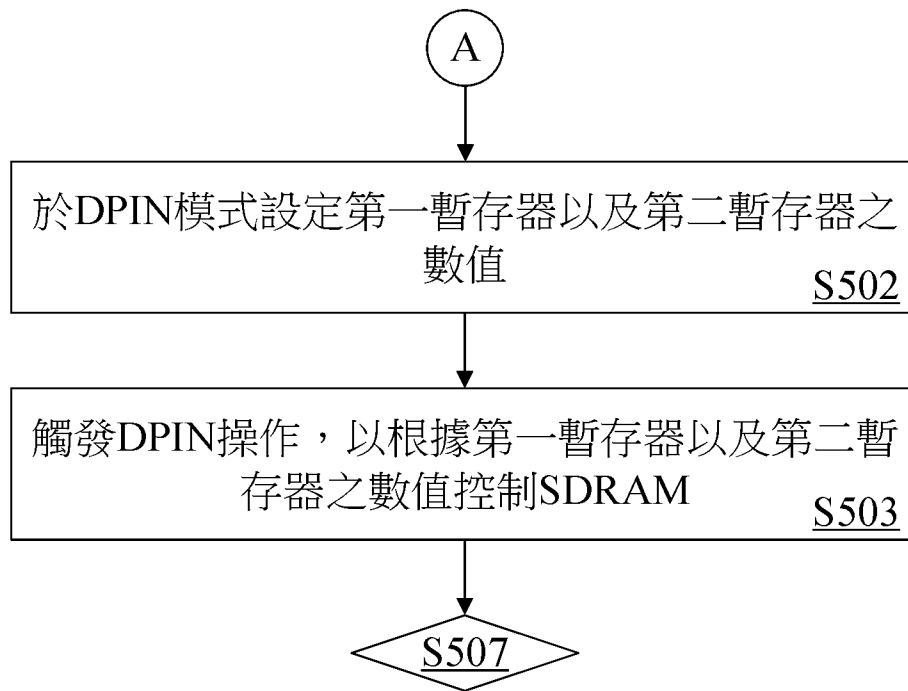
【圖3】



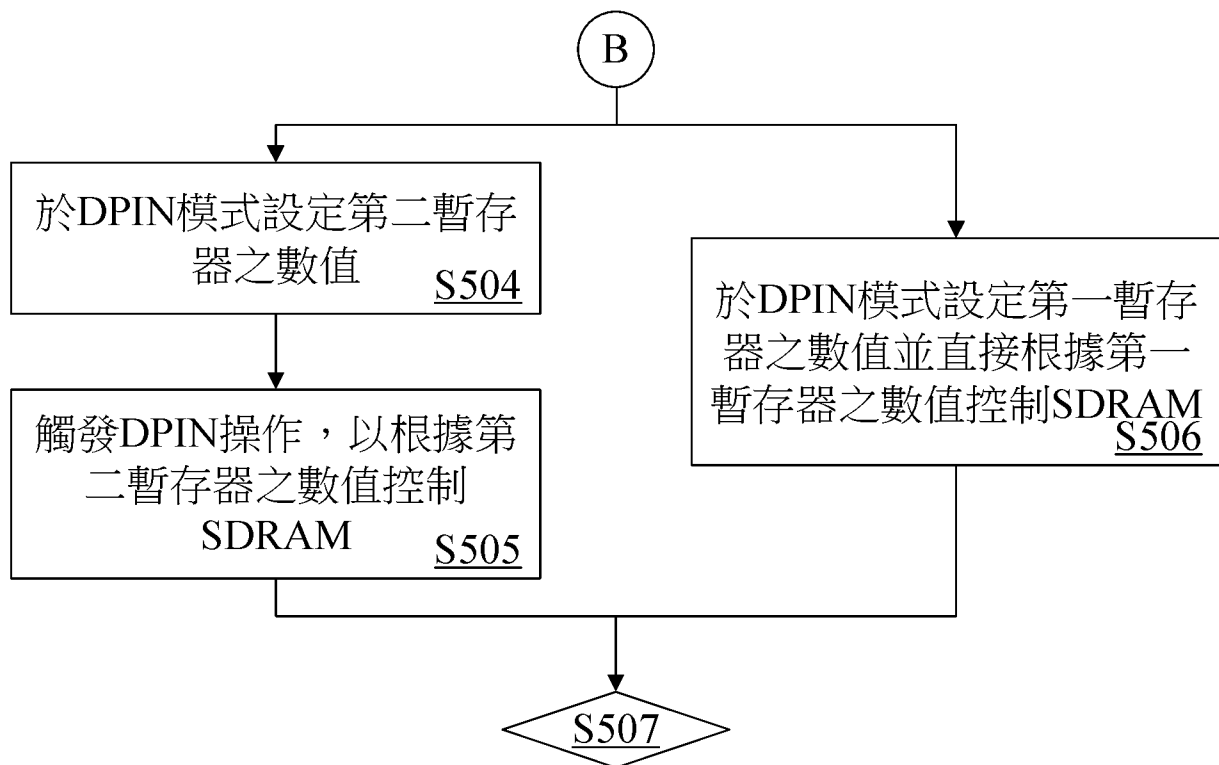
【圖4】



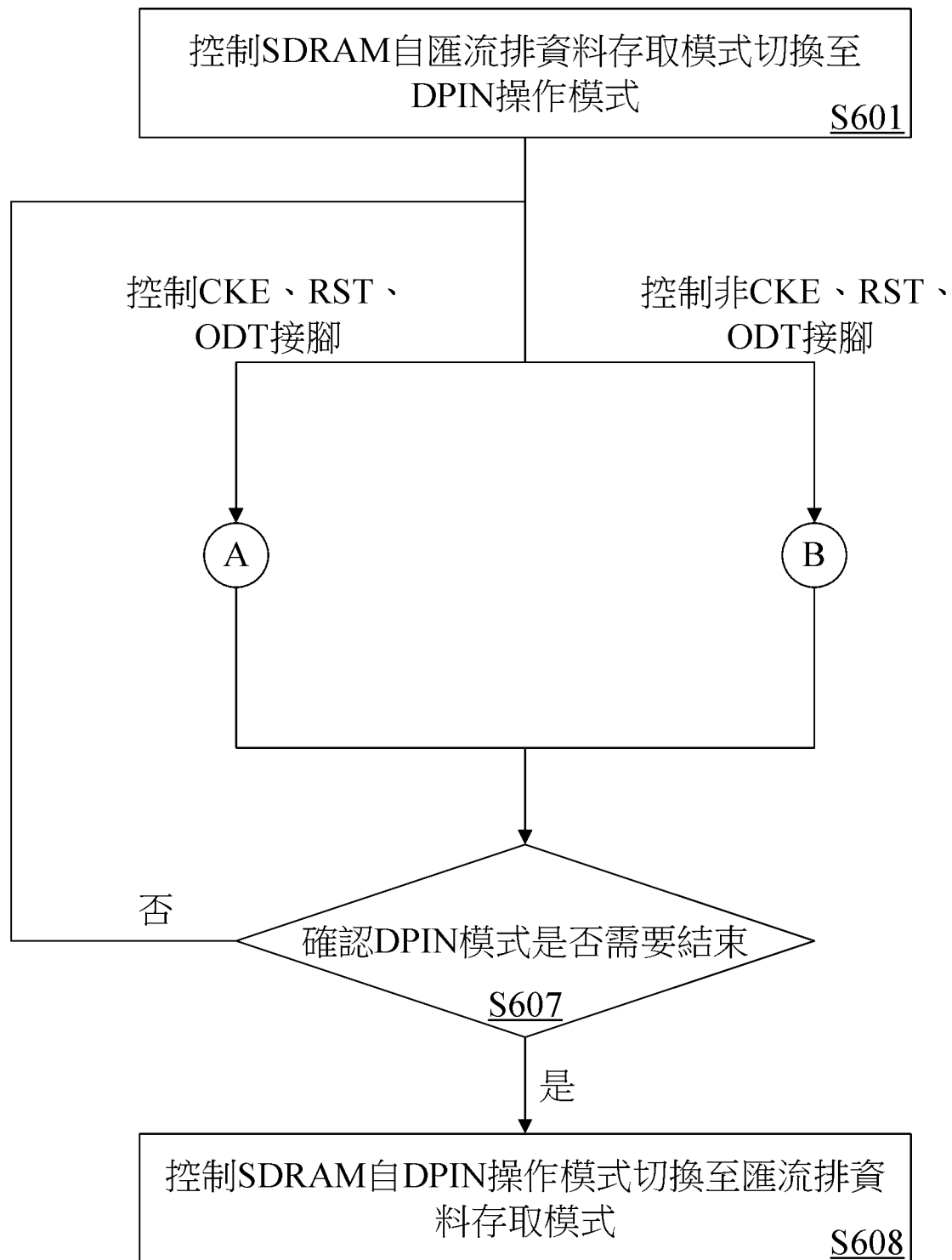
【圖5A】



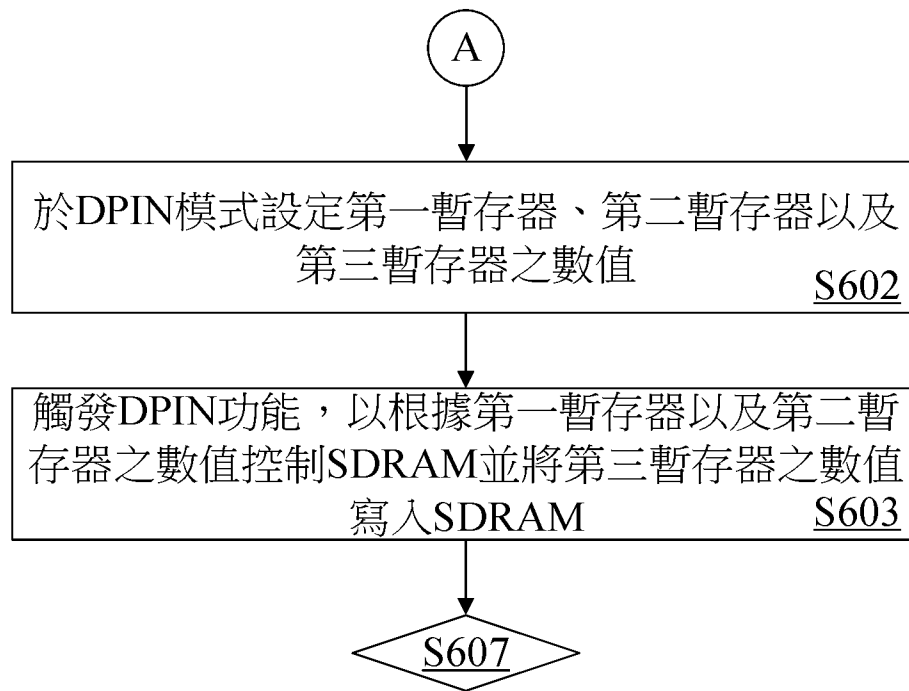
【圖5B】



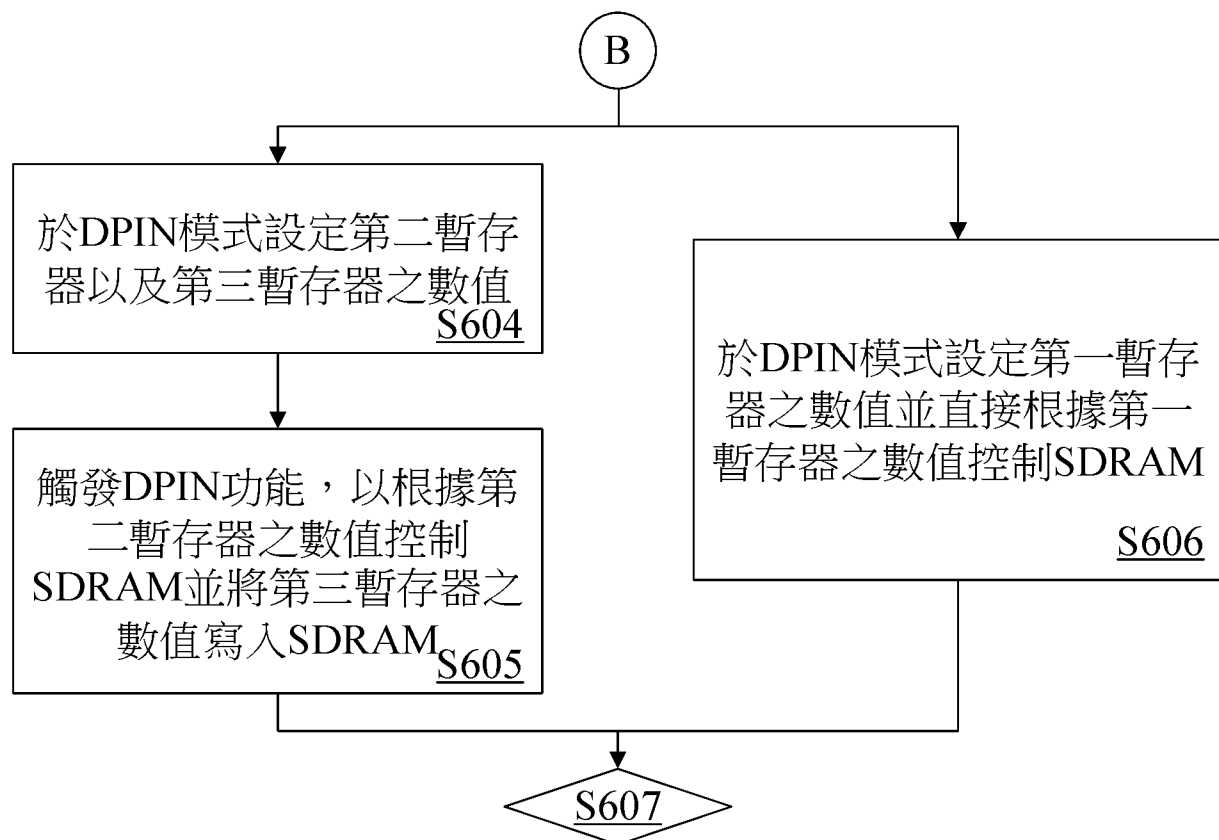
【圖5C】



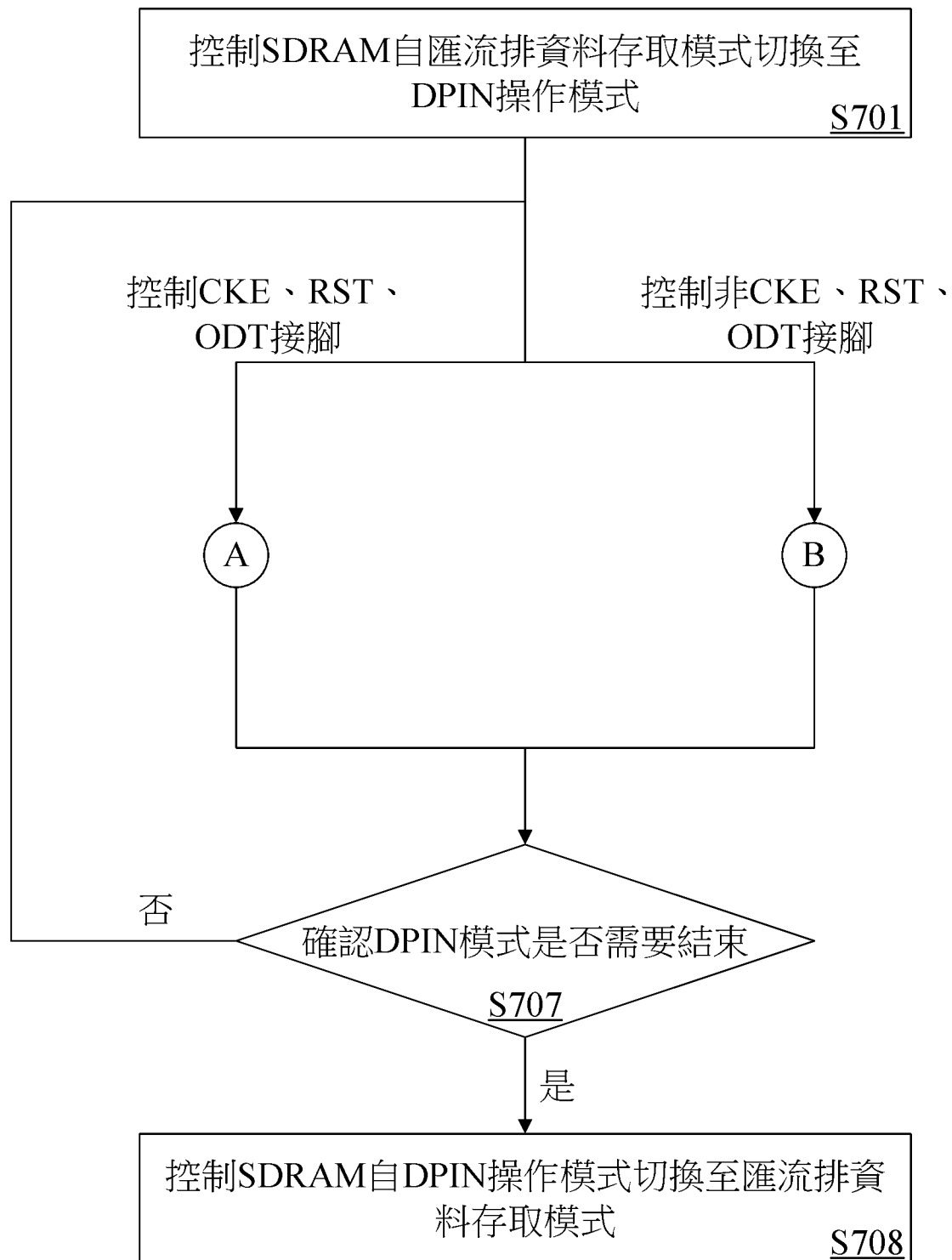
【圖6A】



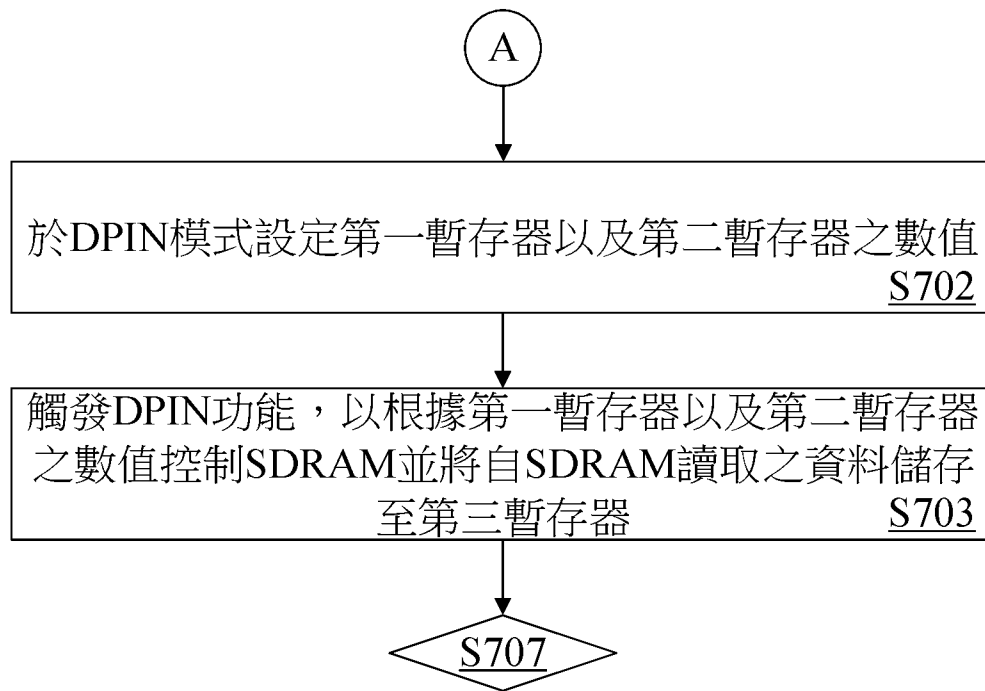
【圖6B】



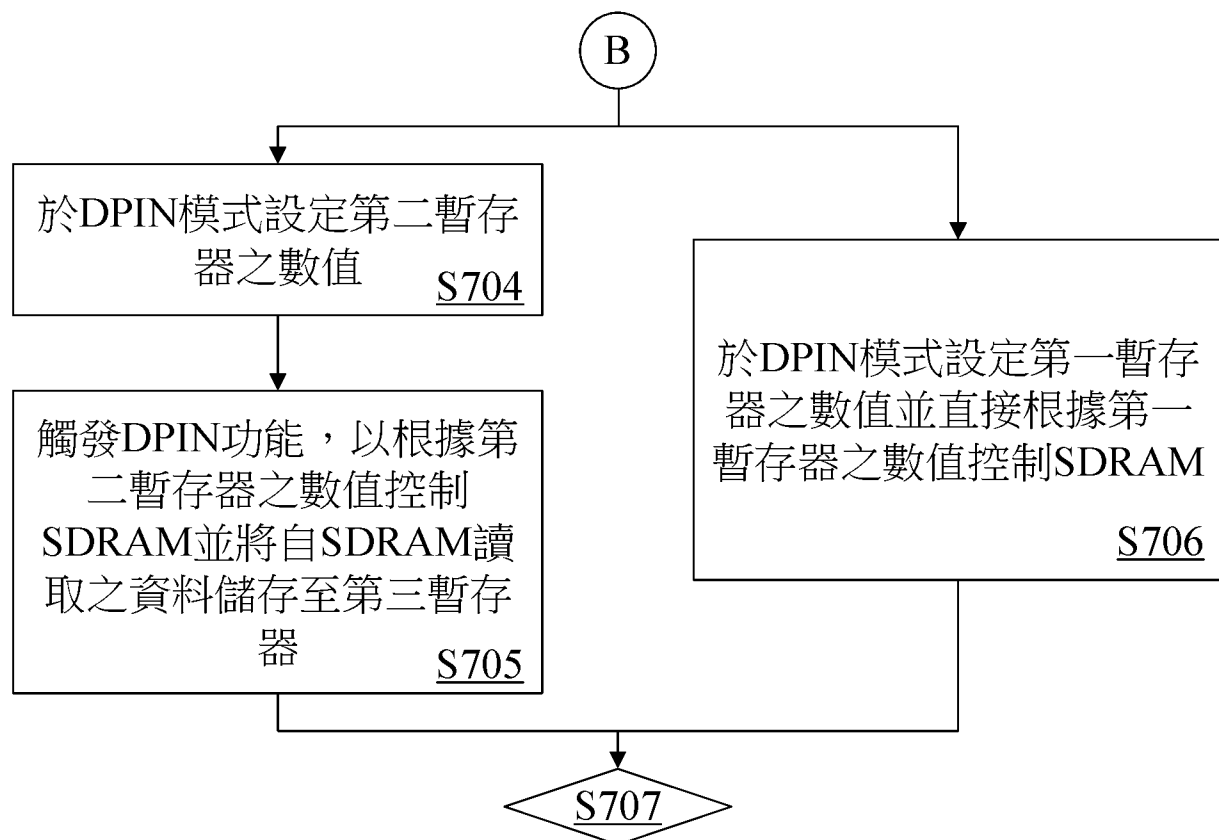
【圖6C】



【圖7A】



【圖7B】



【圖7C】