

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-325308
(P2006-325308A)

(43) 公開日 平成18年11月30日(2006.11.30)

(51) Int. Cl. F I テーマコード (参考)
HO2M 3/155 (2006.01) HO2M 3/155 H 5H730

審査請求 未請求 請求項の数 13 O L (全 17 頁)

(21) 出願番号	特願2005-145001 (P2005-145001)	(71) 出願人	000116024 ローム株式会社
(22) 出願日	平成17年5月18日 (2005.5.18)	(74) 代理人	100105924 弁理士 森下 賢樹
		(72) 発明者	山本 勲 京都府京都市右京区西院溝崎町2 1 番地 ローム株式会社内
		(72) 発明者	玉川 剛基 京都府京都市右京区西院溝崎町2 1 番地 ローム株式会社内
		Fターム(参考)	5H730 AA14 AA15 AS01 AS05 BB03 BB13 DD04 EE07 FF02 FF05 FG05 FG07 FG22 FG25

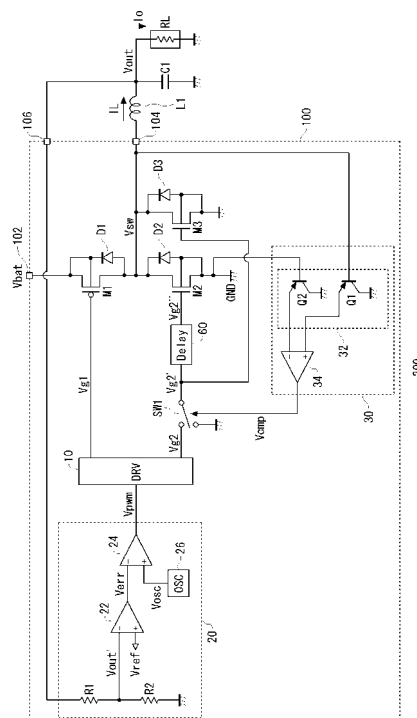
(54) 【発明の名称】 降圧型スイッチングレギュレータおよびその制御回路ならびにそれを用いた電子機器

(57) 【要約】

【課題】 同期整流方式の降圧型スイッチングレギュレータにおいて、インダクタに流れる電流が反転し効率が悪化するのを防止する。

【解決手段】 ドライバ回路10は、PWM制御部20から出力されるPWM信号V_{pwm}にもとづき、スイッチングトランジスタM1、同期整流用トランジスタM2のゲート電圧V_{g1}、V_{g2}を生成する。比較部30は、スイッチング電圧V_{sw}が接地電位を上回るとハイレベルの比較信号V_{cmp}を出力する。強制オフスイッチSW1には、ゲート電圧V_{g2}が入力され、比較部30の出力がハイレベルになると、出力電圧V_{g2'}をローレベルに固定する。補助トランジスタM3は、ゲート端子に強制オフスイッチSW1の出力電圧V_{g2'}が入力され、同期整流用トランジスタM2と並列に接続される。遅延回路60は、強制オフスイッチSW1の出力電圧V_{g2'}に所定の遅延を与え、同期整流用トランジスタM2のゲート端子に出力する。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

降圧型スイッチングレギュレータの制御回路であって、

入力端子と接地間に直列に接続されたスイッチングトランジスタと、同期整流用トランジスタと、を含み、2つのトランジスタの接続点の電圧を、スイッチング電圧として本制御回路の外部に接続されるインダクタの一端に印加する出力段と、

前記スイッチングレギュレータの出力電圧が所定の基準電圧に近づくように、そのデューティ比が制御されるパルス幅変調信号にもとづき、前記スイッチングトランジスタおよび前記同期整流用トランジスタのゲート端子に印加すべき第1、第2ゲート電圧を生成するドライバ回路と、

10

前記スイッチング電圧と所定のしきい値電圧を比較し、前記スイッチング電圧が前記しきい値電圧を上回ると、所定レベルの比較信号を出力する比較部と、

前記ドライバ回路から出力される前記第2ゲート電圧が入力され、前記比較部から前記所定レベルの比較信号が出力されている期間、前記第2ゲート電圧をローレベルに固定して出力するスイッチと、

ゲート端子に前記スイッチの出力信号が入力され、前記同期整流用トランジスタと並列に接続された補助トランジスタと、

前記スイッチの出力信号に所定の遅延時間を与え、前記同期整流用トランジスタのゲート端子に出力する遅延回路と、

を備えることを特徴とする制御回路。

20

【請求項 2】

前記補助トランジスタのオン抵抗は、前記同期整流用トランジスタのオン抵抗より高く設定されることを特徴とする請求項1に記載の制御回路。

【請求項 3】

前記所定のしきい値電圧は、接地電位であることを特徴とする請求項1に記載の制御回路。

【請求項 4】

前記比較部は、

前記スイッチング電圧および前記しきい値電圧を、正方向に所定電圧だけレベルシフトするレベルシフト回路と、

30

前記レベルシフト回路によりレベルシフトされた前記スイッチング電圧と前記しきい値電圧とを比較するコンパレータと、

を含むことを特徴とする請求項1に記載の制御回路。

【請求項 5】

前記レベルシフト回路は、

ベース端子に前記スイッチング電圧が入力され、コレクタ端子が接地され、エミッタ端子から前記スイッチング電圧をレベルシフトした電圧を出力するPNP型の第1バイポーラトランジスタと、

ベース端子およびコレクタ端子が接地され、エミッタ端子から前記接地電位をレベルシフトした電圧を出力するPNP型の第2バイポーラトランジスタと、

40

を含むことを特徴とする請求項4に記載の制御回路。

【請求項 6】

前記比較部の後段に設けられ、前記ドライバ回路から出力される第2ゲート電圧がハイレベルの期間にアクティブとなり、前記比較部から出力される比較信号をラッチし、検出信号として前記スイッチに出力するラッチ回路をさらに備え、

前記スイッチは、前記比較信号ではなく、前記ラッチ回路から出力される検出信号が前記所定レベルとなる期間に、前記第2ゲート電圧をローレベルに固定して出力することを特徴とする請求項1に記載の制御回路。

【請求項 7】

前記ラッチ回路は、前記第2ゲート電圧がハイレベルからローレベルとなると、ラッチ

50

した前記検出信号をリセットすることを特徴とする請求項 6 に記載の制御回路。

【請求項 8】

前記ラッチ回路は、D フリップフロップを含み、当該 D フリップフロップは、リセット端子に前記第 2 ゲート電圧が入力され、データ端子にハイレベルの固定電圧が入力され、クロック端子に前記比較部から出力される比較信号が入力されることを特徴とする請求項 7 に記載の制御回路。

【請求項 9】

前記ラッチ回路は、前記 D フリップフロップの出力信号と、前記比較部から出力される比較信号の論理和を出力する OR ゲートをさらに含み、当該 OR ゲートの出力信号を前記検出信号として出力することを特徴とする請求項 8 に記載の制御回路。

10

【請求項 10】

前記同期整流用トランジスタは、NMOS トランジスタであることを特徴とする請求項 1 に記載の制御回路。

【請求項 11】

前記制御回路は、1 つの半導体基板上に一体集積化されたことを特徴とする請求項 1 から 10 のいずれかに記載の制御回路。

【請求項 12】

一端が接地されたキャパシタと、
前記キャパシタの他端にその一端が接続されたインダクタと、
前記インダクタの他端に、前記スイッチング電圧を供給する請求項 1 から 10 のいずれかに記載の制御回路と、
を備え、前記キャパシタの他端の電圧を出力することを特徴とする降圧型スイッチングレギュレータ。

20

【請求項 13】

電池電圧を出力する電池と、
マイコンと、
前記電池電圧を降圧して前記マイコンに供給する請求項 12 に記載の降圧型スイッチングレギュレータと、
を備えることを特徴とする電子機器。

【発明の詳細な説明】

30

【技術分野】

【0001】

本発明は、降圧型スイッチングレギュレータに関し、特に同期整流方式のスイッチングレギュレータの制御技術に関する。

【背景技術】

【0002】

近年の携帯電話、PDA (Personal Digital Assistant)、ノート型パーソナルコンピュータなどのさまざまな電子機器に、デジタル信号処理を行うマイコンが搭載されている。こうしたマイコンの駆動に必要とされる電源電圧は、半導体製造プロセスの微細化に伴って低下しており、1.5V 以下の低電圧で動作するものがある。

40

一方、こうした電子機器にはリチウムイオン電池などの電池が電源として搭載される。リチウムイオン電池から出力される電圧は、3V ~ 4V 程度であり、この電圧をそのままマイコンに供給したのでは、無駄な電力消費が発生するため、降圧型のスイッチングレギュレータや、シリースレギュレータなどを用いて電池電圧を降圧し、定電圧化してマイコンに供給するのが一般的である。

【0003】

降圧型のスイッチングレギュレータは、整流用のダイオードを用いる方式(以下、ダイオード整流方式という)と、ダイオードの代わりに、整流用トランジスタを用いる方式(以下、同期整流方式という)が存在する。前者の場合、負荷に流れる負荷電流が低いとき

50

に高効率が得られるという利点を有するが、制御回路の外部に、インダクタ、キャパシタに加えてダイオードが必要となるため、回路面積が大きくなる。後者の場合、負荷に供給する電流が小さいときの効率は、前者に比べて劣るが、ダイオードの代わりにトランジスタを用いるため、LSIの内部に集積化することができ、周辺部品を含めた回路面積としては小型化が可能となる。携帯電話などの電子機器において、小型化が要求される場合には、整流用トランジスタを用いたスイッチングレギュレータ（以下、同期整流方式スイッチングレギュレータという）が用いられることが多い。

【0004】

ここで、上述の電子機器に用いられるマイコンの消費電流は、動作時と待機時で大きく変化し、待機時にはわずかな電流しか流れないが、動作時にはある程度の電流が必要とされる。

10

たとえば、特許文献1、2には、負荷電流に応じて同期整流方式とダイオード整流方式とを切り替えるスイッチングレギュレータが開示されている。

【0005】

【特許文献1】特開2004-32875号公報

【特許文献2】特開2002-252971号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

図9(a)、(b)はそれぞれ、同期整流方式スイッチングレギュレータの重負荷および軽負荷時の電流の時間波形を示す図である。同図において、 I_L は、インダクタに流れる電流を、 I_o は負荷電流を表しており、インダクタに流れる電流 I_L の時間平均値が負荷電流 I_o となる。図9(a)に示すように、重負荷時においては、負荷電流 I_o が大きいため、インダクタに流れる電流は正の値をとり続ける。ところが、図9(b)に示すように、軽負荷時において負荷電流 I_o が減少すると、インダクタに流れる電流 I_L が斜線部のように負となり、インダクタに流れる電流 I_L の向きが反転する。その結果、同期整流方式では、軽負荷時において、インダクタから同期整流用トランジスタを介して接地に対して電流が流れることになる。この電流は、負荷に供給されず、出力キャパシタから供給されるものであるため、電力を無駄に消費していることになる。

20

【0007】

この問題を解決するために、同期整流用トランジスタとインダクタの接続点の電位（以下、スイッチング電圧という）をモニタし、このスイッチング電圧と所定のしきい値電圧を比較することにより、インダクタに流れる電流の向きを検出する方法が考えられる。

30

この方法によれば、同期整流用トランジスタがオンの期間において、スイッチング電圧が接地電位付近に設定されたしきい値電圧を上回ったときに同期整流用トランジスタを強制的にオフすることにより、無駄な電流消費を低減し、効率を改善することができる。

【0008】

本発明者は、上述のようにスイッチング電圧をモニタして、インダクタに流れる電流の向きが反転するのを検出し、同期整流用トランジスタをオフするスイッチングレギュレータについて検討した結果、以下の課題を認識するに至った。

40

すなわち、スイッチング電圧をモニタして、インダクタに流れる電流の向きを検出する場合、スイッチング電圧と所定のしきい値電圧を比較するコンパレータを用い、このコンパレータの出力にもとづいて同期整流用トランジスタのオンオフを制御することになる。この際に、スイッチング電圧がしきい値に達し、インダクタに流れる電流が反転してから同期整流用トランジスタがオフされるまでに遅延が発生する場合がある。この遅延期間において、無駄な電流が同期整流用トランジスタに流れるため、さらなる効率の改善の余地があった。

【0009】

本発明はかかる課題に鑑みてなされたものであり、その目的は、同期整流方式の降圧型スイッチングレギュレータにおいて、軽負荷時に同期整流用トランジスタを介して接地に

50

流れる電流を低減し、効率を改善した降圧型スイッチングレギュレータおよびその駆動回路の提供にある。

【課題を解決するための手段】

【0010】

本発明のある態様の制御回路は、降圧型スイッチングレギュレータの制御回路に関する。この制御回路は、入力端子と接地間に直列に接続されたスイッチングトランジスタと同期整流用トランジスタとを含み、2つのトランジスタの接続点の電圧を、スイッチング電圧として本制御回路の外部に接続されるインダクタの一端に印加する出力段と、スイッチングレギュレータの出力電圧が所定の基準電圧に近づくように、そのデューティ比が制御されるパルス幅変調信号にもとづき、スイッチングトランジスタおよび同期整流用トランジスタのゲート端子に印加すべき第1、第2ゲート電圧を生成するドライバ回路と、スイッチング電圧と所定のしきい値電圧を比較し、スイッチング電圧が所定のしきい値電圧を上回ると、所定レベルの比較信号を出力する比較部と、ドライバ回路から出力される第2ゲート電圧が入力され、比較部から所定レベルの比較信号が出力されている期間、第2ゲート電圧をローレベルに固定して出力するスイッチと、ゲート端子にスイッチの出力信号が入力され、同期整流用トランジスタと並列に接続された補助トランジスタと、スイッチの出力信号に所定の遅延時間を与え、同期整流用トランジスタのゲート端子に出力する遅延回路と、を備える。

10

【0011】

この態様によると、第2ゲート電圧がハイレベルとなると、まず補助トランジスタがオンし、その後、所定の遅延時間経過後に同期整流用トランジスタがオンする。補助トランジスタのみがオンした状態においては、スイッチング電圧は補助トランジスタのドレインソース間電圧、すなわち、そのオン抵抗とインダクタに流れる電流の積で決まる。スイッチング電圧は、負の電位からインダクタに流れる電流が減少していくに従って上昇していくが、このとき補助トランジスタのオン抵抗が高ければ、スイッチング電圧の上昇速度を高めることができる。その結果、スイッチング電圧が所定のしきい値電圧に達してから同期整流用トランジスタをオフするまでの時間を短縮することができ、無駄な電流消費を低減し、高効率化を図ることができる。

20

【0012】

補助トランジスタのオン抵抗は、同期整流用トランジスタのオン抵抗より高く設定されてもよい。

30

補助トランジスタのオン抵抗を高く設定することにより、同期整流用トランジスタがオンした後に、スイッチング電圧が上昇する速度を速めることができ、同期整流用トランジスタがオフするまでの時間を短縮し、より高効率化を図ることができる。

【0013】

所定のしきい値電圧は、接地電位であってもよい。補助トランジスタがオンし、スイッチング電圧が負電圧から上昇して接地電位に達すると、インダクタに流れる電流の向きが反転するため、スイッチング電圧と接地電位を比較することにより、無駄な電流消費を低減することができる。

【0014】

比較部は、スイッチング電圧およびしきい値電圧を、正方向に所定電圧だけレベルシフトするレベルシフト回路と、レベルシフト回路によりレベルシフトされたスイッチング電圧としきい値電圧とを比較するコンパレータと、を含んでもよい。

40

スイッチング電圧およびしきい値電圧を正方向にレベルシフトして比較することにより、しきい値電圧が接地電位の場合もコンパレータを用いて電圧比較を行うことができる。

【0015】

レベルシフト回路は、ベース端子にスイッチング電圧が入力され、コレクタ端子が接地され、エミッタ端子からスイッチング電圧をレベルシフトした電圧を出力するPNP型の第1バイポーラトランジスタと、ベース端子およびコレクタ端子が接地され、エミッタ端子から接地電位をレベルシフトした電圧を出力するPNP型の第2バイポーラトランジスタ

50

たと、を含んでもよい。

P N P 型のバイポーラトランジスタのベースエミッタ間の順方向電圧を利用することにより、スイッチング電圧およびしきい値電圧を正方向にレベルシフトすることができる。

【0016】

制御回路は、比較部の後段に設けられ、ドライバ回路から出力される第2ゲート電圧がハイレベルの期間にアクティブとなり、比較部から出力される比較信号をラッチし、検出信号としてスイッチに出力するラッチ回路をさらに備えてもよい。スイッチは、比較信号ではなく、ラッチ回路から出力される検出信号が所定レベルとなる期間に、第2ゲート電圧をローレベルに固定して出力してもよい。

同期整流用トランジスタをオンからオフに切り替える際に、インダクタによってスイッチング電圧の振動が誘起される場合がある。比較部の後段にラッチ回路を設けることにより、スイッチング電圧がしきい値電圧を跨いで振動した場合にも、同期整流用トランジスタをオフ状態に保つことができ、降圧型スイッチングレギュレータを安定に動作させることができる。

10

【0017】

ラッチ回路は、第2ゲート電圧がハイレベルからローレベルとなると、ラッチした検出信号をリセットしてもよい。

第2ゲート電圧を参照し、同期整流用トランジスタがオンすべき期間が完了したことを契機として検出信号をリセットすることにより、次に同期整流用トランジスタがオンすべき期間において、再度上記のラッチ動作を行うことができる。

20

【0018】

ラッチ回路は、Dフリップフロップを含み、当該Dフリップフロップは、リセット端子に第2ゲート電圧が入力され、データ端子にハイレベルの固定電圧が入力され、クロック端子に比較部から出力される比較信号が入力されてもよい。

【0019】

ラッチ回路は、Dフリップフロップの出力信号と、比較部から出力される比較信号の論理和を出力するORゲートをさらに含み、当該ORゲートの出力信号を検出信号として出力してもよい。

これによれば、一度Dフリップフロップがラッチされた後に、比較部から出力される比較信号が変動しても、ORゲートの出力はDフリップフロップの出力信号に固定されるため、安定な降圧動作を行うことができる。

30

【0020】

同期整流用トランジスタは、NMOSトランジスタであってもよい。

制御回路は、1つの半導体基板上に一体集積化されてもよい。

【0021】

本発明の別の態様は、降圧型スイッチングレギュレータである。この降圧型スイッチングレギュレータは、一端が接地されたキャパシタと、キャパシタの他端にその一端が接続されたインダクタと、インダクタの他端に、スイッチング電圧を供給する上述の制御回路と、を備え、キャパシタの他端の電圧を出力する。

【0022】

この態様によると、制御回路により、インダクタに流れる電流の向きが反転するのを検出した後、短時間で同期整流用トランジスタをオフすることができるため、降圧型スイッチングレギュレータの効率を改善することができる。

40

【0023】

本発明のさらに別の態様は、電子機器である。この電子機器は、電池電圧を出力する電池と、マイコンと、電池電圧を降圧してマイコンに供給する上述の降圧型スイッチングレギュレータと、を備える。

【0024】

この態様によると、マイコンに流れる電流が変動し、負荷電流が小さな軽負荷動作となった場合においても、効率よく降圧動作を行うことができ、電池の長寿命化を図ることが

50

できる。

【0025】

なお、以上の構成要素の任意の組合せや本発明の構成要素や表現を方法、装置、システムなどの間で相互に置換したものもまた、本発明の態様として有効である。

【発明の効果】

【0026】

本発明に係る降圧型スイッチングレギュレータによれば、変換効率を改善することができる。

【発明を実施するための最良の形態】

【0027】

図1は、実施の形態に係る降圧型スイッチングレギュレータ200を搭載した電子機器300の構成を示すブロック図である。電子機器300は、たとえば携帯電話端末であり、電池310、電源装置320、アナログ回路330、デジタル回路340、マイコン350、LED360を含む。

電池310は、たとえばリチウムイオン電池であり、電池電圧 V_{bat} として3~4V程度を出力する。

アナログ回路330は、パワーアンプや、アンテナスイッチ、LNA(Low Noise Amplifier)、ミキサやPLL(Phase Locked Loop)などの高周波回路を含み、電源電圧 $V_{cc} = 3.4V$ 程度で安定動作する回路ブロックを含む。また、デジタル回路340は、各種DSP(Digital Signal Processor)などを含み、電源電圧 $V_{dd} = 3.4V$ 程度で安定動作する回路ブロックを含む。

マイコン350は、電子機器300全体を統括的に制御するブロックであり、電源電圧1.5Vで動作する。

LED360は、RGB3色のLED(Light Emitting Diode)を含み、液晶のバックライトや、照明として用いられ、その駆動には、4V以上の駆動電圧が要求される。

【0028】

電源装置320は、多チャンネルのスイッチング電源であり、各チャンネルごとに、電池電圧 V_{bat} を必要に応じて降圧、または昇圧するスイッチングレギュレータを備え、アナログ回路330、デジタル回路340、マイコン350、LED360に対して適切な電源電圧を供給する。

本実施形態に係る降圧型スイッチングレギュレータは、たとえば1.5Vで動作するマイコン350のように、消費電流が動作状態に応じて変化する負荷に対して、安定な電圧を駆動する用途に好適に用いられる。以下、本実施の形態に係る降圧型スイッチングレギュレータの構成について詳細に説明する。

【0029】

図2は、実施の形態に係る降圧型スイッチングレギュレータ200の構成を示す回路図である。降圧型スイッチングレギュレータ200は、同期整流方式の降圧型スイッチングレギュレータであり、制御回路100、インダクタL1、出力キャパシタC1を含む。制御回路100は、ひとつの半導体基板に集積化されたLSIチップであり、スイッチング素子として機能するスイッチングトランジスタM1、同期整流用トランジスタM2および補助トランジスタM3は、この制御回路100に内蔵される。

出力キャパシタC1は一端が接地され、他端が負荷回路RLおよびインダクタL1に接続される。インダクタL1は、制御回路100と接続され、スイッチング電圧 V_{sw} が印加される。

【0030】

この降圧型スイッチングレギュレータ200は、制御回路100によってインダクタL1に流れる電流を制御し、出力キャパシタC1に電荷を充電することにより電池電圧 V_{bat} を降圧し、出力キャパシタC1に現れる電圧を負荷回路RLに供給する。本実施形態

10

20

30

40

50

において、負荷回路 R_L は、図 1 のマイコン 350 に相当する。

以下、負荷回路 R_L に供給される電圧を出力電圧 V_{out} 、負荷回路 R_L に流れる電流を負荷電流 I_o 、インダクタ L_1 に流れる電流を I_L という。また、インダクタ L_1 に流れる電流は、負荷回路 R_L に向かって流れる向きを正方向とする。

【0031】

制御回路 100 は、入力・出力端子として、入力端子 102、スイッチング端子 104、出力端子 106 を備える。入力端子 102 には電池 310 が接続され、入力電圧として電池電圧 V_{bat} が入力される。また、スイッチング端子 104 は、インダクタ L_1 に接続され、制御回路 100 の内部で生成したスイッチング電圧 V_{sw} を出力する。また、出力端子 106 は、負荷回路 R_L に印加される出力電圧 V_{out} が帰還される端子である。

10

【0032】

制御回路 100 は、ドライバ回路 10、PWM 制御部 20、比較部 30、遅延回路 60、強制オフスイッチ SW_1 、スイッチングトランジスタ M_1 、同期整流用トランジスタ M_2 、補助トランジスタ M_3 を含む。

【0033】

スイッチングトランジスタ M_1 は、P チャンネル MOS トランジスタであって、ソース端子は入力端子 102 に接続され、ドレイン端子はスイッチング端子 104 に接続される。スイッチングトランジスタ M_1 のバックゲート端子は入力端子 102 と接続され、バックゲート端子とドレイン端子間には、ボディダイオード（寄生ダイオード） D_1 が存在する。

20

同期整流用トランジスタ M_2 は、N チャンネル MOS トランジスタであって、ソース端子は接地され、ドレイン端子はスイッチングトランジスタ M_1 のドレイン端子およびスイッチング端子 104 と接続される。また、同期整流用トランジスタ M_2 のバックゲート端子は接地されている。同期整流用トランジスタ M_2 のバックゲート端子とドレイン端子間には、ボディダイオード D_2 が存在する。

【0034】

スイッチングトランジスタ M_1 、同期整流用トランジスタ M_2 は、電池電圧 V_{bat} が印加される入力端子 102 と接地間に直列に接続されており、2 つのトランジスタの接続点の電圧を、スイッチング電圧 V_{sw} として本制御回路 100 の外部にスイッチング端子 104 を介して接続されるインダクタ L_1 の一端に印加する。

30

また、補助トランジスタ M_3 は、同期整流用トランジスタ M_2 と並列に接続され、後述するように同期整流用トランジスタ M_2 と同期してオンオフが制御される。補助トランジスタ M_3 のオン抵抗 R_{on3} は、同期整流用トランジスタ M_2 のオン抵抗 R_{on2} より高く設定しておく。

【0035】

PWM 制御部 20 は、降圧型スイッチングレギュレータ 200 の出力電圧 V_{out} が所定の基準電圧に近づくように、スイッチングトランジスタ M_1 および同期整流用トランジスタ M_2 のオン期間のデューティ比を規定するパルス幅変調信号（以下、PWM 信号という）を生成する。PWM 制御部 20 には、降圧型スイッチングレギュレータ 200 の出力電圧 V_{out} が、出力端子 106 を介して入力される。

40

抵抗 R_1 、 R_2 は、この出力電圧 V_{out} を分圧し、 $R_2 / (R_1 + R_2)$ 倍した出力電圧 V_{out}' を誤差増幅器 22 の反転入力端子へと出力する。誤差増幅器 22 の非反転入力端子には基準電圧 V_{ref} が入力されており、出力電圧 V_{out}' および基準電圧 V_{ref} の誤差を増幅し、誤差電圧 V_{err} として出力する。

【0036】

発振器 26 は、所定の周波数で発振し、三角波またはのこぎり波状の周期電圧 V_{osc} を出力する。第 1 コンパレータ 24 は、周期電圧 V_{osc} と誤差電圧 V_{err} とを比較し、 $V_{osc} > V_{err}$ のときハイレベルを、 $V_{osc} < V_{err}$ のときローレベルとなる PWM 信号 V_{pwm} を出力する。この PWM 信号 V_{pwm} は、周期時間が一定で、出力電圧 V_{out}' に応じてハイレベルとローレベルの期間が変化するパルス幅変調された信号

50

となる。

【0037】

ドライバ回路10は、PWM制御部20から出力されるPWM信号 V_{pwm} にもとづき、スイッチングトランジスタM1のゲート端子に印加すべき第1ゲート電圧 V_{g1} と、同期整流用トランジスタM2のゲート端子に印加すべき第2ゲート電圧 V_{g2} と、を生成する。スイッチングトランジスタM1は、第1ゲート電圧 V_{g1} がローレベルのときオンし、ハイレベルのときオフする。同期整流用トランジスタM2は、第2ゲート電圧 V_{g2} がハイレベルのときオンし、ローレベルのときオフする。ドライバ回路10は、スイッチングトランジスタM1、同期整流用トランジスタM2がそれぞれオンする時間の比を、PWM信号 V_{pwm} のハイレベルとローレベルのデューティ比にもとづいて設定し、2つのトランジスタを交互にオンオフさせる。スイッチングトランジスタM1、同期整流用トランジスタM2が同時にオンして貫通電流が流れるのを防止するため、ドライバ回路10は、第1ゲート電圧 V_{g1} がハイレベル、第2ゲート電圧 V_{g2} がローレベルとなる期間(デッドタイム)を各周期ごとに設ける。

10

【0038】

比較部30には、スイッチング電圧 V_{sw} が入力される。比較部30は、スイッチング電圧 V_{sw} と接地電位とを比較し、スイッチング電圧 V_{sw} が接地電位を上回るとハイレベルの比較信号 V_{cmp} を出力する。

比較部30には、スイッチング電圧 V_{sw} が入力される。比較部30は、レベルシフト回路32、第2コンパレータ34を含み、スイッチング電圧 V_{sw} と接地電位とを比較し、スイッチング電圧 V_{sw} が接地電位を上回るとハイレベルの比較信号 V_{cmp} を出力する。

20

【0039】

レベルシフト回路32は、PNP型の第1、第2バイポーラトランジスタQ1、Q2を含み、それぞれのベース端子に、スイッチング電圧 V_{sw} および接地電位GNDが入力される。各バイポーラトランジスタQ1、Q2のコレクタ端子は接地されており、そのエミッタ端子からは、スイッチング電圧 V_{sw} および接地電位が順方向電圧 $V_f = 0.7V$ 程度、正方向にレベルシフトされた電圧が出力される。

第2コンパレータ34の非反転入力端子は、第1バイポーラトランジスタQ1のエミッタ端子が接続され、反転入力端子には、第2バイポーラトランジスタQ2のエミッタ端子が接続される。この第2コンパレータ34、レベルシフト回路32によりレベルシフトされたスイッチング電圧 V_{sw} と接地電位とを比較し、 $V_{sw} > 0V$ のときハイレベルを、 $V_{sw} < 0V$ のときローレベルを出力する。

30

【0040】

強制オフスイッチSW1には、ドライバ回路10から出力される第2ゲート電圧 V_{g2} が入力される。この強制オフスイッチSW1は、比較部30から出力される比較信号 V_{cmp} にもとづいて、第2ゲート電圧 V_{g2} またはローレベルのいずれかを出力する。強制オフスイッチSW1は、比較部30から出力される比較信号 V_{cmp} がハイレベルの期間、ローレベルを出力し、それ以外の期間、すなわち比較信号 V_{cmp} がローレベルの期間、ドライバ回路10から入力された第2電圧 V_{g2} をそのまま出力する。以下、強制オフスイッチSW1から出力される出力信号を V_{g2}' と記す。

40

【0041】

図3は、強制オフスイッチSW1の構成例を示す回路図である。強制オフスイッチSW1は、インバータ50、NORゲート52を含む。インバータ50の入力端子には、ドライバ回路10から出力される第2ゲート電圧 V_{g2} が入力される。インバータ50は、第2ゲート電圧 V_{g2} を反転し、NORゲート52の第1の入力端子へ出力する。NORゲート52の第2の入力端子にはラッチ回路40から出力される検出信号 V_{sens} が入力される。強制オフスイッチSW1は、NORゲート52の出力信号を V_{g2}' として出力する。

このように構成した強制オフスイッチSW1によれば、第2ゲート電圧 V_{g2} がハイレ

50

ベルで、かつ、比較信号 V_{cmp} がローレベルの期間のみ、強制オフスイッチ $SW1$ の出力電圧 $V_{g2'}$ はハイレベルとなり、それ以外の期間では強制オフスイッチ $SW1$ の出力電圧 $V_{g2'}$ はローレベルとなる。

【0042】

強制オフスイッチ $SW1$ の出力電圧 $V_{g2'}$ は、補助トランジスタ $M3$ のゲート端子および遅延回路 60 へと出力される。

遅延回路 60 は、強制オフスイッチ $SW1$ の出力電圧 $V_{g2'}$ に所定の遅延時間を与え、同期整流用トランジスタ $M2$ のゲート端子に出力する。遅延回路 60 は、電圧 $V_{g2'}$ の立ち上がりから所定の遅延時間 経過後にハイレベルとなり、電圧 $V_{g2'}$ の立ち下がりと同時にローレベルとなる電圧 $V_{g2''}$ を出力する。遅延時間は、たとえば、同期整流用トランジスタ $M2$ のオン期間の $1/10$ 程度に設定する。このような遅延回路 60 は、公知の技術を用いて容易に構成できるため、詳細な説明は省略する。

10

【0043】

以下、本実施の形態に係る制御回路 100 の重負荷および軽負荷時の動作を図 4、図 5 をもとに説明する。

図 4 は、本実施の形態に係る制御回路 100 の重負荷時の動作状態を示すタイムチャートである。図 4 のタイムチャートは、負荷電流 I_o が大きい重負荷時の動作を説明するものであり、インダクタ $L1$ に流れる電流 I_L が、同期整流用トランジスタ $M2$ がオンの期間、正方向の場合の動作を表している。

第 1 ゲート電圧 V_{g1} は、ハイレベルのときスイッチングトランジスタ $M1$ がオフ、ローレベルのときスイッチングトランジスタ $M1$ がオンする。すなわち、図中、 T_{on1} で示されるのは、スイッチングトランジスタ $M1$ がオンの期間である。

20

【0044】

第 2 ゲート電圧 V_{g2} は、ドライバ回路 10 により生成された同期整流用トランジスタ $M2$ に印加すべき電圧を示している。また、図中、第 2 ゲート電圧 $V_{g2''}$ は、実際に同期整流用トランジスタ $M2$ のゲート端子に印加される電圧を示している。第 2 ゲート電圧 $V_{g2''}$ がハイレベルのとき同期整流用トランジスタ $M2$ がオン、ローレベルのとき同期整流用トランジスタ $M2$ がオフとなる。図中、 T_{on2} で示されるのは、同期整流用トランジスタ $M2$ がオンの期間である。さらに、図中、第 2 ゲート電圧 $V_{g2'}$ は、補助トランジスタ $M3$ のゲート端子に印加される電圧を示しており、 T_{on3} で示されるのは、補助トランジスタ $M3$ がオンの期間である。

30

【0045】

上述したように、ドライバ回路 10 から出力される第 2 ゲート電圧 V_{g2} は、一旦、強制オフスイッチ $SW1$ へと入力され、比較部 30 から出力される比較信号 V_{cmp} がローレベルの期間、 $V_{g2'} = V_{g2}$ となる。また、比較信号 V_{cmp} がハイレベルの期間、強制オフスイッチ $SW1$ の出力電圧 $V_{g2'}$ は、ドライバ回路 10 から出力されるゲート電圧 V_{g2} の値に関わらずローレベル ($0V$) となり、同期整流用トランジスタ $M2$ 、補助トランジスタ $M3$ は強制的にオフとなる。

【0046】

時刻 $T_0 \sim T_1$ の期間、スイッチングトランジスタ $M1$ がオン、同期整流用トランジスタ $M2$ がオフとなっている。時刻 T_1 に、スイッチングトランジスタ $M1$ の第 1 ゲート電圧 V_{g1} がハイレベルとなり、スイッチングトランジスタ $M1$ がオフとなる。その後、時刻 $T_1 \sim T_2$ の期間、スイッチングトランジスタ $M1$ 、同期整流用トランジスタ $M2$ はいずれもオフとなる。時刻 T_1 にスイッチングトランジスタ $M1$ がオフになると、それまでインダクタ $L1$ に流れていた電流がスイッチングトランジスタ $M1$ から供給されなくなる。

40

【0047】

ここで、インダクタ $L1$ に流れる電流 I_L は連続でなければならぬため、この電流は、同期整流用トランジスタ $M2$ 、補助トランジスタ $M3$ のボディダイオード (寄生ダイオード) $D2$ 、 $D3$ を介して供給される。すなわち、同期整流用トランジスタ $M2$ および補

50

助トランジスタM3のバックゲート端子は接地されており、バックゲート端子とドレイン端子間には、図2に示すボディダイオードD2、D3が存在する。したがって、時刻T1にスイッチングトランジスタM1がオフされてから、時刻T2に補助トランジスタM3がオンするまでの期間、インダクタL1には、このボディダイオードD2、D3を介して電流が供給される。この間、スイッチング端子104には、接地電位0Vからダイオードの順方向電圧 $V_f = 0.7V$ 程度低いスイッチング電圧 V_{sw} が現れる。

【0048】

時刻T2において、第2ゲート電圧 V_{g2} はローレベルからハイレベルに変化する。このとき、比較電圧 V_{cmp} はローレベルであるため、強制オフスイッチSW1の出力電圧 V_{g2}' はハイレベルとなり、補助トランジスタM3がオンする。補助トランジスタM3がオンすることにより、同期整流用トランジスタM2、補助トランジスタM3のボディダイオードD2、D3を介してインダクタL1に流れていた電流は、補助トランジスタM3のドレイン電流として供給される。

10

このとき、スイッチング電圧 V_{sw} は、インダクタL1に流れる電流 I_L と、補助トランジスタM3のオン抵抗 R_{on3} の積で与えられ、時間とともに、インダクタL1に流れる電流 I_L が減少するのにもなって、0Vへと近づいていく。このときのスイッチング電圧 V_{sw} の上昇の傾きは、補助トランジスタM3のオン抵抗に依存する。

【0049】

時刻T2に強制オフスイッチSW1の出力電圧 V_{g2}' がハイレベルとなってから、遅延時間 経過後の時刻T3に、遅延回路60の出力電圧 V_{g2}'' はハイレベルとなり、同期整流用トランジスタM2がオンする。

20

時刻T3以降、補助トランジスタM3と同期整流用トランジスタM2が同時にオンすることにより、インダクタL1に流れる電流 I_L は、これら2つのトランジスタを介して供給されることになる。その結果、スイッチング電圧 V_{sw} の上昇の傾きは、2つのトランジスタのオン抵抗 R_{on2} および R_{on3} の合成抵抗により決定される。したがって、時刻T3に同期整流用トランジスタM2がオンすることによって、スイッチング電圧 V_{sw} の上昇速度は遅くなる。上述のように、図4のタイムチャートでは、インダクタL1に流れる電流は正方向であるため、同期整流用トランジスタM2がオンの期間、スイッチング電圧 V_{sw} は正電圧とはならず、比較部30から出力される比較信号 V_{cmp} はローレベルとなる。

30

【0050】

時刻T4にドライバ回路10から出力される第2ゲート電圧 V_{g2} がローレベルとなると、強制オフスイッチSW1および遅延回路60から出力される電圧 V_{g2}' 、 V_{g2}'' もローレベルとなり、同期整流用トランジスタM2、補助トランジスタM3はオフする。その後、時刻T5にドライバ回路10から出力される第1ゲート電圧 V_{g1} がローレベルとなり、スイッチングトランジスタM1がオンする。

本実施の形態に係る100は、重負荷時において、時刻T0～T5の動作を一周期とし、この動作を繰り返すことにより、電池電圧 V_{bat} を降圧し、所望の出力電圧 V_{out} を負荷回路RLに対して供給する。

【0051】

40

次に、軽負荷時の動作について図5をもとに説明する。図5は、本実施の形態に係る制御回路100の軽負荷時の動作状態を示すタイムチャートである。

時刻T0～T2までの動作は図4の重負荷時と同様である。時刻T2にドライバ回路10から出力される第2ゲート電圧 V_{g2} がハイレベルとなると、補助トランジスタM3のみがオンし、スイッチング電圧 V_{sw} が大きな傾きで上昇を開始する。

【0052】

時刻T3に $V_{sw} > 0V$ となると、第2コンパレータ34によって、電圧検出が行われる。

一般に、コンパレータの応答速度は、入力電圧の変化する速度に応じて変化する。図6(a)、(b)は、コンパレータの応答速度を説明するための図である。図6(a)は、

50

異なる速度で変化する2つの入力電圧 V_i の時間波形を示している。また、図6(b)は、同図(a)の各波形に対応した出力電圧 V_o の時間波形を示している。図6(a)、(b)に破線で示されるように、入力電圧 V_i の時間変化率が低い(II)の場合、入力電圧 V_i がコンパレータのしきい値電圧 V_{th} を超えてから出力電圧 V_o が変化するまでに要する時間 t は長くなる。これに対して、図6(a)、(b)に実線で示されるように、入力電圧 V_i の時間変化率が高い(I)の場合には、入力電圧 V_i がしきい値電圧 V_{th} を超えてからコンパレータの出力電圧 V_o が変化するまでの時間 t' は短くなり、検出速度が速くなる。

【0053】

図5に戻る。上述したように、時刻 T_2 にドライバ回路10から出力される第2ゲート電圧 V_{g2} がローレベルからハイレベルに変わってから遅延時間 経過前においては、補助トランジスタ M_3 のみがオンしており、スイッチング電圧 V_{sw} が大きな傾きで上昇している。時刻 T_3 に $V_{sw} > 0$ となつてから、コンパレータによる検出遅延時間 t 経過後の時刻 T_3' に、第2コンパレータ34から出力される比較信号 V_{cmp} がハイレベルに変化する。 10

【0054】

時刻 T_3' において、比較部30から出力される比較電圧 V_{cmp} がハイレベルとなると、強制オフスイッチ SW_1 の出力電圧 V_{g2}' が強制的にローレベルに固定され、補助トランジスタ M_3 がオフする。このとき、スイッチングトランジスタ M_1 、同期整流用トランジスタ M_2 、補助トランジスタ M_3 はすべてオフとなるため、ハイインピーダンス状態となり、スイッチング電圧 V_{sw} は変動し、時刻 T_5 にスイッチングトランジスタ M_1 がオンすると、電池電圧 V_{bat} に安定する。 20

【0055】

このように、本実施の形態に係る100は、軽負荷時において、時刻 $T_0 \sim T_5$ の動作を一周期とし、この動作を繰り返すことにより、電池電圧 V_{bat} を降圧し、所望の出力電圧 V_{out} を負荷回路 R_L に対して供給する。

本実施の形態に係る制御回路100によれば、スイッチング電圧 V_{sw} をモニタし、同期整流用トランジスタ M_2 がオンすべき期間において、スイッチング電圧 V_{sw} が0Vより大きくなると、同期整流用トランジスタ M_2 を強制的にオフする。その結果、軽負荷時にインダクタ L_1 に流れる電流 I_L の向きが反転し、同期整流用トランジスタ M_2 を介して接地に向かって流れるのを防止し、効率の悪化を抑えることができる。 30

【0056】

この際、図5に示した検出遅延時間 t が長いと、スイッチング電圧 V_{sw} が正電圧となり、インダクタ L_1 に流れる電流 I_L の向きが正から負へと反転し、同期整流用トランジスタ M_2 あるいは補助トランジスタ M_3 を介して接地に向かって流れ、効率が悪化してしまう。本実施の形態に係る制御回路100では、スイッチングトランジスタ M_1 がオフした後において、補助トランジスタ M_3 のみをオンした状態で大きな傾きでスイッチング電圧 V_{sw} を上昇させているため、オン抵抗の低い同期整流用トランジスタ M_2 をオンした状態でスイッチング電圧 V_{sw} を上昇させる場合に比べて、検出遅延時間 t を短く設定することができる。その結果、インダクタ L_1 を流れる電流 I_L が負となり、接地に向かって流れる時間を短縮することができるため、効率を改善することができる。 40

【0057】

また、補助トランジスタ M_3 のオン抵抗 R_{on3} は、同期整流用トランジスタ M_2 のオン抵抗 R_{on2} に比べて低く設定されるため、補助トランジスタ M_3 のトランジスタサイズは小さく設計することが可能となるため、補助トランジスタ M_3 を設けることによる制御回路100のチップサイズの増大を抑えることができる。

【0058】

上記実施の形態は例示であり、それらの各構成要素や各処理プロセスの組合せにいろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。

【 0 0 5 9 】

図 7 は、図 2 の制御回路 1 0 0 の変形例を示す回路図である。制御回路 1 0 0 は、図 2 に示す比較部 3 0 の後段に、比較信号 V_{cmp} をラッチするラッチ回路 4 0 を備える。

【 0 0 6 0 】

ラッチ回路 4 0 には、ドライバ回路 1 0 から出力される第 2 ゲート電圧 V_{g2} と、比較部 3 0 から出力される比較信号 V_{cmp} が入力される。このラッチ回路 4 0 は、同期整流用トランジスタ M_2 がオンすべき期間、すなわち、ドライバ回路 1 0 から出力される第 2 ゲート電圧 V_{g2} がハイレベルの期間にアクティブとなり、比較部 3 0 から出力される比較信号 V_{cmp} をラッチし、ラッチした信号を検出信号 V_{sens} として出力する。また、ラッチ回路 4 0 は、第 2 ゲート電圧 V_{g2} がハイレベルからローレベルとなると、ラッチした検出結果をリセットする。

10

【 0 0 6 1 】

ラッチ回路 4 0 は、D フリップフロップ 4 2、OR ゲート 4 4、NOR ゲート 4 6、インバータ 4 8 を含む。D フリップフロップ 4 2 のセット端子およびデータ端子には、ハイレベルに対応する電源電圧 V_{dd} が入力され、リセット端子は、NOR ゲート 4 6 の出力と接続される。NOR ゲート 4 6 には、インバータ 4 8 によって反転された第 2 ゲート電圧 V_{g2} および外部から与えられるイネーブル信号 EN が入力され、2 つの信号の否定論理和を D フリップフロップ 4 2 のリセット端子に出力する。イネーブル信号 EN は、降圧型スイッチングレギュレータ 2 0 0 の降圧動作を制御する信号であり、降圧型スイッチングレギュレータ 2 0 0 は、イネーブル信号 EN がローレベルのとき降圧動作を行い、ハイレベルのとき降圧動作を停止するアクティブローとなっている。

20

【 0 0 6 2 】

また、D フリップフロップ 4 2 のクロック端子には、比較部 3 0 から出力される比較信号 V_{cmp} が入力される。この D フリップフロップ 4 2 は、第 2 ゲート電圧 V_{g2} がハイレベルの期間に、比較部 3 0 から出力される比較信号 V_{cmp} がハイレベルとなると、出力端子からハイレベルの出力信号 V_q を出力する。

OR ゲート 4 4 には、比較部 3 0 から出力される比較信号 V_{cmp} および D フリップフロップ 4 2 の出力信号 V_q が入力され、2 つの信号の論理和を検出信号 V_{sens} として強制オフスイッチ SW_1 に出力する。なお、OR ゲート 4 4 を設けずに、D フリップフロップ 4 2 の出力信号 V_q を強制オフスイッチ SW_1 に直接出力してもよい。

30

【 0 0 6 3 】

以上のように構成された制御回路 1 0 0 の動作について説明する。図 8 は、図 7 の制御回路 1 0 0 の動作状態を示すタイムチャートである。時刻 T_0 ~ 時刻 T_3' までの動作は、図 5 と同様であるため説明を省略する。

時刻 T_3' に比較部 3 0 から出力される比較信号 V_{cmp} がハイレベルとなると、強制オフスイッチ SW_1 の出力電圧 V_{g2}' が強制的にローレベルに固定され、補助トランジスタ M_3 がオフする。このとき、スイッチングトランジスタ M_1 、同期整流用トランジスタ M_2 、補助トランジスタ M_3 はすべてオフとなるため、ハイインピーダンス状態となり、スイッチング電圧 V_{sw} は変動する。このとき、図 8 に示すように、スイッチング電圧 V_{sw} が接地電位 $0V$ を跨いで変動すると、比較信号 V_{cmp} もハイレベルとローレベルが切り替わることになる。

40

【 0 0 6 4 】

ここで、上述のように、図 7 の制御回路 1 0 0 では、比較部 3 0 および D フリップフロップ 4 2 の出力の論理和にもとづいて、強制オフスイッチ SW_1 を制御している。したがって、比較信号 V_{cmp} の信号レベルが変動しても、D フリップフロップ 4 2 の出力信号 V_q はハイレベルにラッチされているため、OR ゲート 4 4 の出力、すなわち検出信号 V_{sens} はハイレベルのままとなる。その結果、スイッチング電圧 V_{sw} の変動にかかわらず、補助トランジスタ M_3 、同期整流用トランジスタ M_2 をオフし続けることができる。

【 0 0 6 5 】

50

時刻 T 4 に、ドライバ回路 1 0 は、第 2 ゲート電圧 V_{g2} をローレベルに切り替える。第 2 ゲート電圧 V_{g2} がローレベルとなると、NOR ゲート 4 6 の出力はローレベルとなるため、D フリップフロップ 4 2 はリセットされ、その出力信号 V_q はローレベルとなる。その後、時刻 T 5 に第 1 ゲート電圧 V_{g1} がローレベルとなり、スイッチングトランジスタ M 1 がオンする。

【0066】

図 7 の実施の形態に係る制御回路 1 0 0 は、時刻 T 0 ~ T 5 を一周期として、この動作を繰り返すことにより、電池電圧 V_{bat} を降圧し、所望の出力電圧 V_{out} を負荷回路 R L に対して供給する。

本実施の形態に係る制御回路 1 0 0 によれば、図 2 の制御回路 1 0 0 により得られる効果に加えさらに以下のような効果を得ることができる。すなわち、図 7 の制御回路 1 0 0 は、ラッチ回路 4 0 を備えており、スイッチング電圧 V_{sw} が 0 V より大きくなったときハイレベルとなる比較信号 V_{cmp} をラッチする。その結果、スイッチング電圧 V_{sw} が 0 V を跨いで変動する場合においても、強制オフスイッチ S W 1 の出力は切り替えられず、同期整流用トランジスタ M 2 はオフ状態を保ち続けることができ、安定な降圧動作を行うことができる。

【0067】

実施の形態では、制御回路 1 0 0 を含む降圧型スイッチングレギュレータ 2 0 0 により駆動される負荷回路としてマイコンを例に説明したが、これには限定されず、負荷電流が減少し、軽負荷状態で動作するさまざまな負荷回路に対して、駆動電圧を供給することができる。

【0068】

また、本実施の形態において、ハイレベル、ローレベルの論理値の設定は一例であって、インバータなどによって適宜反転させることにより自由に変更することが可能である。

【0069】

実施の形態では、制御回路 1 0 0 がひとつの L S I に一体集積化される場合について説明したが、これには限定されず、一部の構成要素が L S I の外部にディスクリート素子あるいはチップ部品として設けられ、あるいは複数の L S I により構成されてもよい。

【図面の簡単な説明】

【0070】

【図 1】実施の形態に係る降圧型スイッチングレギュレータを搭載した電子機器の構成を示すブロック図である。

【図 2】実施の形態に係る降圧型スイッチングレギュレータの構成を示す回路図である。

【図 3】強制オフスイッチの構成例を示す回路図である。

【図 4】本実施の形態に係る制御回路の重負荷時の動作状態を示すタイムチャートである。

【図 5】本実施の形態に係る制御回路の軽負荷時の動作状態を示すタイムチャートである。

【図 6】図 6 (a)、(b) は、コンパレータの応答速度を説明するための図である。

【図 7】図 2 の制御回路の変形例を示す回路図である。

【図 8】図 7 の制御回路の動作状態を示すタイムチャートである。

【図 9】図 9 (a)、(b) はそれぞれ、同期整流方式スイッチングレギュレータの重負荷および軽負荷時の電流の時間波形を示す図である。

【符号の説明】

【0071】

1 0 0 制御回路、 2 0 0 降圧型スイッチングレギュレータ、 1 0 ドライバ回路、 3 0 比較部、 3 2 レベルシフト回路、 3 8 遅延回路、 4 0 ラッチ回路、 4 2 D フリップフロップ、 4 4 OR ゲート、 6 0 遅延回路、 L 1 インダクタ、 V_{g2} 第 2 ゲート電圧、 V_{sw} スwitching 電圧、 M 1 スwitching トランジスタ、 M 2 同期整流用トランジスタ、 M 3 補助トランジスタ、 3

10

20

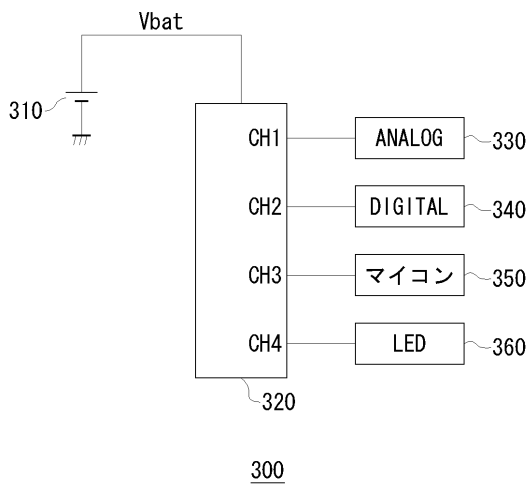
30

40

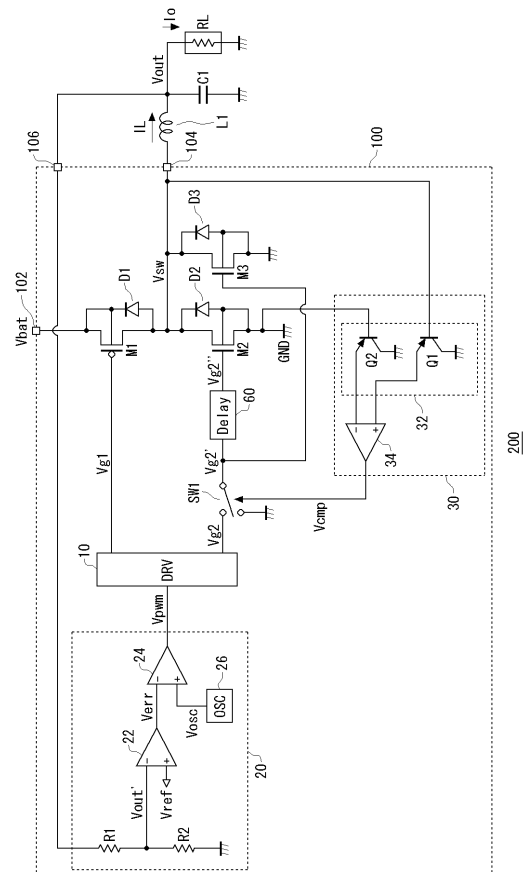
50

00 電子機器、 310 電池、 350 マイコン。

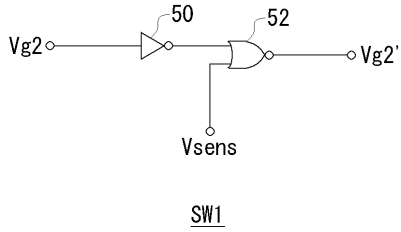
【図1】



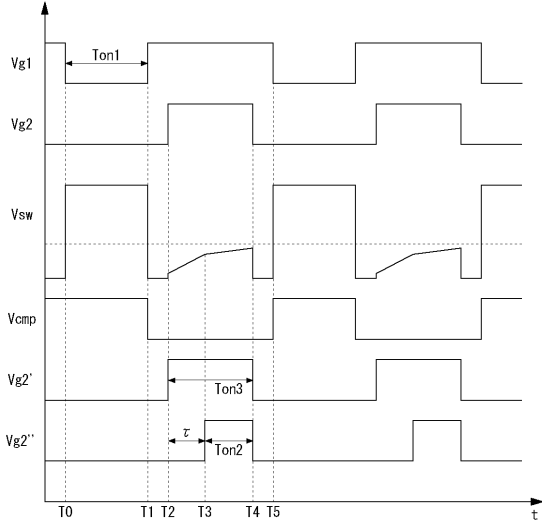
【図2】



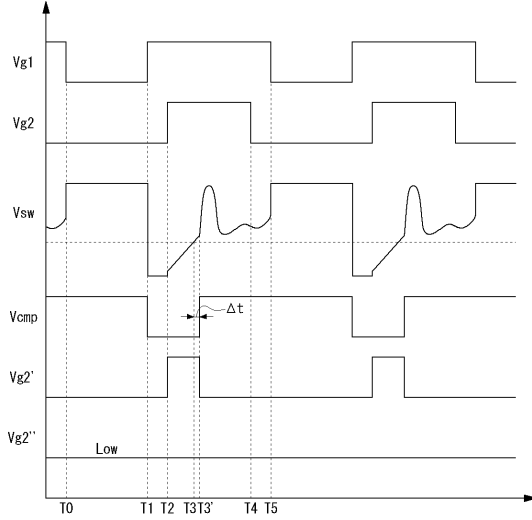
【 図 3 】



【 図 4 】

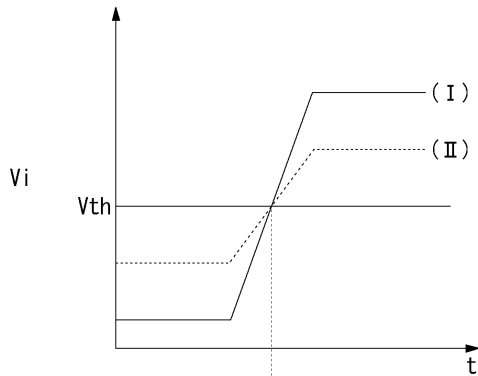


【 図 5 】

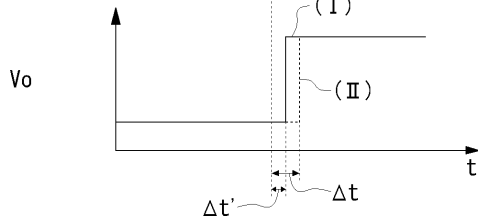


【 図 6 】

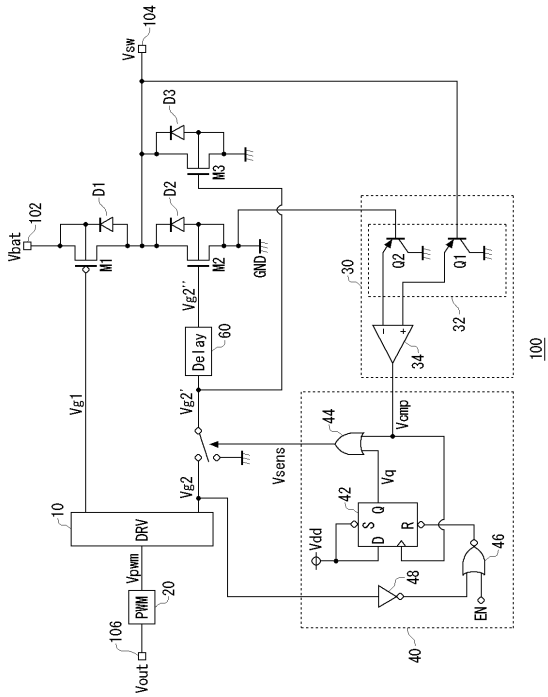
(a)



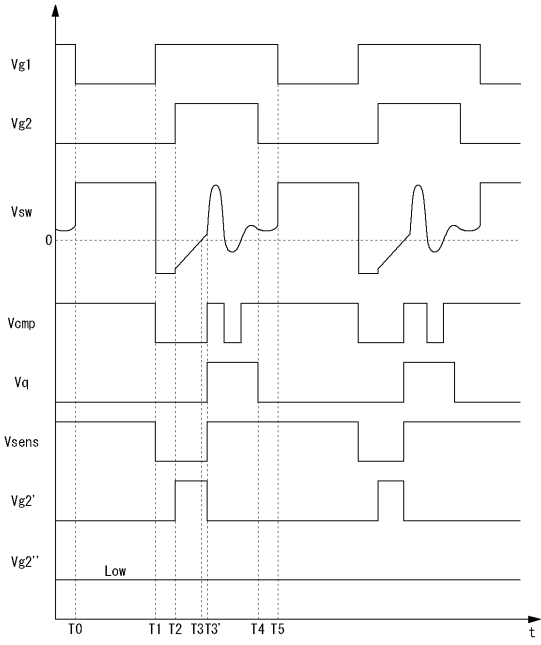
(b)



【 図 7 】



【 8 】



【 9 】

