



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I590411 B

(45) 公告日：中華民國 106 (2017) 年 07 月 01 日

(21) 申請案號：103121739

(22) 申請日：中華民國 103 (2014) 年 06 月 24 日

(51) Int. Cl. : **H01L23/60 (2006.01)**

(30) 優先權：2013/06/25 美國 13/926,384

(71) 申請人：美國亞德諾半導體公司 (美國) ANALOG DEVICES, INC. (US)
美國(72) 發明人：陳立 CHEN, LI (CN)；紐南 湯瑪斯 K NUNAN, THOMAS KIERAN (US)；楊光
隆 YANG, KUANG L. (US)；葛雷格里 傑佛瑞 A GREGORY, JEFFREY A. (US)

(74) 代理人：惲軼群；陳文郎

(56) 參考文獻：

US 7932568B2

US 8164159B1

審查人員：董柏昌

申請專利範圍項數：20 項 圖式數：5 共 24 頁

(54) 名稱

在經主動電路系統所封裝之微電子機械系統元件中進行屏蔽與偏壓之設備與方法

APPARATUS AND METHOD FOR SHIELDING AND BIASING IN MEMS DEVICES
ENCAPSULATED BY ACTIVE CIRCUITRY

(57) 摘要

在一晶圓級晶片尺寸封裝中，當 MEMS 元件直接為 ASIC 晶圓所覆蓋時，為防止 MEMS 晶圓上之 MEMS 元件結構與 ASIC 晶圓之電路系統產生串電現象，因此於一標準 ASIC 晶圓金屬頂層中形成一或多片導電屏蔽板。一般而言，屏蔽板應至少略大於其所屏蔽之 MEMS 元件結構(例如，一可動 MEMS 結構，如加速度感測器質量塊或陀螺儀共振器)，且屏蔽板於晶圓接合時或接合後不可與 MEMS 元件結構接觸。因此設置一凹處以確保從 MEMS 元件結構之頂面起算構成充分之空腔空間。該屏蔽板具導電性，且可受與對應 MEMS 元件結構電壓相同之偏壓，以維持 MEMS 元件結構與屏蔽板間為零電吸力之狀態。

One or more conductive shielding plates are formed in a standard ASIC wafer top metal layer, e.g., for blocking cross-talk from MEMS device structure(s) on the MEMS wafer to circuitry on the ASIC wafer when the MEMS device is capped directly by the ASIC wafer in a wafer-level chip scale package. Generally speaking, a shielding plate should be at least slightly larger than the MEMS device structure it is shielding (e.g., a movable MEMS structure such as an accelerometer proof mass or a gyroscope resonator), and the shielding plate cannot be in contact with the MEMS device structure during or after wafer bonding. Thus, a recess is formed to ensure that there is sufficient cavity space away from the top surface of the MEMS device structure. The shielding plate is electrically conductive and can be biased, e.g., to the same voltage as the opposing MEMS device structure in order to maintain zero electrostatic attraction force between the MEMS device structure and the shielding plate.

指定代表圖：

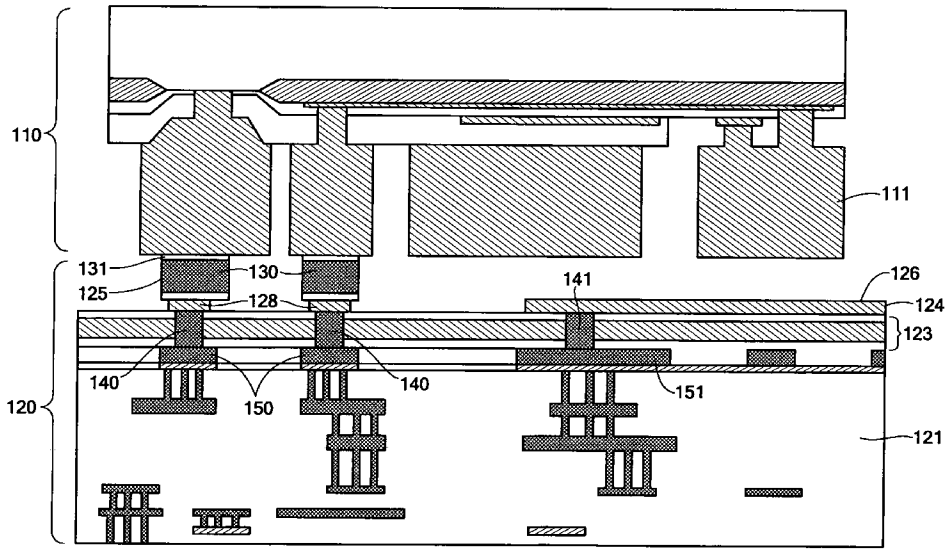


圖 1

符號簡單說明：

- 110 . . . MEMS 晶圓
- 111 . . . MEMS 結構
- 120 . . . ASIC 晶圓
- 121 . . . 電路系統頂層
- 123 . . . 鈍化層
- 124 . . . 氮化鈦層
- 125 . . . 金屬層
- 126 . . . 導電屏蔽板
- 128 . . . 電極
- 130 . . . 電導管
- 131 . . . 黏著材料
- 140、141 . . . (導電)通孔
- 150、151 . . . 金屬接合墊/電極

發明摘要

公告本

※ 申請案號：103121739

※ 申請日：103.6.24

※ IPC 分類：H01L 23/60 (2006.01)

【發明名稱】(中文/英文)

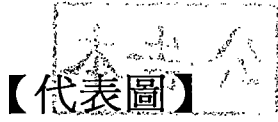
在經主動電路系統所封裝之微電子機械系統元件中進行屏蔽與偏壓之設備與方法/ APPARATUS AND METHOD FOR SHIELDING AND BIASING IN MEMS DEVICES ENCAPSULATED BY ACTIVE CIRCUITRY

【中文】

在一晶圓級晶片尺寸封裝中，當MEMS元件直接為ASIC晶圓所覆蓋時，為防止MEMS晶圓上之MEMS元件結構與ASIC晶圓之電路系統產生串電現象，因此於一標準ASIC晶圓金屬頂層中形成一或多片導電屏蔽板。一般而言，屏蔽板應至少略大於其所屏蔽之MEMS元件結構(例如，一可動MEMS結構，如加速度感測器質量塊或陀螺儀共振器)，且屏蔽板於晶圓接合時或接合後不可與MEMS元件結構接觸。因此設置一凹處以確保從MEMS元件結構之頂面起算構成充分之空腔空間。該屏蔽板具導電性，且可受與對應MEMS元件結構電壓相同之偏壓，以維持MEMS元件結構與屏蔽板間為零電吸力之狀態。

【英文】

One or more conductive shielding plates are formed in a standard ASIC wafer top metal layer, e.g., for blocking cross-talk from MEMS device structure(s) on the MEMS wafer to circuitry on the ASIC wafer when the MEMS device is capped directly by the ASIC wafer in a wafer-level chip scale package. Generally speaking, a shielding plate should be at least slightly larger than the MEMS device structure it is shielding (e.g., a movable MEMS structure such as an accelerometer proof mass or a gyroscope resonator), and the shielding plate cannot be in contact with the MEMS device structure during or after wafer bonding. Thus, a recess is formed to ensure that there is sufficient cavity space away from the top surface of the MEMS device structure. The shielding plate is electrically conductive and can be biased, e.g., to the same voltage as the opposing MEMS device structure in order to maintain zero electrostatic attraction force between the MEMS device structure and the shielding plate.



(10,0005) 【本案指定代表圖】：第（ 1 ）圖。

【本代表圖之符號簡單說明】：

110...MEMS晶圓

111...MEMS結構

120...ASIC晶圓

121...電路系統頂層

123...鈍化層

124...氮化鈦層

125...金屬層

126...導電屏蔽板

128...電極

130...電導管

131...黏著材料

140、141...(導電)通孔

150、151...金屬接合墊/電極

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

(無)

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

在經主動電路系統所封裝之微電子機械系統元件中進行屏蔽與偏壓之設備與方法/ APPARATUS AND METHOD FOR SHIELDING AND BIASING IN MEMS DEVICES ENCAPSULATED BY ACTIVE CIRCUITRY

【技術領域】

相關申請交互參照

[0001]本專利申請與同日提出申請之美國專利申請「供主動電路系統所封裝之微電子機械系統元件預防粘連之設備與方法」(代理人案號 2550/E48)之所請主體相關，該案之整體內容於此合併參照。

發明領域

[0002]本發明整體而言係關於對於經主動電路系統所封裝之微電子機械系統(MEMS)元件進行屏蔽與偏壓之技術。

【先前技術】

發明背景

[0003]將一特定應用積體電路(ASIC)晶圓與一MEMS元件晶圓結合以形成一晶圓級晶片尺寸封裝係為習知技術。於此等積體晶圓級晶片尺寸封裝中，該ASIC晶圓係為有效之覆蓋晶圓。此等元件之空腔深度通常為約2-4微米(在此簡寫為「um」)，視其黏合密封材料厚度或排列間隔柱深度而定。於此等元件中，MEMS元件結構與該ASIC電路系

統極為接近，因此可能導致MEMS元件結構對與該ASIC晶圓僅相距數微米之電路產生依時變化之寄生電容及阻抗串電。

【發明內容】

發明概要

[0004]於一第一實施例中，本發明提供一種在一具有一電路系統頂層之ASIC晶圓上形成導電屏蔽板之方法。所述方法涉及在該電路系統頂層上方形成一鈍化層，並在該鈍化層上方形成一氮化鈦層，以及選擇性地蝕刻該氮化鈦層以形成至少一導電屏蔽板。

[0005]於各種替代實施例中，形成該鈍化層之步驟可涉及形成一氧化物底層、一氮化物中層以及一氧化物頂層。選擇性地蝕刻該氮化鈦層之步驟可形成複數間隔柱基座。所述方法可進一步涉及形成對該至少一導電屏蔽板施予一電勢之電路系統。選擇性地蝕刻該氮化鈦層可形成至少二片相互電性連接之導電屏蔽板，在此情況下所述方法可進一步涉及形成對該等電性相連導電屏蔽板施予一電勢之電路系統。選擇性地蝕刻該氮化鈦層可形成至少二片相互電性絕緣之導電屏蔽板，在此情況下所述方法可進一步涉及形成能夠對該等電性絕緣導電屏蔽板施予不同電勢之電路系統。所述方法可進一步涉及形成複數間隔柱。選擇性地蝕刻該氮化鈦層可形成至少一電極，用以將一電訊號傳遞至一MEMS元件。所述方法可進一步涉及於該電極上形成一電導管，用以將該電訊號傳遞至該MEMS元件。

[0006]於另一實施例中，本發明提供一ASIC晶圓，其係包含一電路頂層、一位於該電路系統頂層上方之鈍化層以及一位於該鈍化層上之氮化鈦層，該氮化鈦層係配置為包括至少一導電屏蔽板。

[0007]於各種替代實施例中，該鈍化層可包括一氧化物底層、一氮化物中層以及一氧化物頂層。該氮化鈦層可進一步配置為包括複數間隔柱基座。該ASIC晶圓可包括複數間隔柱。該ASIC晶圓可包括配置為對該至少一導電屏蔽板施予一電勢之電路系統。至少二片導電屏蔽板可彼此電性相連，且該ASIC晶圓可包括配置為對該等導電屏蔽板施予一電勢之電路系統。與上擇一或兼用，至少二片導電屏蔽板可彼此電性絕緣，且該ASIC晶圓可包括能夠對該等電性絕緣導電屏蔽板施予不同電勢之電路系統。該氮化鈦層可進一步配置為包括至少一電極，用以將一電訊號傳遞至一MEMS元件。該元件可包括一位於該電極上之電導管，用以將該電訊號傳遞至該MEMS元件。

[0008]於另一實施例中，本發明提供一種積體晶圓級晶片尺寸封裝元件，其係包含一耦接於一MEMS元件之ASIC晶圓，其中該MEMS元件包括至少一MEMS結構，且其中該ASIC晶圓包含一電路頂層、一位於該電路系統頂層上方之鈍化層以及一位於該鈍化層上之氮化鈦層，該氮化鈦層係配置為包括至少一導電屏蔽板。

[0009]於各種替代實施例中，該鈍化層可包括一氧化物底層、一氮化物中層以及一氧化物頂層。該氮化鈦層可進

一步配置為包括複數間隔柱基座。該元件可包括複數間隔柱。該元件可包括配置為對該至少一導電屏蔽板施予一電勢之電路系統。至少二片導電屏蔽板可彼此電性相連，且該元件可包括配置為對該等導電屏蔽板施予一電勢之電路系統。與上擇一或兼用，至少二片導電屏蔽板可彼此電性絕緣，且該元件可包括能夠對該等電性絕緣導電屏蔽板施予不同電勢之電路系統。該氮化鈦層可進一步配置為包括至少一電極，用以將一電訊號傳遞至一MEMS元件。該元件可包括一位於該電極上之電導管，用以將該電訊號傳遞至該MEMS元件。

[0010]本發明亦可包含並主張其他實施例。

【圖式簡單說明】

[0011]本發明實施例之上述特徵將藉由以下詳細說明參照所附圖式加以陳明，附圖包括：

圖1為概要方塊圖，顯示本發明一示範實施例中晶圓級晶片尺寸封裝之剖視圖；

圖2包含圖2A至2F，其依據本發明之一種示範實施例概略顯示一種用以形成導電屏蔽板及其他結構之示範組建程序；

圖3為邏輯流程圖，說明圖2所繪示範實施例中ASIC組建程序之相關步驟；

圖4為概要圖，顯示包括兩片導電屏蔽板之ASIC晶圓，其中當該ASIC晶圓接合於MEMS元件時，所述導電屏蔽板係與對應之MEMS元件結構反向設置；以及

圖5為概要圖，其依據本發明之一種示範實施例概略顯示多片分別接受不同電勢之導電屏蔽板。

應知上述圖式與其中所繪示之元件未必依據特定或任何比例繪製。除非上下文另有指定，否則相同之元件係以相同之示數標明。

【實施方式】

較佳實施例之詳細說明

[0012]於本發明之示範實施例中，係於標準ASIC晶圓金屬頂層形成一或多片導電屏蔽板，藉此預防，當MEMS元件直接為ASIC晶圓所覆蓋時，MEMS晶圓上之MEMS元件結構會與ASIC晶圓之電路系統產生串電現象。一般而言，屏蔽板應至少略大於其所屏蔽之MEMS元件結構(例如，一可動MEMS結構，如加速度感測器質量塊或陀螺儀共振器)，且屏蔽板於晶圓接合時或接合後不可與MEMS元件結構接觸。因此設置一凹處以確保從MEMS元件結構之頂面起算構成充分之空腔空間。該屏蔽板具導電性，且可受與對應MEMS元件結構電壓相同之偏壓，以維持MEMS元件結構與屏蔽板間為零電吸力之狀態。

[0013]圖1依據本發明之一種示範實施例以概要方塊圖繪示晶圓級晶片尺寸封裝100之剖視圖。MEMS晶圓110具有MEMS結構111，以黏著材料131接著於CMOS ASIC晶圓120。如下文將詳述者，該ASIC晶圓120係形成為一層疊式結構，主要包括一具有多種金屬接合墊150及151之電路系統頂層121、一位於該電路系統層121上方之鈍化層123，一

形成於該鈍化層123上且由此形成一導電屏蔽板126及多枚電極128以便電性連接於MEMS晶圓110之氮化鈦層124，以及一其中形成間隔柱結構(為求方便未示於圖1)及電導管130以便延伸電性連接至MEMS晶圓110之金屬層125。

[0014]於此示範實施例中，該鈍化層係由三層子層體構成，具體而言為一薄氧化物底層(例如二氧化矽，即SiO₂)、一薄氮化物中層(例如氮化矽，即SiN)以及一厚氧化物頂層(OX)層(例如二氧化矽，即SiO₂)。於其他實施例中，可使用其他鈍化材料。於此示範實施例中，各種導電通孔140及141將該氮化鈦層124中之結構耦接至電路系統層121中之對應金屬接合墊150及151，以利將導電屏蔽板126所接收之電訊號經由電極128及電導管130傳遞至MEMS晶圓110。

[0015]如下文將詳述者，該導電屏蔽板126係形成於該ASIC晶圓金屬化頂層而非MEMS結構111中。應知雖則本示範實施例僅顯示單一導電屏蔽板126，於其他實施例中可能設有多片導電屏蔽板。例如，對於多個MEMS結構中之每一者配以一導電屏蔽板。

[0016]以下參照圖2，說明用以形成導電屏蔽板126及其他結構之示範組建程序相關步驟。

[0017]圖2A顯示ASIC晶圓中示範電路系統頂層121之剖視圖。在此範例中，電路系統頂層121包括用以將電訊號傳遞至MEMS晶圓110之金屬接合墊150，且包括一用以將電訊號傳遞至導電屏蔽板126之金屬接合墊151。金屬接合墊150及151可以如鋁銅合金(AlCu)等金屬製成。金屬接合

墊150及151耦接於對應基底電路系統，且彼此之間以一氧化物材料構成電性絕緣(例如高密度電漿氧化物，亦即HDP-OX)。

[0018]如圖2B所示，電路系統頂層121上形成有一鈍化層123。如上所述，本示範實施例中之鈍化層123包括三層子層體，具體而言為一薄氧化物底層(例如SiO₂)、一薄氮化物中層(例如SiN)以及一厚氧化物頂層(例如SiO₂)。此氧化物-氮化物-氧化物(O-N-O)鈍化層123通常具有約0.25-0.3um之厚度。於特定示範實施例中，該鈍化層123之氧化物子層體及氮化物子層體係以電漿輔助化學氣相沉積(PECVD)方式於約450攝氏度之溫度下製成。

[0019]如圖2C所示，該鈍化層123上形成有一氮化鈦層124。該氮化鈦層124通常具有約50-100nm (奈米)之厚度，以接近50 nm者為佳。

[0020]如圖2D所示，該氮化鈦層124於形成經選擇性蝕刻處理，以於其中形成各種結構體，包括電極128、導電屏蔽板126以及間隔柱基座213及215(於特定實施例中可省略)。應注意雖為求敘述之簡要，在此將本技藝中為人所習知之導電通孔導電通孔形成步驟略而不提，圖2D中確有繪示通孔140及141之位置。一般而言，通孔140及141之製作係利用各種蝕刻及沉積步驟蝕穿該鈍化層123，而後形成該氮化鈦層124，藉此產生自該鈍化層123頂部延伸至電極150及151之開口，再以導電材料填滿該等開口(例如W，即鎢金屬)；待該氮化鈦層124形成後，該氮化鈦層124即會與導電

通孔140及141產生接觸。

[0021]如圖2E所示，該氮化鈦層124上形成有一金屬層125(隨選性包括一或多個中間層體，為求便利而未示於圖中)。於特定示範實施例中，該金屬層125係為鋁銅合金材質，且通常具有約2-4 μm 之厚度。於省略間隔柱基座213及215之特定替代實施例中，該金屬層125(連同所有中間層體)可直接形成於該鈍化層123上。

[0022]如圖2F所示，該金屬層125(連同所有中間層體)係經化學蝕刻而形成有間隔柱214及216以及電導管130。該等間隔柱214及216構成用以將ASIC晶圓120接合至MEMS晶圓110之接合表面，並於該ASIC晶圓120與MEMS晶圓110之間提供最小隔離作用。

[0023]圖3之邏輯流程圖描繪圖2所述示範實施例之ASIC組建程序各相關步驟。於方塊302中，在ASIC電路層上形成一鈍化層。於方塊304中，在該鈍化層上形成一氮化鈦層。於方塊306中，該氮化鈦層經選擇性蝕刻處理而形成至少一導電屏蔽板及隨選之至少一電極。於方塊308中，在該氮化鈦層上形成一金屬層。於方塊310中，該金屬層經選擇性蝕刻處理而形成間隔柱及隨選之至少一電導管，所述電導管係耦接於該氮化鈦層之電極。於方塊312中，該ASIC晶圓係接著於一MEMS元件。

[0024]應知此涉及HDP-OX層、PECVD SiO₂層、PECVD SiN層、氮化鈦層及鋁銅合金層之示範ASIC組建程序係為典型ASIC組建程序，因此本發明之示範實施例可運用現有

ASIC製造機械於極少或無額外花費下實現。

[0025]於操作此具有受ASIC晶圓直接覆蓋之MEMS元件之積體元件時，通常會從該金屬接合墊151經由導電通孔141向導電屏蔽板126施予一固定或可變電勢，且通常會從金屬接合墊150經由導電通孔140、電極128及電導管130向對應MEMS元件結構施予一對應電勢。施予導電屏蔽板126之電勢可與施予對應MEMS元件結構之電勢相同，或與之不同。例如，可將該導電屏蔽板126接地，而對該MEMS元件結構施加一固定或可變電訊號。

[0026]應知導電屏蔽板126之尺寸及/或形狀可依實際需要或特定應用要求而任意變化。此外，如上所述，可運用上述程序製成多片導電屏蔽板；例如，對於多個MEMS結構中之每一者配以一對應導電屏蔽板。於具備多片導電屏蔽板之實施例中，該ASIC晶圓可配置為允許向不同導電屏蔽板施予不同電勢，例如，適應不同形狀之不同偏壓。

[0027]圖4之概要圖顯示包括兩片導電屏蔽板402及404之ASIC晶圓120，所述導電屏蔽板402及404係配置為當該ASIC晶圓結合於MEMS元件時，分別與MEMS元件結構對應佈設。

[0028]圖5之概要圖顯示多片導電屏蔽板。根據一示範實施例，其係配置為允許每一導電屏蔽板接受不同電勢。在此範例中，兩片導電屏蔽板126a及126b分別面對兩組MEMS結構111a及111b。該等導電屏蔽板係彼此電性絕緣。各導電屏蔽板126a及126b係分別與電極151a及151b經由對

應導電通孔141a及141b構成電性連接。該ASIC晶圓可配置為向兩片導電屏蔽板施加相同電勢，或可配製為向兩片導電屏蔽板施加不同電勢。

[0029]應知所述MEMS元件可為任何種類之MEMS元件，具有任何類型之可動MEMS結構。例如，MEMS元件可包括一具有一或多個可動質量塊之加速度計、一具有一或多個共振塊之陀螺儀、一具有一或多片振膜之擴音器，或具有其他類型其他種類可動MEMS結構之微電子機械系統元件。具體而言，MEMS陀螺儀通常在其空腔中包括多個感測器元件(例如2至4個感測器元件)以供二軸或三軸感應之用。可運用多片導電屏蔽板(例如2-4片或更多)獨立建立個別偏壓區域(例如於各感應器元件之上)，以利效能之提升，從而達成例如預防該ASIC晶圓罩影響感測器平衡之目的。不同於整個罩蓋均為相同電勢之實施方式，藉由將罩蓋劃分為多個彼此呈電性絕緣之區域，此等區域可用於選擇性地對感測器之不同部分或同一空腔中之多個感測器施加調整或校準訊號。例如，於多軸陀螺儀中，可對影響一軸之部分施加一種電壓，而對另一軸之部分施加一分離偏壓電壓。此等電壓而後可獨立調節陀螺儀共振頻率。另一種可行之用法為注入一可偵測感測器中非所欲動作之載波訊號，否則若載波從罩蓋均勻注入整體結構，則會受到排拒。許多覆蓋程序對於罩蓋位置及與感測器相隔距離之掌控並不如其他尺寸般精確。因此，可將罩蓋訊號搭配可調整偏壓電壓以去除錯誤訊號之控制迴路，或調整其他受從

罩蓋注入之載波訊號偏壓之控制迴路，俾便消去注入之載波。

[0030]本發明可在不脫離其真實發明範疇之前提下經由其他具體形式實施，且基於本發明教示之各種變化及修改對於熟悉此技藝人士而言應屬顯而易見之事。任何提及「發明」之處意即指稱本發明之示範實施例，且除非上下文另有指明，否則不應理解為指稱本發明之所有實施例。所述實施例僅為說明本發明之用，不應構成對於本發明之限制。

【符號說明】

100...晶圓級晶片尺寸封裝

110...MEMS晶圓

111、111a、111b...MEMS結構

120...ASIC晶圓

121...電路系統頂層

123...鈍化層

124...氮化鈦層

125...金屬層

126、126a、126b、402、404...導電屏蔽板

128、151a、151b...電極

130...電導管

131...黏著材料

140、141、141a、141b...(導電)通孔

150、151...金屬接合墊/電極

213、215...間隔柱基座

214、216...間隔柱

302~312...方塊

申請專利範圍

1. 一種用以在一特定應用積體電路(ASIC)晶圓上形成導電屏蔽板之方法，該ASIC晶圓包括一電路系統頂層，該方法係包含以下步驟：
 - 於該電路系統頂層上方形成一鈍化層；
 - 於該鈍化層上方形成一氮化鈦層；以及
 - 選擇性地蝕刻該氮化鈦層以形成至少一導電屏蔽板。
2. 如請求項1所述之方法，其中該氮化鈦層係為該ASIC晶圓之一金屬化頂層。
3. 如請求項1所述之方法，其中該電路系統頂層包含：
 - 配置為可對該至少一導電屏蔽板施予一電勢之電路系統。
4. 如請求項1所述之方法，其中該至少一導電屏蔽板包括彼此電性絕緣的複數導電屏蔽板，且其中該電路系統頂層包括一配置為可對該等電性絕緣之導電屏蔽板中之至少兩者施予不同電勢的電路系統。
5. 如請求項1所述之方法，其係進一步包含：
 - 將一微電子機械系統(MEMS)結構定位在該ASIC晶圓上，因此一導電屏蔽板係在該MEMS結構與該電路系統頂層中的電路系統之間，以屏蔽該MEMS結構與該電路系統之間的串電(cross-talk)。
6. 如請求項5所述之方法，其中該MEMS結構係在一分隔

- MEMS元件上，且其中將該MEMS結構定位在該ASIC晶圓上的步驟包含：將該MEMS結構耦合至該ASIC晶圓。
7. 如請求項1所述之方法，其係進一步包含以下至少一者：
 - 自該氮化鈦層形成複數氮化鈦間隔柱基座；
 - 在該等氮化鈦間隔柱基座上形成複數間隔柱；
 - 自該氮化鈦層形成一氮化鈦電極，用以將一電訊號自該電路系統頂層中之電路系統傳遞至一MEMS元件；
 - 在該氮化鈦電極上形成一電導管，用以將該電訊號傳遞至該MEMS元件。
 8. 一種特定應用積體電路(ASIC)晶圓，其係包含：
 - 一電路系統頂層；
 - 一位於該電路系統頂層上方之鈍化層；以及
 - 一位於該鈍化層上方之氮化鈦層，該氮化鈦層係配置為包括至少一導電屏蔽板。
 9. 如請求項8所述之ASIC晶圓，其中該氮化鈦層係為該ASIC晶圓之一金屬化頂層。
 10. 如請求項8所述之ASIC晶圓，其中該電路系統頂層包括一配置為對該至少一導電屏蔽板施予一電勢之電路系統。
 11. 如請求項8所述之ASIC晶圓，其中該至少一導電屏蔽板包括彼此電性絕緣的複數導電屏蔽板，且其中該電路系統頂層包括一配置為可對該等電性絕緣之導電屏蔽板中之至少兩者施予不同電勢的電路系統。
 12. 如請求項8所述之ASIC晶圓，其係進一步包含一定位在

該ASIC晶圓上的MEMS結構，因此一導電屏蔽板係在該MEMS結構與該電路系統頂層中的電路系統之間，以屏蔽該MEMS結構與該電路系統之間的串電。

13. 如請求項12所述之ASIC晶圓，其中該MEMS結構係在一耦合至該ASIC晶圓之分隔MEMS元件上。

14. 如請求項8所述之ASIC晶圓，其係進一步包含以下至少一者：

形成自該氮化鈦層的複數氮化鈦間隔柱基座；

形成在該等氮化鈦間隔柱基座上的複數間隔柱；

形成自該氮化鈦層的一氮化鈦電極，用以將一電訊號自該電路系統頂層中之電路系統傳遞至一MEMS元件；或

形成在該氮化鈦電極上的一電導管，用以將該電訊號傳遞至該MEMS元件。

15. 一種積體晶圓級晶片尺寸封裝元件，其係包含一與一微電子機械系統(MEMS)元件耦接之特定應用積體電路(ASIC)晶圓，其中該MEMS元件包括至少一MEMS結構，且其中該ASIC晶圓包含：

一電路系統頂層；

一位於該電路系統頂層上方之鈍化層；以及

一位於該鈍化層上之氮化鈦層，該氮化鈦層係配置為包括至少一導電屏蔽板。

16. 如請求項15所述之積體晶圓級晶片尺寸封裝元件，其中該氮化鈦層係為該ASIC晶圓之一金屬化頂層。

17. 如請求項15所述之積體晶圓級晶片尺寸封裝元件，其中該電路系統頂層包括一配置為對該至少一導電屏蔽板施予一電勢之電路系統。
18. 如請求項15所述之積體晶圓級晶片尺寸封裝元件，其中該至少一導電屏蔽板包括彼此電性絕緣的複數導電屏蔽板，且其中該電路系統頂層包括一配置為可對該等電性絕緣之導電屏蔽板中之至少兩者施予不同電勢的電路系統。
19. 如請求項15所述之積體晶圓級晶片尺寸封裝元件，其中一導電屏蔽板係定位在該MEMS元件上的一MEMS結構、與該電路系統頂層中的電路系統之間，以屏蔽該MEMS結構與該電路系統之間的串電。
20. 如請求項15所述之積體晶圓級晶片尺寸封裝元件，其進一步包含以下至少一者：
 - 形成自該氮化鈦層的複數氮化鈦間隔柱基座；
 - 形成在該等氮化鈦間隔柱基座上的複數間隔柱；
 - 形成自該氮化鈦層的一氮化鈦電極，用以將一電訊號自該電路系統頂層中之電路系統傳遞至一MEMS元件；或
 - 位於該氮化鈦電極上的一電導管，用以將該電訊號傳遞至該MEMS元件。

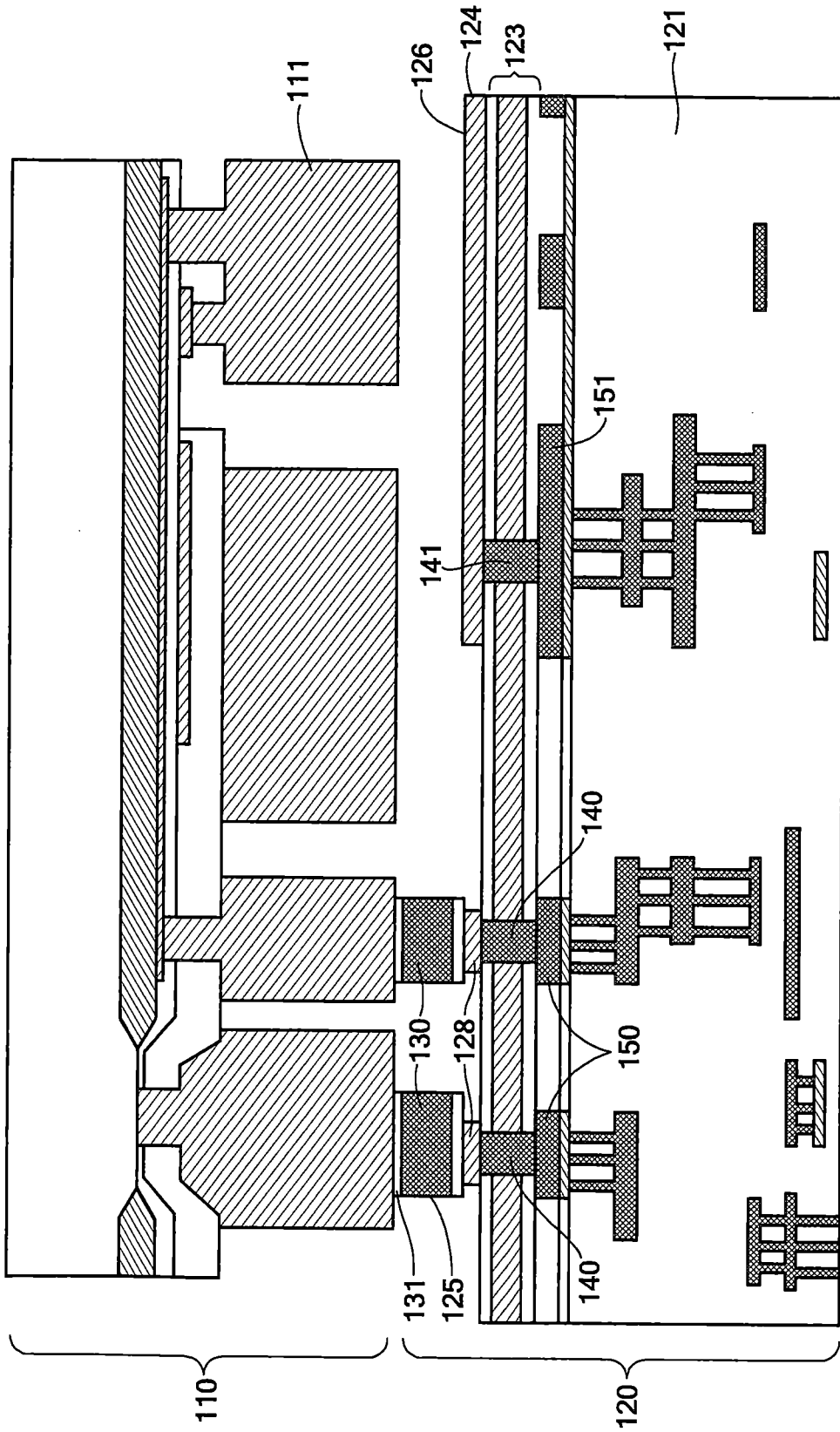


圖 1

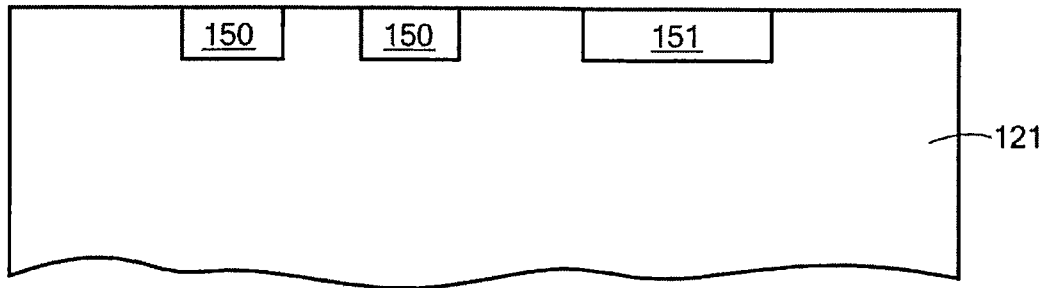


圖2A

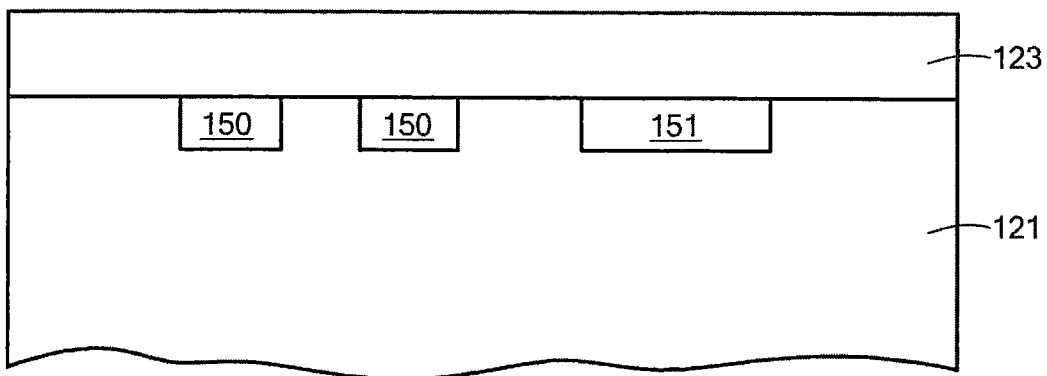


圖2B

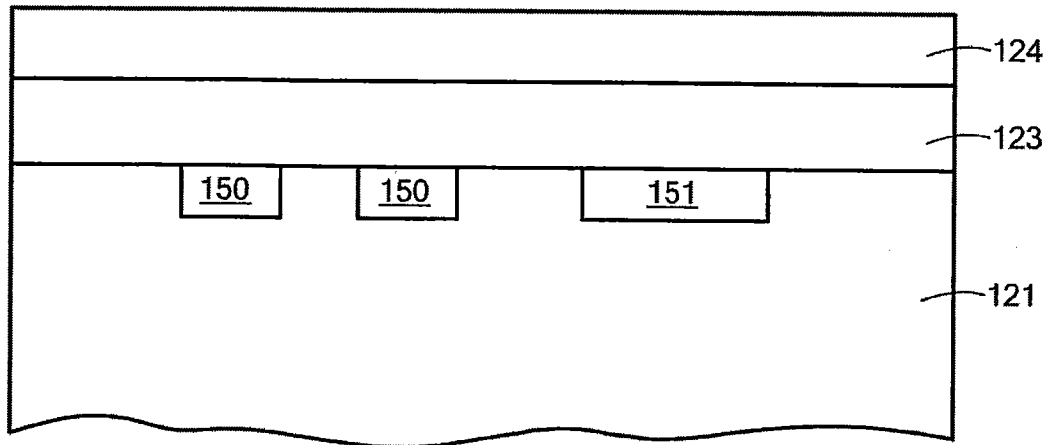


圖2C

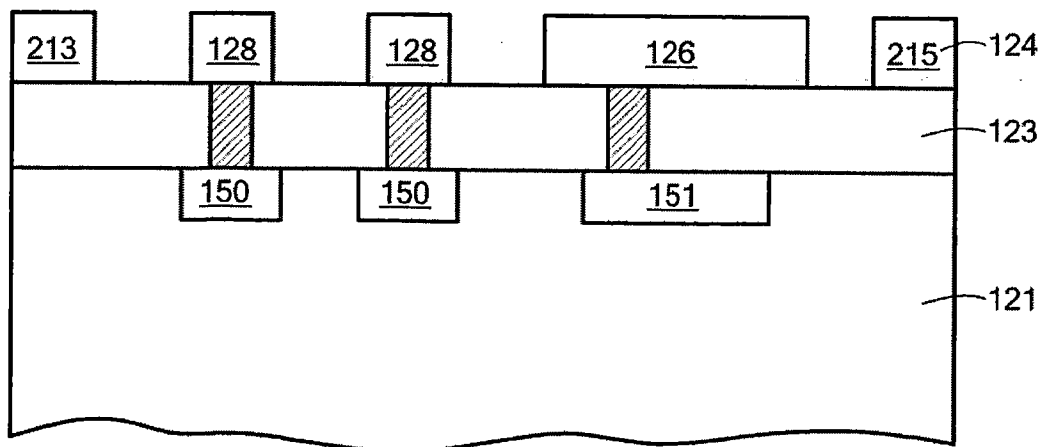


圖2D

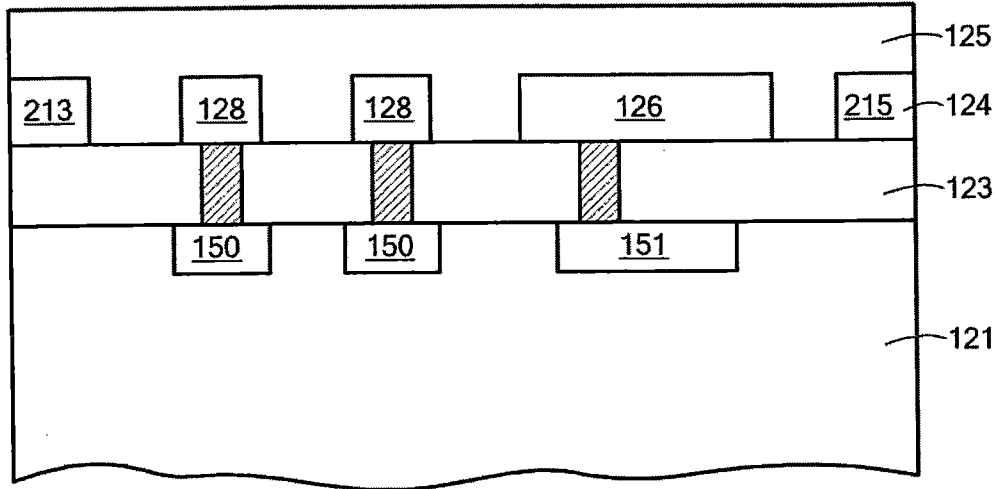


圖2E

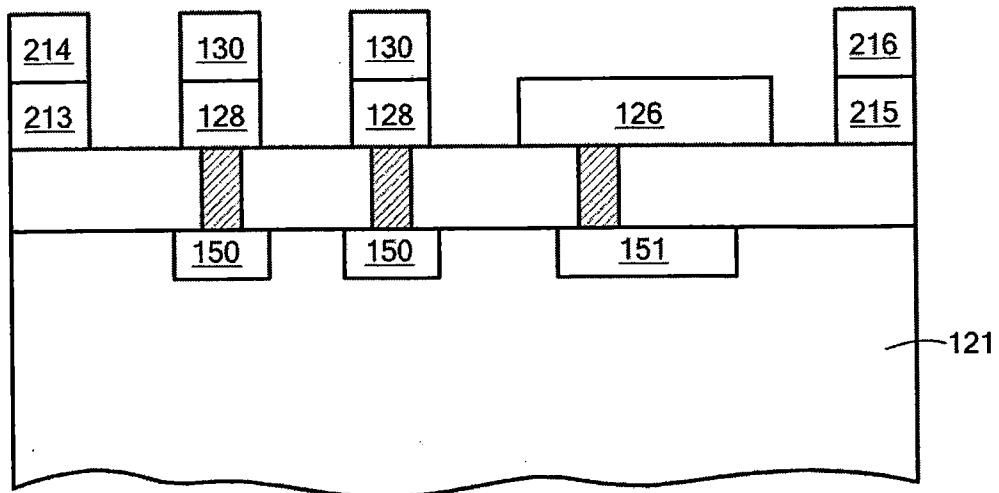


圖2F

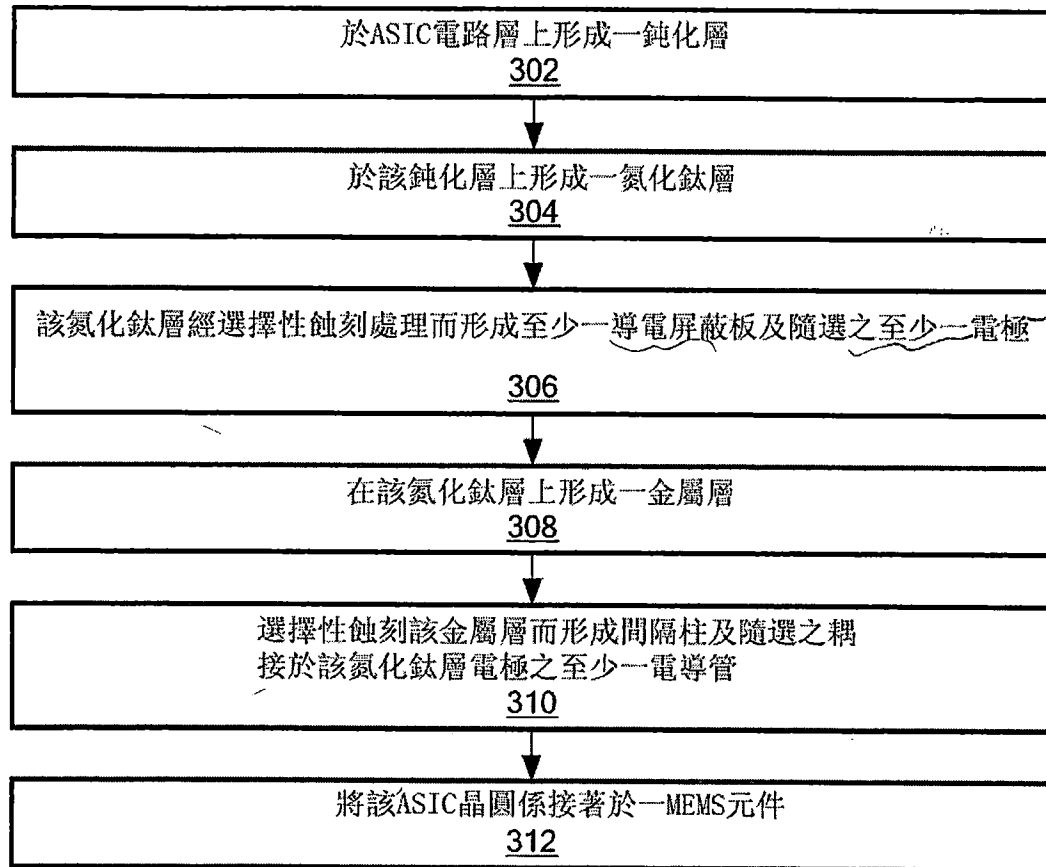


圖3

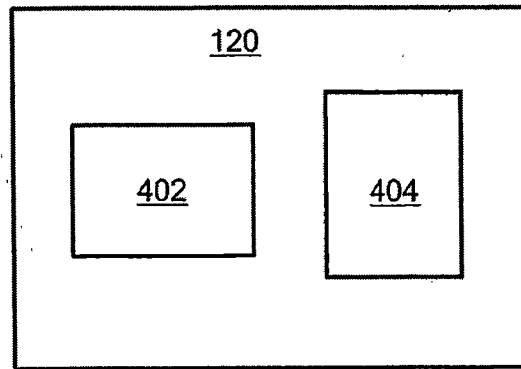


圖4

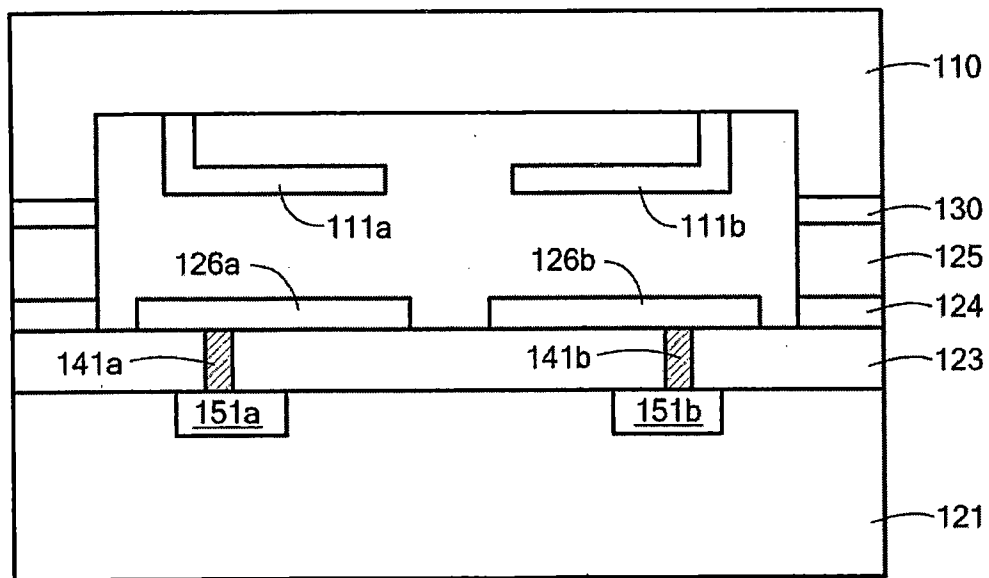


圖5