

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4474821号
(P4474821)

(45) 発行日 平成22年6月9日(2010.6.9)

(24) 登録日 平成22年3月19日(2010.3.19)

(51) Int.Cl.	F I
G09G 3/36 (2006.01)	G09G 3/36
G02F 1/133 (2006.01)	G02F 1/133 550
G09G 3/20 (2006.01)	G09G 3/20 612K
G11C 19/00 (2006.01)	G09G 3/20 622E
	G09G 3/20 623H
請求項の数 12 (全 21 頁) 最終頁に続く	

(21) 出願番号	特願2002-113750 (P2002-113750)	(73) 特許権者	000002369
(22) 出願日	平成14年4月16日(2002.4.16)		セイコーエプソン株式会社
(65) 公開番号	特開2003-308049 (P2003-308049A)		東京都新宿区西新宿2丁目4番1号
(43) 公開日	平成15年10月31日(2003.10.31)	(74) 代理人	100095728
審査請求日	平成17年2月10日(2005.2.10)		弁理士 上柳 雅誉
		(74) 代理人	100107261
			弁理士 須澤 修
		(72) 発明者	藤田 伸
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		(72) 発明者	藤川 紳介
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		審査官	中村 直行
			最終頁に続く

(54) 【発明の名称】 シフトレジスタ、データ線駆動回路および走査線駆動回路

(57) 【特許請求の範囲】

【請求項1】

複数の走査線と、複数のデータ線と、前記走査線と前記データ線との交差に対応してマトリックス状に配置された画素電極およびスイッチング素子とを有する電気光学パネルを駆動する駆動回路に用いられ、開始パルスを順次シフトすることによって、前記データ線または前記走査線を選択するための選択信号を順次生成するシフトレジスタであって、

クロック信号とこれを反転した反転クロック信号に同期して前記開始パルスを順次シフトして出力信号を出力するとともに転送方向を指示する転送方向信号に基づいて前記開始パルスの転送方向を制御可能な複数のシフト単位回路を縦続接続したシフト手段と、

前記各シフト単位回路に各々対応して設けられ、前記クロック信号および前記反転クロック信号に基づいて第1制御信号および第2制御信号を生成する複数の制御単位回路を有するクロック信号制御手段と、を備え、

前記転送方向信号は、転送方向制御信号と前記転送方向制御信号を反転した反転転送方向制御信号とを含み、

前記シフト単位回路は、前段のシフト単位回路と一方の端子が接続され、中間接続点と他方の端子が接続される第1論理回路と、前記中間接続点と一方の端子が接続され、後段のシフト単位回路と他方の端子が接続される第2論理回路とを備え、前記転送方向信号が前段から後段に向けて前記開始パルスを転送することを指示する場合、前記第1論理回路は前記第1制御信号によって制御されるサンプリング回路として機能するとともに前記第2論理回路は保持回路として機能し、前記転送方向信号が後段から前段に向けて前記開始

10

20

パルスを送信することを指示する場合、前記第 1 論理回路は保持回路として機能するとともに前記第 2 論理回路は前記第 2 制御信号によって制御されるサンプリング回路として機能し、

前記制御単位回路は、当該制御単位回路と対応するシフト単位回路に対して、前段のシフト単位回路の前記中間接続点における信号電圧と後段のシフト単位回路の前記中間接続点における信号電圧とのうち、いずれか一方がアクティブになる選択期間に、前記クロック信号および前記反転クロック信号を前記第 1 制御信号または前記第 2 制御信号として出力し、

前記制御単位回路は、当該制御単位回路と対応するシフト単位回路に対して、前段のシフト単位回路の前記中間接続点における信号電圧と後段のシフト単位回路の前記中間接続点における信号電圧とがともに非アクティブになる選択期間に、前記転送方向制御信号および前記反転転送方向制御信号を前記第 1 制御信号または前記第 2 制御信号として出力する、

10

ことを特徴とするシフトレジスタ。

【請求項 2】

前記シフト単位回路は、中間接続点を介して相互に接続され、制御入力端子に供給される信号がアクティブのときインバータとして動作する一方、当該信号が非アクティブのとき出力端子をハイインピーダンス状態とする第 1 乃至第 4 インバータを備え、

前記第 1 インバータは、入力端子が前段のシフト単位回路と接続され、出力端子が中間接続点と接続され、前記制御単位回路から前記第 1 制御信号が制御入力端子に供給され、

20

前記第 2 インバータは、入力端子が後段のシフト単位回路と接続され、出力端子が前記中間接続点と接続され、前記制御単位回路から前記第 2 制御信号が制御入力端子に供給され、

前記第 3 インバータは、入力端子が前記中間接続点と接続され、出力端子が前記第 1 インバータの入力端子と接続され、前記反転転送方向制御信号が制御入力端子に供給され、

前記第 4 インバータは、入力端子が前記中間接続点と接続され、出力端子が前記第 2 インバータの入力端子に接続され、前記転送方向制御信号が制御入力端子に供給され、

前記第 1 論理回路は、前記第 1 インバータおよび前記第 3 インバータを備え、

前記第 2 論理回路は、前記第 2 インバータおよび前記第 4 インバータを備える

ことを特徴とする請求項 1 に記載のシフトレジスタ。

30

【請求項 3】

前記クロック信号制御手段を構成する複数の単位制御回路のうち、奇数段の単位制御回路は、前記選択期間に、前記クロック信号を前記第 1 制御信号として出力するとともに前記反転クロック信号を前記第 2 制御信号として出力し、偶数段の単位制御回路は、前記選択期間に、前記反転クロック信号を前記第 1 制御信号として出力するとともに前記クロック信号を前記第 2 制御信号として出力することを特徴とする請求項 1 または 2 に記載のシフトレジスタ。

【請求項 4】

前記シフト手段に含まれる前記シフト単位回路の数および前記クロック信号制御手段に含まれる前記単位制御回路の数は偶数個であることを特徴とする請求項 1 乃至 3 のうちいずれか 1 項に記載のシフトレジスタ。

40

【請求項 5】

前記制御単位回路は、当該制御単位回路と対応するシフト単位回路に対して、前段のシフト単位回路の前記中間接続点における信号電圧と後段のシフト単位回路の前記中間接続点における信号電圧とに基づいて、各信号電圧のうちいずれか一方がアクティブになる期間にアクティブとなる出力信号を出力する論理回路と、

前記論理回路の出力信号に基づいて、前記クロック信号または前記反転クロック信号を、前記第 1 インバータに供給する第 1 トランスファークロップおよび前記第 2 インバータに供給する第 2 トランスファークロップと、

前記論理回路の出力信号に基づいて、当該出力信号が非アクティブの期間に前記第 1 イ

50

ンバータの制御入力端子に前記反転転送方向制御信号を供給する第3トランスファークロウと、

前記論理回路の出力信号に基づいて、当該出力信号が非アクティブの期間に前記第2インバータの制御入力端子に転送方向制御信号を供給する第4トランスファークロウとを備えることを特徴とする請求項2乃至4のうちいずれか1項に記載のシフトレジスタ。

【請求項6】

前記開始パルスはハイレベルでアクティブとなり、前記論理回路はナンド回路で構成される請求項5に記載のシフトレジスタ。

【請求項7】

前記開始パルスはローレベルでアクティブとなり、前記論理回路はノア回路で構成される請求項5に記載のシフトレジスタ。

【請求項8】

請求項1乃至7のうちいずれか1項に記載のシフトレジスタを備え、当該シフトレジスタから出力される前記選択信号に基づいて、入力画像信号をサンプリングし、サンプリング結果に基づいて各データ線を駆動するデータ線駆動回路。

【請求項9】

請求項1乃至7のうちいずれか1項に記載のシフトレジスタを備え、当該シフトレジスタから出力される前記選択信号に基づいて、前記各走査線を駆動する走査線駆動回路。

【請求項10】

複数の走査線と、複数のデータ線と、前記走査線と前記データ線との交差に対応してマトリクス状に配置された画素電極及びスイッチング素子とを有する画素領域と、請求項8に記載したデータ線駆動回路と、前記走査線を駆動するための走査線駆動回路とを備えたことを特徴とする電気光学パネル。

【請求項11】

複数の走査線と、複数のデータ線と、前記走査線と前記データ線との交差に対応してマトリクス状に配置された画素電極及びスイッチング素子とを有する画素領域と、前記データ線を駆動するためのデータ線駆動回路と、請求項9に記載の走査線駆動回路とを備えたことを特徴とする電気光学パネル。

【請求項12】

請求項10または11に記載した電気光学パネルを備えたことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、複数の走査線及び複数のデータ線と、それらの交差に対応してマトリクス状に配置された画素電極及びスイッチング素子とを有する電気光学パネルを駆動するために用いられるシフトレジスタ、これを用いたデータ線駆動回路および走査線駆動回路に関する。

【0002】

【従来の技術】

従来の電気光学装置、例えば、液晶装置の駆動回路は、画像表示領域に配線されたデータ線や走査線などに、データ線信号や走査信号などを所定タイミングで供給するためのデータ線駆動回路や、走査線駆動回路などから構成されている。

【0003】

データ線駆動回路の基本構成は、入力される画像信号がアナログ信号かデジタル信号かによって相違する。ただし、いずれの場合であっても、データ線駆動回路は、水平走査期間の最初に供給される転送信号をクロック信号に応じて順次シフトするシフトレジスタを備えている。

10

20

30

40

50

【0004】

このシフトレジスタとして、特開平10-199284号公報には図13に示す回路が開示されている。このシフトレジスタは、基本ユニットが多段接続され、各基本ユニットはクロック信号HCKとこれを反転した反転クロック信号HCKXによって駆動される。ここで、第n段目の基本ユニットUnは、インバータINV1, INV2, INV3、ノア回路NOR、および制御電圧がローレベルでオン状態となりハイレベルでオフ状態となるスイッチSWa, SWbから構成されている。インバータINV1, INV2は、制御電圧がハイレベルのときに各入力信号を反転して出力し、制御電圧がローレベルのときに出力端子をハイインピーダンス状態にする。

【0005】

このような回路において、インバータINV1, INV2は常に動作する必要はなく、信号Dnがアクティブとなっている期間または信号Dn+1がアクティブとなっている期間のみ動作すれば足りる。このため、ノア回路NORは、信号Dnと信号Dn+1の反転論理和を算出し、算出結果に基づいてスイッチSWa, SWbを制御している。この結果、クロック信号HCKおよび反転クロック信号HCKXは、所定期間においてのみインバータINV1, INV2に供給される。

【0006】

したがって、シフトレジスタを構成する各基本ユニットにクロック信号HCKおよび反転クロック信号HCKXを供給する期間を制限することができる。この結果、シフトレジスタの消費電力を低減させることが可能となる。

【0007】

【発明が解決しようとする課題】

図14は従来のシフトレジスタのタイミングチャートである。このシフトレジスタにおいて、信号Dnがローレベルからハイレベルに立ち上がると、信号DnはインバータINV1とインバータINV3とを経由して伝送され、信号Dn+1として出力される。すなわち、信号Dn+1の立ち上がりエッジE1は、インバータINV1による遅延と、インバータINV3を構成するトランジスタの応答特性の影響をうける。このため、同図に示すように立ち上がりエッジE1は、本来の立ち上がり時刻t1よりも遅れ、しかも立上時間が長くなる。

【0008】

一方、信号Dn+1の立ち下がりエッジE2は、インバータINV1による遅延と、インバータINV2を構成するトランジスタの応答特性の影響をうける。このため、同図に示すように立ち上がりエッジE1は、本来の立ち上がり時刻t1よりも遅れ、しかも立下時間が長くなる。信号Dn+2についても同様に立ち上がりエッジと立下下がりエッジが遅延するとともに、それらの傾斜が緩やかになる。

【0009】

基本ユニットUn+1のノア回路NORの出力信号は、信号Dn+1と信号Dn+2に基づいて生成されるから、その信号波形は、同図に示すようにクロック信号HCKおよび反転クロック信号HCKXのエッジから遅れてしまう。このため、インバータINV1およびINV2に供給されるクロック信号CKAおよび反転クロック信号CKBは、ノア回路NORによってゲートされ、図示するように一部が欠落してまう。

【0010】

すなわち、従来のシフトレジスタでは、データ転送方向が、単方向あるいは単一方向にしか対応しておらず、また、動作マージンが低下し、誤動作し易いといった問題があった。

【0011】

本発明は、上述した事情に鑑みてなされたものであり、その目的は、シフトレジスタの動作マージンを増やし、これを安定して動作させる点にある。

【0012】

【課題を解決するための手段】

上記目的を達成するために、本発明に係るシフトレジスタは、複数の走査線と、複数の

10

20

30

40

50

データ線と、前記走査線と前記データ線との交差に対応してマトリックス状に配置された画素電極およびスイッチング素子とを有する電気光学パネルを駆動する駆動回路に用いられ、開始パルスを順次シフトすることによって、前記データ線または前記走査線を選択するための選択信号を順次生成するものであって、クロック信号とこれを反転した反転クロック信号に同期して前記開始パルスを順次シフトして出力信号を出力するとともに転送方向を指示する転送方向信号に基づいて前記開始パルスの転送方向を制御可能な複数のシフト単位回路を縦続接続したシフト手段と、前記各シフト単位回路に各々対応して設けられ、前記クロック信号および前記反転クロック信号に基づいて第1制御信号および第2制御信号を生成する複数の制御単位回路を有するクロック信号制御手段とを備え、前記転送方向信号は、転送方向制御信号と前記転送方向制御信号を反転した反転転送方向制御信号と 10
を含み、前記シフト単位回路は、前段のシフト単位回路と一方の端子が接続され、中間接続点と他方の端子が接続される第1論理回路と、前記中間接続点と一方の端子が接続され、後段のシフト単位回路と他方の端子が接続される第2論理回路とを備え、前記転送方向信号が前段から後段に向けて前記開始パルスを転送することを指示する場合、前記第1論理回路は前記第1制御信号によって制御されるサンプリング回路として機能するとともに前記第2論理回路は保持回路として機能し、前記転送方向信号が後段から前段に向けて前記開始パルスを転送することを指示する場合、前記第1論理回路は保持回路として機能するとともに前記第2論理回路は前記第2制御信号によって制御されるサンプリング回路として機能し、前記制御単位回路は、当該制御単位回路と対応するシフト単位回路に対して、前段のシフト単位回路の前記中間接続点における信号電圧と後段のシフト単位回路の前記中間接続点における信号電圧とのうち、いずれか一方がアクティブになる選択期間に、前記クロック信号および前記反転クロック信号を前記第1制御信号または前記第2制御信号として出力し、 20

前記制御単位回路は、当該制御単位回路と対応するシフト単位回路に対して、前段のシフト単位回路の前記中間接続点における信号電圧と後段のシフト単位回路の前記中間接続点における信号電圧とがともに非アクティブになる選択期間に、前記転送方向制御信号および前記反転転送方向制御信号を前記第1制御信号または前記第2制御信号として出力する、ことを特徴とする。

【0013】

この発明によれば、制御単位回路は、前段および後段のシフト単位回路における中間接続点の信号電圧に基づいて、クロック信号および反転クロック信号をシフト単位回路に供給するか否かを制御することになる。中間接続点の信号電圧の変化は、第1または第2論理回路がクロックインバータとして機能し、その出力信号がアクティブから非アクティブに遷移するとき、あるいは非アクティブからアクティブに遷移するとき生じ、その遷移タイミングはクロック信号と反転クロック信号に直接同期している。したがって、制御単位回路は、少ない遅延時間でクロック信号および反転クロック信号をシフト単位回路に供給することが可能となる。くわえて、クロック信号および反転クロック信号の供給に際して他のインバータの応答特性の影響を受けない。この結果、動作マージンを拡大させることができ、シフトレジスタの信頼性を高めることができる。さらに、クロック制御単位回路は、前段および後段のシフト単位回路における中間接続点の信号電圧に基づいて、クロック信号および反転クロック信号をシフト単位回路に供給するか否かを制御するから、クロック信号の周波数が高くともシフト手段をクロック信号および反転クロック信号を確実に供給できる。 30 40

【0014】

より具体的には、転送方向制御信号とこれを反転した反転転送方向制御信号とを含み、前記シフト単位回路は、中間接続点を介して相互に接続され、制御入力端子に供給される信号がアクティブのときインバータとして動作する一方、当該信号が非アクティブのとき出力端子をハイインピーダンス状態とする第1乃至第4インバータを備え、前記第1インバータは、入力端子が前段のシフト単位回路と接続され、出力端子が中間接続点と接続され、前記制御単位回路から前記第1制御信号が制御入力端子に供給され、前記第2インバー 50

タは、入力端子が後段のシフト単位回路と接続され、出力端子が前記中間接続点と接続され、前記制御単位回路から前記第2制御信号が制御入力端子に供給され、前記第3インバータは、入力端子が前記中間接続点と接続され、出力端子が前記第1インバータの入力端子と接続され、前記反転転送方向制御信号が制御入力端子に供給され、前記第4インバータは、入力端子が前記中間接続点と接続され、出力端子が前記第2インバータの入力端子に接続され、前記転送方向制御信号が制御入力端子に供給され、前記第1論理回路は、前記第1インバータおよび前記第3インバータを備え、前記第2論理回路は、前記第2インバータおよび前記第4インバータを備えることが好ましい。

【0015】

また、前記クロック信号制御手段を構成する複数の単位制御回路のうち、奇数段の単位制御回路は、前記選択期間に、前記クロック信号を前記第1制御信号として出力するとともに前記反転クロック信号を前記第2制御信号として出力し、偶数段の単位制御回路は、前記選択期間に、前記反転クロック信号を前記第1制御信号として出力するとともに前記クロック信号を前記第2制御信号として出力することが好ましい。これにより、開始パルスが順次転送されることになる。

10

【0016】

また、前記シフト手段に含まれる前記シフト単位回路の数および前記クロック信号制御手段に含まれる前記単位制御回路の数は偶数個であることが好ましい。これにより、シフト手段およびクロック信号制御手段を、初段側から見ても終段側から見ても対称に構成することができ、双方向に開始パルスを転送することが可能となる。

20

【0017】

また、前記制御単位回路は、当該制御単位回路と対応するシフト単位回路に対して、前段のシフト単位回路の前記中間接続点における信号電圧と後段のシフト単位回路の前記中間接続点における信号電圧とに基づいて、各信号電圧のうちいずれか一方がアクティブになる期間にアクティブとなる出力信号を出力する論理回路と、前記論理回路の出力信号に基づいて、前記クロック信号または前記反転クロック信号を、前記第1インバータに供給する第1トランスファークロップおよび前記第2インバータに供給する第2トランスファークロップと、前記論理回路の出力信号に基づいて、当該出力信号が非アクティブの期間に前記第1インバータの制御入力端子に前記反転転送方向制御信号を供給する第3トランスファークロップと、前記論理回路の出力信号に基づいて、当該出力信号が非アクティブの期間に前記第2インバータの制御入力端子に転送方向制御信号を供給する第4トランスファークロップとを備えることが好ましい。

30

【0018】

さらに、前記開始パルスがハイレベルでアクティブとなるならば、前記論理回路はナンド回路で構成することが好ましく、一方、前記開始パルスがローレベルでアクティブとなるならば、前記論理回路はノア回路で構成することが好ましい。

【0019】

次に、本発明に係るデータ線駆動回路は、上述したシフトレジスタを備え、当該シフトレジスタから出力される前記選択信号に基づいて、入力画像信号をサンプリングし、サンプリング結果に基づいて各データ線を駆動するものである。これにより、データ線の選択動作にマージンを持たせることができ、高い信頼性の下にデータ線を駆動することが可能となる。

40

【0020】

次に、本発明に係る走査線駆動回路は、上述したシフトレジスタを備え、当該シフトレジスタから出力される前記選択信号に基づいて、前記各走査線を駆動するものである。これにより、データ線の選択動作にマージンを持たせることができ、高い信頼性の下にデータ線を駆動することが可能となる。

【0021】

次に、本発明に係る電気光学パネルにあっては、複数の走査線と、複数のデータ線と、前記走査線と前記データ線との交差に対応してマトリクス状に配置された画素電極及びス

50

スイッチング素子とを有する画素領域と、上述したデータ線駆動回路と前記走査線を駆動するための走査線駆動回路とを備えることを特徴とする。また、本発明に係る電気光学パネルにあっては、複数の走査線と、複数のデータ線と、前記走査線と前記データ線との交差に対応してマトリクス状に配置された画素電極及びスイッチング素子とを有する画素領域と、前記データ線を駆動するためのデータ線駆動回路と、上述した走査線駆動回路とを備えたことを特徴とする。これらの電気光学パネルによれば、高い信頼性の下に画像を表示させることができる。また、これらの構成によれば、電気光学パネル上に駆動回路が作り込まれるものとなる。この場合、画素領域に構成されるスイッチング素子は薄膜トランジスタであり、駆動回路も薄膜トランジスタで構成することが望ましい。

【0022】

10

次に、本発明の電子機器は、上述した電気光学パネルを備えることを特徴とするものであり、例えば、ビデオカメラに用いられるビューファインダ、携帯電話機、ノート型コンピュータ、ビデオプロジェクタ等が該当する。

【0023】

【発明の実施の形態】

以下、本発明の実施形態について図面を参照して説明する。

【0024】

< 1 : 液晶装置の全体構成 >

【0025】

まず、本発明に係る電気光学装置として、電気光学材料として液晶を用いた液晶装置を一例にとって説明する。液晶装置は、主要部として液晶パネルAAを備える。液晶パネルAAは、スイッチング素子として薄膜トランジスタ(Thin Film Transistor: 以下、「TFT」と称する)を形成した素子基板と対向基板とを互いに電極形成面を対向させて、かつ、一定の間隙を保って貼付し、この間隙に液晶が挟持されている。

20

【0026】

図1は実施形態に係る液晶装置の全体構成を示すブロック図である。この液晶装置は、液晶パネルAA、タイミング発生回路300および画像処理回路400を備える。液晶パネルAAは、その素子基板上に画像表示領域A、走査線駆動回路100、データ線駆動回路200、サンプリング回路240および画像信号供給線L1~L3を備える。

【0027】

30

この液晶装置に供給される入力画像データDは、例えば、3ビットパラレルの形式である。タイミング発生回路300は、入力画像データDに同期してYクロック信号YCK、反転Yクロック信号YCKB、Xクロック信号XCK、反転Xクロック信号XCKB、Y転送開始パルスDY、X転送開始パルスDX、転送方向制御信号DIRおよび反転転送方向制御信号DIRBを生成して、走査線駆動回路100およびデータ線駆動回路200に供給する。また、タイミング発生回路300は、画像処理回路400を制御する各種のタイミング信号を生成し、これを出力する。

【0028】

ここで、Yクロック信号YCKは、走査線2を選択する期間を特定し、反転Yクロック信号YCKBはYクロック信号YCKの論理レベルを反転したものである。Xクロック信号XCKは、データ線3を選択する期間を特定し、反転Xクロック信号XCKBはXクロック信号XCKの論理レベルを反転したものである。また、Y転送開始パルスDYは走査線2の選択開始を指示するパルスであり、一方、X転送開始パルスDXはデータ線3の選択開始を指示するパルスである。さらに、転送方向制御信号DIRは、走査線2およびデータ線3の選択順序を指示する信号である。その論理レベルが高レベルのとき、転送方向制御信号DIRは、各走査線2を上から下に順次選択するとともに各データ線3を左から右に選択することを指示する。一方、その論理レベルがローレベルのとき、転送方向制御信号DIRは、各走査線2を下から上に順次選択するとともに各データ線3を右から左に選択することを指示する。

40

【0029】

50

この例では、走査線駆動回路100およびデータ線駆動回路200に対して、共通の転送方向制御信号DIRおよび反転転送方向制御信号DIRBを供給しているが、タイミング発生回路300において、走査線の選択用の信号とデータ線の選択用の信号とを個別に生成して、これらを走査線駆動回路100およびデータ線駆動回路200に供給してもよいことは勿論である。

【0030】

画像処理回路400は、入力画像データDに、液晶パネルの光透過特性を考慮したガンマ補正等を施した後、RGB各色の画像データをD/A変換して、画像信号40R、40G、40Bを生成して液晶パネルAAに供給する。

【0031】

< 1 - 2 : 画像表示領域 >

【0032】

次に、画像表示領域Aには、図1に示されるように、m(mは2以上の自然数)本の走査線2が、X方向に沿って平行に配列して形成される一方、n(nは2以上の自然数)本のデータ線3が、Y方向に沿って平行に配列して形成されている。そして、走査線2とデータ線3との交差付近においては、TFT50のゲートが走査線2に接続される一方、TFT50のソースがデータ線3に接続されるとともに、TFT50のドレインが画素電極6に接続される。そして、各画素は、画素電極6と、対向基板に形成される対向電極(後述する)と、これら両電極間に挟持された液晶とによって構成される。この結果、走査線2とデータ線3との各交差に対応して、画素はマトリクス状に配列されることとなる。

【0033】

また、TFT50のゲートが接続される各走査線2には、走査信号Y1、Y2、...、Ymが、パルス的に線順次で印加されるようになっている。このため、ある走査線2に走査信号が供給されると、当該走査線に接続されるTFT50がオンするので、データ線3から所定のタイミングで供給される画像信号X1、X2、...、Xnは、対応する画素に順番に書き込まれた後、所定の期間保持されることとなる。

【0034】

各画素に印加される電圧レベルに応じて液晶分子の配向や秩序が変化するので、光変調による階調表示が可能となる。例えば、液晶を通過する光量は、ノーマリーホワイトモードであれば、印加電圧が高くなるにつれて制限される一方、ノーマリーブラックモードであれば、印加電圧が高くなるにつれて緩和されるので、液晶装置全体では、画像信号に応じたコントラストを持つ光が各画素毎に出射される。このため、所定の表示が可能となる。

【0035】

また、保持された画像信号がリークするのを防ぐために、蓄積容量51が、画素電極6と対向電極との間に形成される液晶容量と並列に付加される。例えば、画素電極6の電圧は、ソース電圧が印加された時間よりも3桁も長い時間だけ蓄積容量51により保持されるので、保持特性が改善される結果、高コントラスト比が実現されることとなる。

【0036】

< 1 - 3 : データ線駆動回路およびサンプリング回路 >

【0037】

次に、データ線駆動回路200は、Xクロック信号XCKに同期して順次アクティブとなるサンプリング信号SR1~SRnを生成する。また、データ線駆動回路200は、転送方向制御信号DIRおよび反転転送方向制御信号DIRBによってサンプリング信号SR1~SRnをアクティブにする順番を制御することが可能である。具体的には、転送方向制御信号DIRがハイレベル且つ反転転送方向制御信号DIRBがローレベルである場合、サンプリング信号はSR1 SR2 ... SRnの順にアクティブとなり、転送方向制御信号DIRがローレベル且つ反転転送方向制御信号DIRBがハイレベルである場合、サンプリング信号はSRn SRn-1 ... SR1の順にアクティブとなる。

【0038】

サンプリング回路240は、n個のスイッチSW1~SWnを備える。各スイッチSW1

10

20

30

40

50

～ SW_n は、TFTによって構成されている。そして、ゲートに供給される各サンプリング信号 $SR_1 \sim SR_n$ が順次アクティブになると、各スイッチ $SW_1 \sim SW_n$ が順次オン状態となる。すると、画像信号供給線 $L_1 \sim L_3$ を介して供給される画像信号 $40R$ 、 $40G$ 、 $40B$ がサンプリングされ、各データ線3に順次供給される。したがって、 SR_1 、 SR_2 、…、 SR_n の順にサンプリング信号がアクティブとなれば、データ線3は左から右に順次選択される一方、 SR_n 、 SR_{n-1} 、…、 SR_1 の順にサンプリング信号がアクティブとなれば、データ線3は右から左に順次選択されることになる。なお、サンプリング回路240をデータ線駆動回路200に含めてもよいことは勿論である。

【0039】

次に、図2はデータ線駆動回路200の詳細な構成を示す回路図である。図に示すようにデータ線駆動回路200は、シフトレジスタ部210とクロック信号制御部220とを含んでいる。

10

【0040】

まず、シフトレジスタ部210は、縦続接続されたシフトレジスタ単位回路 $U_{a1} \sim U_{an+2}$ と、論理演算単位回路 $U_{b1} \sim U_{bn}$ と、インバータ Z_1 および Z_2 を含む。

【0041】

各論理演算単位回路 $U_{b1} \sim U_{bn}$ は、シフトレジスタ単位回路 $U_{a2} \sim U_{an+1}$ に対応して各々設けられており、サンプリング信号 $SR_1 \sim SR_n$ を出力する。各論理演算単位回路 $U_{b1} \sim U_{bn}$ は、ナンド回路511とインバータ512とを備える。そして、 j (j は1から n までの自然数)番目の論理演算単位回路 U_{bj} においてナンド回路511にはシフトレジスタ単位回路 U_{aj+1} の入力信号と出力信号とが供給される。

20

【0042】

各シフトレジスタ単位回路 $U_{a1} \sim U_{an+2}$ は、クロックドインバータ501～504を備える。また、シフトレジスタ部210は、シフトレジスタ単位回路 U_{a1} の前段にインバータ Z_1 とシフトレジスタ単位回路 U_{an+2} の後段にインバータ Z_2 とを備える。

【0043】

クロックドインバータ501～504は、制御端子電圧がハイレベルのときに各入力信号を反転して出力し、制御端子電圧がローレベルのときに出力端子をハイインピーダンス状態にする。クロックドインバータ501および502の各制御端子には、所定期間だけアクティブとなるクロック信号 XCK と反転 X クロック信号 $XCKB$ とが供給されるようになっている。また、クロックドインバータ503の制御端子には反転転送方向制御信号 $DIRB$ が供給される一方、クロックドインバータ504の制御端子には転送方向制御信号 DIR が供給される。

30

【0044】

転送方向制御信号 DIR がハイレベルで反転転送方向制御信号 $DIRB$ がローレベルの場合を想定すると、クロックドインバータ503はハイインピーダンス状態となる一方、クロックドインバータ504はインバータとして機能する。したがって、転送方向制御信号 DIR がハイレベルの場合には、シフトレジスタ単位回路 $U_{a1} \sim U_{an+2}$ は、図3(A)に示す回路と等価である。

【0045】

逆に、転送方向制御信号 DIR がローレベルで反転転送方向制御信号 $DIRB$ がハイレベルの場合を想定すると、クロックドインバータ504はハイインピーダンス状態となる一方、クロックドインバータ503はインバータとして機能する。したがって、転送方向制御信号 DIR がローレベルの場合には、シフトレジスタ単位回路 $U_{a1} \sim U_{an+2}$ は、図3(B)に示す回路と等価である。

40

【0046】

ここで、転送方向制御信号 DIR の論理レベルがハイレベルの場合を想定する(図3(A)を参照)。各シフトレジスタ単位回路 $U_{a1} \sim U_{an+2}$ のクロックドインバータ501には第1制御信号 Q_1 、 Q_2 、…、 Q_{n+2} が供給される一方、クロックドインバータ502には第1制御信号 Q_1' 、 Q_2' 、…、 Q_{n+2}' が供給される。第2制御信号の

50

論理レベルは、第1制御信号の論理レベルを反転したものとなっている。

【0047】

シフトレジスタ単位回路U a 1において、第1制御信号Q 1がハイレベルのときクロックドインバータ5 0 1はX転送開始パルスD Xを反転して出力する。このとき、第2制御信号Q 1'はローレベルとなるので、クロックドインバータ5 0 2の出力端子はハイインピーダンス状態となる。この場合には、X転送開始パルスD Xがクロックドインバータ5 0 1とインバータ5 0 3とを介して出力される。一方、第2制御信号Q 1'がハイレベルのときクロックドインバータ5 0 2はX転送開始パルスD Xを反転して出力する。このとき、第1制御信号Q 1はローレベルとなっているので、クロックドインバータ5 0 1の出力端子はハイインピーダンス状態となっている。この場合には、クロックドインバータ5 0 2とインバータ5 0 4とによってラッチ回路が構成されることになる。

10

【0048】

すなわち、シフトレジスタ単位回路U a 1 ~ U a n + 2は、クロックドインバータ5 0 1および5 0 3から構成される第1論理回路と、クロックドインバータ5 0 2および5 0 4から構成される第2論理回路とを備えていると考えることができる。そして、転送方向制御信号D I Rがハイレベルの場合（転送方向が左から右）、第1制御信号によって制御されるクロックドインバータ5 0 1として機能するとともに第2論理回路はラッチ回路として機能する。また、転送方向制御信号D I Rがハイレベルの場合（転送方向が右から左）、第1論理回路はラッチ回路として機能するとともに第2論理回路は第2制御信号によって制御されるクロックドインバータとして機能する。

20

【0049】

また、シフトレジスタ部2 1 0はn + 2個のシフトレジスタ単位回路によって構成されるが、総数n + 2は偶数である。これは、図3 (A) に示すようにX転送開始パルスD Xを第1番目のシフトレジスタ単位回路U a 1に供給して、右から左に転送する場合と、図3 (B) に示すようにX転送開始パルスD Xを第1番目のシフトレジスタ単位回路U a 1に供給して、右から左に転送する場合に対応するためである。なお、この例においてデータ線3は偶数本からなるが、仮に奇数本である場合には、シフトレジスタ単位回路U a 1の前段、またはシフトレジスタ単位回路U a n + 2の後段にシフトレジスタ単位回路を1個追加し、追加したシフトレジスタ単位回路に合わせて制御単位回路を追加すればよい。

【0050】

説明を図2に戻す。クロック信号制御部2 2 0は、各シフトレジスタ単位回路U a 1 , U a 2 , ... , U a n + 2に各々対応して設けられた制御単位回路U c 1 ~ U c n + 2を縦続接続して構成され。制御単位回路U c 1 ~ U c n + 2はナンド回路5 2 1、インバータ5 2 2、およびトランスファークゲート5 2 3 ~ 5 2 6を備える。

30

【0051】

ここで、第2番目の制御単位回路U c 2に着目すると、ナンド回路5 2 1の一方の入力端子には、信号P 1が供給され、他方の入力端子には信号P 3が供給される。信号P 1およびP 3は、クロックドインバータ5 0 1および5 0 2の接続点A 1およびA 3の信号電圧として与えられる。

【0052】

このように信号P 1と信号P 3とに基づいて、トランスファークゲート5 2 3 ~ 5 2 6を制御するクロック制御信号N 2を生成するようにしたのは、インバータ5 0 3または5 0 4による波形特性の劣化を防止するためである。

40

【0053】

説明を簡略化するため、転送方向制御信号D I Rがハイレベルであるものとする。図1 3に示す従来のシフトレジスタにあっては、隣接する各基本ユニット間の出力信号、すなわちインバータI N V 3（本実施形態のインバータ5 0 4に相当）の出力信号に基づいて、クロック制御信号を生成していた。このため、クロック制御信号の立ち上がりエッジと立ち下がりエッジは、インバータI N V 3の応答特性の影響を受けて、その傾斜が緩やかになってしまっていた。

50

【 0 0 5 4 】

これに対して、接続点 A 1 , A 2 , ... の電圧は、クロックインバータ 5 0 1 または 5 0 2 の出力電圧によって定まる。後述する図 4 に示すように信号 P 3 は信号 P 2 を転送したものであるから、クロック制御信号 N 2 は、信号 P 1 の立ち下がりエッジと信号 P 3 の立ち上がりエッジとに同期して論理レベルが遷移する。信号 P 1 と信号 P 3 の論理レベルは、Xクロック信号 X C K と反転 Xクロック信号 X C K B に基づいて定まるので、Xクロック信号 X C K や反転 Xクロック信号 X C K B に対するクロック制御信号 N 2 の遅延時間を短縮することができるとともに、インバータ 5 0 4 による波形劣化を防止することが可能となる。

【 0 0 5 5 】

さらに、信号 P 1 は前段のシフトレジスタ単位回路 U a 1 から出力され、信号 P 2 は後段のシフトレジスタ単位回路 U a 3 から出力される。したがって、クロック制御信号 N 2 のパルス幅を広くすることができ、余裕のある動作マージンを確保することができる。

【 0 0 5 6 】

次に、制御単位回路 U c 2 においてトランスファークゲート 5 2 4 および 5 2 5 は、反転 Xクロック信号 X C K B をクロックインバータ 5 0 1 に供給するためのものである。これらによって、ナンド回路 5 2 1 の出力信号がハイレベルの状態において、クロックインバータ 5 0 1 の制御入力端子に反転 Xクロック信号 X C K が供給される一方、当該出力信号がローレベルの状態において、トランスファークゲート 5 2 5 はハイインピーダンス状態となり、反転 Xクロック信号 X C K B の供給が停止される。

【 0 0 5 7 】

また、トランスファークゲート 5 2 3 および 5 2 6 は、Xクロック信号 X C K をクロックインバータ 5 0 2 に供給するためのものである。これらによって、ナンド回路 5 2 1 の出力信号がハイレベルの状態において、クロックインバータ 5 0 2 の制御入力端子に Xクロック信号 X C K が供給される一方、当該出力信号がローレベルの状態において、トランスファークゲート 5 2 6 はハイインピーダンス状態となるので、Xクロック信号 X C K の供給が停止される。

【 0 0 5 8 】

すなわち、ある制御単位回路 U c j は、対応するシフトレジスタ単位回路 U a j の前段のシフトレジスタ単位回路 U a j - 1 における接続点 A j - 1 の信号電圧と、の後段のシフトレジスタ単位回路 U a j + 1 における接続点 A j + 1 の信号電圧とのうちいずれか一方がアクティブになる期間（この例では、ローレベル）にのみ、Xクロック信号 X C K および反転 Xクロック信号 X C K B をシフトレジスタ単位回路 U a j に供給する。

【 0 0 5 9 】

< 1 - 5 : Xシフトレジスタの動作 >

【 0 0 6 0 】

次に、データ線駆動回路 2 0 0 の動作について図 4 を参照しつつ説明する。図 4 は、データ線駆動回路 2 0 0 の動作を示すタイミングチャートである。

【 0 0 6 1 】

まず、第 1 番目のシフトレジスタ単位回路 U a 1 および制御単位回路 U c 1 の動作について説明する。また、転送方向制御信号 D I R はハイレベルであるものとする。時刻 T 1 において、X転送開始パルス D X がローレベル（非アクティブ）からハイレベル（アクティブ）に立ち上がると、信号 P 0 がローレベルに遷移し、クロック制御信号 N 1 はハイレベルになる。トランスファークゲート 5 2 5 および 5 2 6 は、クロック制御信号 N 1 がハイレベルのときオン状態となるのから、時刻 T 1 から Xクロック信号 X C K と反転 Xクロック信号 X C K B が、第 1 番目のクロックインバータ 5 0 1 および 5 0 2 に各々供給されることになる。

【 0 0 6 2 】

時刻 T 2 に至ると、Xクロック信号 X C K がハイレベルになり、クロックインバータ 5 0 1 がアクティブとなる。このため、信号 P 1 は、時刻 T 2 においてハイレベルからロー

10

20

30

40

50

レベルに立ち下がる。

【0063】

次に、時刻 T 3 に至ると、X クロック信号 X C K がローレベルとなる一方、反転 X クロック信号 X C K B がハイレベルとなるから、クロックドインバータ 5 0 1 が非アクティブとなる一方、クロックドインバータ 5 0 2 がアクティブとなる。クロックドインバータ 5 0 2 とインバータ 5 0 4 はラッチ回路を構成しているので、信号 P 1 はローレベルのまま維持される。

【0064】

この後、時刻 T 4 において X 転送開始パルス D X がハイレベルからローレベルに立ち下ると、信号 P 0 がローレベルからハイレベルに遷移するが、このとき信号 P 1 はローレベルのままなので、クロック制御信号 N 1 はハイレベルを維持する。

10

【0065】

そして、時刻 T 5 に至ると、信号 P 2 がローレベルからハイレベルに遷移する。時刻 T 5 における信号 P 0 はハイレベルであるから、この時点でクロック制御信号 N 1 がハイレベルからローレベルに遷移する。すると、トランスファークゲート 5 2 5 および 5 2 6 は、オフ状態となる一方、トランスファークゲート 5 2 3 および 5 2 5 がオン状態になる。

【0066】

この例では、転送方向制御信号 D I R はハイレベルであるから、時刻 T 5 以降、クロックドインバータ 5 0 1 はハイインピーダンス状態になる一方、クロックドインバータ 5 0 2 はインバータとして機能する。したがって、信号 P 0 の論理レベルは、インバータ 5 0 2 および 5 0 4 からなるラッチ回路によって、ローレベルが維持されることになる。

20

【0067】

トランスファークゲート 5 2 3 および 5 2 4 を用いて、転送方向制御信号 D I R をクロックドインバータ 5 0 2 に供給する一方、反転転送方向制御信号 D I R B をクロックドインバータ 5 0 1 に供給したのは、以下の理由による。

【0068】

トランスファークゲート 5 2 3 および 5 2 4 を設けなくとも、理論的にはシフトレジスタは動作する。この場合には、ナンド回路 5 2 1 の出力信号が非アクティブになると、クロックドインバータ 5 0 1 および 5 0 2 の制御端子はハイインピーダンスとなる。したがって、それらの制御端子に、ノイズが飛び込み易くなり、誤動作する可能性がある。そこで、実際の回路では、トランスファークゲート 5 2 3 および 5 2 4 を設け、クロックドインバータ 5 0 1 および 5 0 2 の各制御端子に所定の電圧を供給したのである。

30

【0069】

次に、第 2 番目のシフトレジスタ単位回路 U a 2 にあっては、信号 P 1 と信号 P 3 とに基づいてクロック制御信号 N 2 が生成され、他のシフトレジスタ単位回路 U a 3 ~ U c n + 3 についても同様にクロック制御信号 N 3、N 4、... N n + 2 が生成される。

【0070】

本実施形態にあっては、クロック制御信号 N 1、N 2、... をクロックドインバータ 5 0 1 と 5 0 2 の接続点 A 1、A 2、... の信号電圧 P 1、P 2、... から生成したので、X クロック信号 X C K および反転 X クロック信号 X C K B のエッジが発生してからクロック制御信号のエッジが発生するまでの遅延時間を短縮することができ、かつ、その波形の立ち上がりおよび立ち下りを急峻にすることができる。

40

【0071】

さらに、クロック制御信号 N 1、N 2、... を前段のシフトレジスタ単位回路の信号と後段のシフトレジスタ単位回路の信号に基づいて生成したので、確実に X クロック信号 C K X と反転 X クロック信号 C K X B とを各シフトレジスタ単位回路 U a 1 ~ U a n + 2 に供給することが可能である。

【0072】

これらにより、データ線駆動回路 2 0 0 の動作マージンが拡大するから、温度変化や経年変化があっても X 転送開始パルス D X を確実に転送することができる。

50

【0073】

次に、液晶装置の消費電力について検討する。液晶装置の電源を投入した時点において、接続点 A 1、A 2、...の論理レベルがハイレベルになるかローレベルになるかは確率の問題である。しかし、1 水平走査期間を経過すると、接続点 A 1、A 2、...の論理レベルは定常状態になる。定常状態における X クロック信号 X C K の入力端子からクロック信号制御部 2 2 0 の内部を見た入力容量 C を検討する。ここで、クロックドインバータ 5 0 1 または 5 0 2 の制御端子から、トランスファークロップ 5 2 5 または 5 2 6 までの容量値を C a で表すものとする、X クロック信号 X C K の入力端子からクロック信号制御部 2 2 0 の内部を見た負荷容量 C は、最大 4 C a となる。例えば、液晶パネル A A が 1 2 8 0 本のデータ線を有する S X G A 形式であったとすると、クロック信号制御部 2 2 0 を用いない場合は、負荷容量 C は 1 2 8 0 C a になる。したがって、クロック信号制御部 2 2 0 を用いることによって、負荷容量を 1 / 3 2 0 に低減することができる。よって、X クロック信号 X C K および反転 X クロック信号 X C K B を供給する駆動回路（図示せず）の消費電力を大幅に削減することができる。

10

【0074】

< 1 - 6 : データ線駆動回路の他の構成例 >

【0075】

上述したデータ線駆動回路 2 0 0 は、X 転送開始パルス D X がハイレベルでアクティブとなる正論理に対応するものであった。この変形例のデータ線駆動回路 2 0 0 ' は、X 転送開始パルス D X ' がローレベルでアクティブとなる負論理に対応するものである。

20

【0076】

図 5 は、データ線駆動回路 2 0 0 ' の詳細な構成を示す回路図であり、図 6 は、そのタイミングチャートである。データ線駆動回路 2 0 0 ' は、論理演算単位回路 U b 1 ~ U b n においてナンド回路 5 1 1 をノア回路 5 1 3 に置き換えた点および制御単位回路 U c 1 ~ U c n + 2 においてナンド回路 5 1 1 をノア回路 5 1 3 に置き換えた点を除いて、上述したデータ線駆動回路 2 0 0 と同一である。

【0077】

図 6 に示すように X 転送開始パルス D X ' はローレベルでアクティブとなるため、信号 P 0 および接続点 A 1、A 2、...の信号電圧 P 1、P 2、...はハイレベルでアクティブとなる。くわえて、クロック制御信号 N 1、N 2、...はローレベルでアクティブとなる。

30

【0078】

したがって、この例においても、正論理の場合と同様に、ある制御単位回路 U c j は、前段の接続点 A j - 1 の信号電圧 P j - 1 と後段の接続点 A j + 1 の信号電圧 P j + 1 とのうちいずれか一方がアクティブになる期間（この例では、ハイレベル）にのみ、X クロック信号 X C K および反転 X クロック信号 X C K B をシフトレジスタ単位回路 U a j に供給している。

【0079】

< 1 - 7 : 走査線駆動回路 >

【0080】

次に、走査線駆動回路 1 0 0 について説明する。図 6 は、走査線駆動回路 1 0 0 の構成を示すブロック図である。この図に示すように走査線駆動回路 1 0 0 は、クロック制御回路 1 0 1、Y シフトレジスタ 1 0 2、レベルシフタ 1 0 3 およびバッファ 1 0 4 を備えている。

40

【0081】

クロック制御回路 1 0 1 は、X クロック信号 X C K および反転 X クロック信号 X C K B の代わりに Y クロック信号 Y C K および反転 Y クロック信号 Y C K B が供給される点および m 本の走査線に対応する m 個の制御単位回路を備える点を除いて、上述したデータ線駆動回路 2 0 0 のクロック信号制御部 2 2 0 と同様である。また、Y シフトレジスタ 1 0 2 は、X 転送開始パルス D X の代わりに Y 転送開始パルス D Y が供給される点および m + 2 個のシフトレジスタ単位回路および論理演算単位回路を備える点を除いて、上述したデータ

50

線駆動回路 200 のシフトレジスタ部 210 と同様である。

【0082】

したがって、走査線駆動回路 100 は、上述したデータ線駆動回路 200 と同様に動作マージンが大きいので、温度変化や経年変化があっても Y 転送開始パルス DY を確実に転送することができる。

【0083】

レベルシフタ 103 は、Y シフトレジスタ 102 の各出力信号のレベルをシフトして走査線 2 を駆動するのに適したレベルに変換している。また、バッファ 104 は、レベルシフタ 103 の各出力信号をローインピーダンスに変換し、走査線駆動信号 Y1、Y2、... Ym として各走査線 2 に出力する。

10

【0084】

なお、この走査線駆動回路 100 において、クロック制御回路 101 および Y シフトレジスタ 102 として図 5 に示す負論理で構成されたものを適用してもよいことは勿論である。

【0085】

< 1 - 8 : 液晶パネルの構成例 >

【0086】

次に、上述した電氣的構成に係る液晶パネルの全体構成について図 8 および図 9 を参照して説明する。ここで、図 8 は、液晶パネル AA の構成を示す斜視図であり、図 9 は、図 8 における Z - Z' 線断面図である。

20

【0087】

これらの図に示されるように、液晶パネル AA は、画素電極 6 等が形成されたガラスや半導体等の素子基板 151 と、共通電極 158 等が形成されたガラス等の透明な対向基板 152 とを、スペーサ 153 が混入されたシール材 154 によって一定の間隙を保持して、互いに電極形成面が対向するように貼り合わせるとともに、この間隙に電気光学材料としての液晶 155 を封入した構造となっている。なお、シール材 154 は、対向基板 152 の基板周辺に沿って形成されるが、液晶 155 を封入するために一部が開口している。このため、液晶 155 の封入後に、その開口部分が封止材 156 によって封止されている。

【0088】

ここで、素子基板 151 の対向面であって、シール材 154 の外側一辺においては、上述したデータ線駆動回路 200 が形成されて、Y 方向に延在するデータ線 3 を駆動する構成となっている。さらに、この一辺には複数の接続電極 157 が形成されて、タイミング発生回路 300 からの各種信号や画像信号 40R、40G、40B を入力する構成となっている。また、この一辺に隣接する一辺には、走査線駆動回路 100 が形成されて、X 方向に延在する走査線 2 をそれぞれ両側から駆動する構成となっている。

30

【0089】

一方、対向基板 152 の共通電極 158 は、素子基板 151 との貼合部分における 4 隅のうち、少なくとも 1 箇所において設けられた導通材によって、素子基板 151 との電氣的導通が図られている。ほかに、対向基板 152 には、液晶パネル AA の用途に応じて、例えば、第 1 に、ストライプ状や、モザイク状、トライアングル状等に配列したカラーフィルタが設けられ、第 2 に、例えば、クロムやニッケルなどの金属材料や、カーボンやチタンなどをフォトリソに分散した樹脂ブラックなどのブラックマトリクスが設けられ、第 3 に、液晶パネル AA に光を照射するバックライトが設けられる。特に色光変調の用途の場合には、カラーフィルタは形成されずにブラックマトリクスが対向基板 152 に設けられる。

40

【0090】

くわえて、素子基板 151 および対向基板 152 の対向面には、それぞれ所定方向にラビング処理された配向膜などが設けられる一方、その各背面側には配向方向に応じた偏光板（図示省略）がそれぞれ設けられる。ただし、液晶 155 として、高分子中に微小粒として分散させた高分子分散型液晶を用いれば、前述の配向膜、偏光板等が不要となる結果

50

、光利用効率が高まるので、高輝度化や低消費電力化などの点において有利である。

【0091】

なお、データ線駆動回路200、走査線駆動回路100等の周辺回路の一部または全部を、素子基板151に形成する替わりに、例えば、TAB (Tape Automated Bonding) 技術を用いてフィルムに実装された駆動用ICチップを、素子基板151の所定位置に設けられる異方性導電フィルムを介して電気的および機械的に接続する構成としても良いし、駆動用ICチップ自体を、COG (Chip On Glass) 技術を用いて、素子基板151の所定位置に異方性導電フィルムを介して電気的および機械的に接続する構成としても良い。

【0092】

< 3 . 応用例 >

【0093】

< 3 - 1 : 素子基板の構成など >

【0094】

上述した各実施形態においては、液晶パネルの素子基板151をガラス等の透明な絶縁性基板により構成して、当該基板上にシリコン薄膜を形成するとともに、当該薄膜上にソース、ドレイン、チャンネルが形成されたTFTによって、画素のスイッチング素子(TFT50)やデータ線駆動回路200、および走査線駆動回路100の素子を構成するものとして説明したが、本発明はこれに限られるものではない。

【0095】

例えば、素子基板151を半導体基板により構成して、当該半導体基板の表面にソース、ドレイン、チャンネルが形成された絶縁ゲート型電界効果トランジスタによって、画素のスイッチング素子や各種の回路の素子を構成しても良い。このように素子基板151を半導体基板により構成する場合には、透過型の表示パネルとして用いることができないため、画素電極6をアルミニウムなどで形成して、反射型として用いられることとなる。また、単に、素子基板151を透明基板として、画素電極6を反射型にしても良い。

【0096】

さらに、上述した実施の形態にあつては、画素のスイッチング素子を、TFTで代表される3端子素子として説明したが、ダイオード等の2端子素子で構成しても良い。ただし、画素のスイッチング素子として2端子素子を用いる場合には、走査線2を一方の基板に形成し、データ線3を他方の基板に形成するとともに、2端子素子を、走査線2またはデータ線3のいずれか一方と、画素電極との間に形成する必要がある。この場合、画素は、走査線2とデータ線3との間に直列接続された二端子素子と、液晶とから構成されることとなる。

【0097】

また、本発明は、アクティブマトリクス型液晶表示装置として説明したが、これに限られず、STN (Super Twisted Nematic) 液晶などを用いたパッシブ型にも適用可能である。さらに、電気光学材料としては、液晶のほかに、エレクトロルミネッセンス素子などを用いて、その電気光学効果により表示を行う表示装置にも適用可能である。すなわち、本発明は、上述した液晶装置と類似の構成を有するすべての電気光学装置に適用可能である。

【0098】

< 3 - 2 : 電子機器 >

【0099】

次に、上述した液晶装置を各種の電子機器に適用される場合について説明する。

【0100】

< 3 - 2 - 1 : プロジェクタ >

【0101】

まず、この液晶装置をライトバルブとして用いたプロジェクタについて説明する。図10は、プロジェクタの構成例を示す平面図である。

【0102】

10

20

30

40

50

この図に示されるように、プロジェクタ 1100 内部には、ハロゲンランプ等の白色光源からなるランプユニット 1102 が設けられている。このランプユニット 1102 から射出された投射光は、ライトガイド 1104 内に配置された 4 枚のミラー 1106 および 2 枚のダイクロイックミラー 1108 によって R G B の 3 原色に分離され、各原色に対応するライトバルブとしての液晶パネル 1110 R、1110 B および 1110 G に入射される。

【0103】

液晶パネル 1110 R、1110 B および 1110 G の構成は、上述した液晶パネル A A と同等であり、画像信号処理回路（図示省略）から供給される R、G、B の原色信号でそれぞれ駆動されるものである。そして、これらの液晶パネルによって変調された光は、ダイクロイックプリズム 1112 に 3 方向から入射される。このダイクロイックプリズム 1112 においては、R および B の光が 90 度に屈折する一方、G の光が直進する。したがって、各色の画像が合成される結果、投射レンズ 1114 を介して、スクリーン等にカラー画像が投写されることとなる。

10

【0104】

ここで、各液晶パネル 1110 R、1110 B および 1110 G による表示像について着目すると、液晶パネル 1110 G による表示像は、液晶パネル 1110 R、1110 B による表示像に対して左右反転することが必要となる。

【0105】

なお、液晶パネル 1110 R、1110 B および 1110 G には、ダイクロイックミラー 1108 によって、R、G、B の各原色に対応する光が入射するので、カラーフィルタを設ける必要はない。

20

【0106】

< 3 - 2 - 2 : モバイル型コンピュータ >

【0107】

次に、この液晶パネルを、モバイル型のパーソナルコンピュータに適用した例について説明する。図 11 は、このパーソナルコンピュータの構成を示す斜視図である。図において、コンピュータ 1200 は、キーボード 1202 を備えた本体部 1204 と、液晶表示ユニット 1206 とから構成されている。この液晶表示ユニット 1206 は、先に述べた液晶パネル 1005 の背面にバックライトを付加することにより構成されている。

30

【0108】

< 3 - 2 - 3 : 携帯電話 >

【0109】

さらに、この液晶パネルを、携帯電話に適用した例について説明する。図 12 は、この携帯電話の構成を示す斜視図である。図において、携帯電話 1300 は、複数の操作ボタン 1302 とともに、反射型の液晶パネル 1005 を備えるものである。この反射型の液晶パネル 1005 には、必要に応じてその前面にフロントライトが設けられる。

【0110】

なお、図 10 ~ 図 12 を参照して説明した電子機器の他にも、液晶テレビや、ビューファインダ型、モニタ直視型のビデオテープレコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS 端末、タッチパネルを備えた装置等などが挙げられる。そして、これらの各種電子機器に適用可能なのは言うまでもない。

40

【0111】

【発明の効果】

以上説明したように本発明よれば、シフトレジスタの転送方向を双方向に切り替えることができ、また、動作マージンを拡大して安定して動作させることができる。くわえて、クロック信号を駆動する回路の消費電力を低減させることができる。

【図面の簡単な説明】

【図 1】 本発明に係る液晶装置 A A の全体構成を示すブロック図である。

50

【図 2】 同装置のデータ線駆動回路 200 の詳細な構成を示す回路図である。

【図 3】 (A) は転送方向制御信号 DIR がハイレベルの場合におけるシフトレジスタ単位回路 $U_{a1} \sim U_{an+2}$ の等価回路図であり、(B) は転送方向制御信号 DIR がローレベルの場合におけるシフトレジスタ単位回路 $U_{a1} \sim U_{an+2}$ の等価回路図である。

【図 4】 データ線駆動回路 200 のタイミングチャートである。

【図 5】 負論理に対応するデータ線駆動回路 200' の回路図である。

【図 6】 データ線駆動回路 200' のタイミングチャートである。

【図 7】 走査線駆動回路 100 の構成を示すブロック図である。

【図 8】 同液晶パネルの構造を説明するための斜視図である。

10

【図 9】 同液晶パネルの構造を説明するための一部断面図である。

【図 10】 同液晶装置を適用した電子機器の一例たるビデオプロジェクタの断面図である。

【図 11】 同液晶装置を適用した電子機器の一例たるパーソナルコンピュータの構成を示す斜視図である。

【図 12】 同液晶装置を適用した電子機器の一例たる携帯電話の構成を示す斜視図である。

【図 13】 従来のシフトレジスタの構成を示す回路図である。

【図 14】 図 20 に示すシフトレジスタの動作を示すタイミングチャートである。

【符号の説明】

20

2 走査線

3 データ線

6 画素電極

50 TFT (スイッチング素子)

$SR_1 \sim SR_n$ サンプルパルス

100 走査線駆動回路

200 データ線駆動回路

210 シフトレジスタ部 (シフト手段)

220 クロック制御部 (クロック信号供給手段)

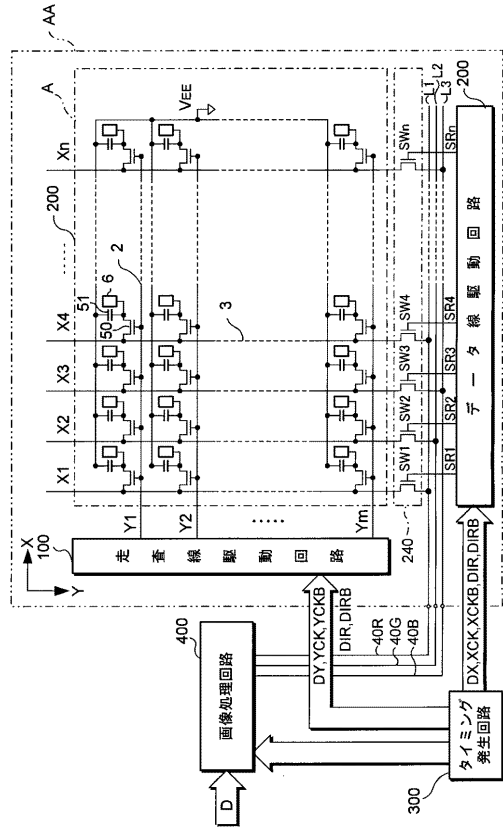
300 タイミング発生回路

30

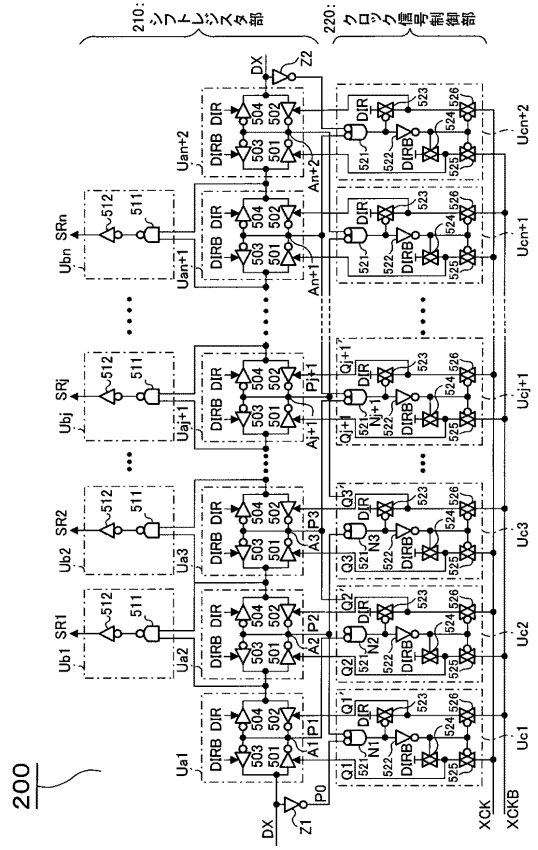
$U_{a1} \sim U_{an+2}$ シフトレジスタ単位回路 (シフト単位回路)

$U_{c1} \sim U_{cn+2}$ 制御単位回路

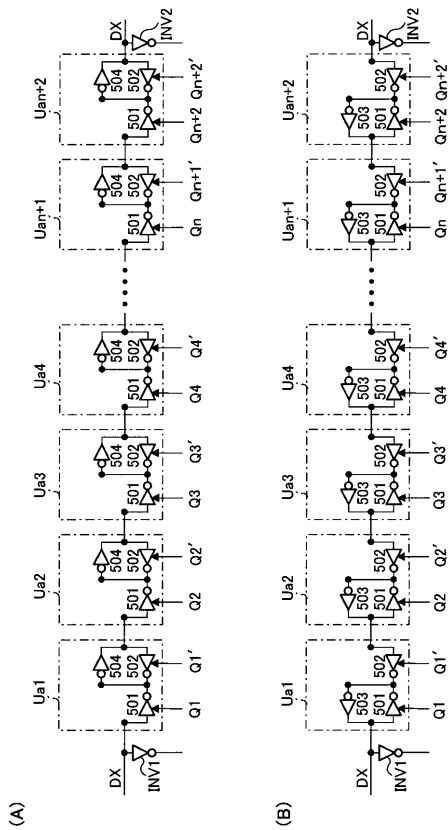
【図 1】



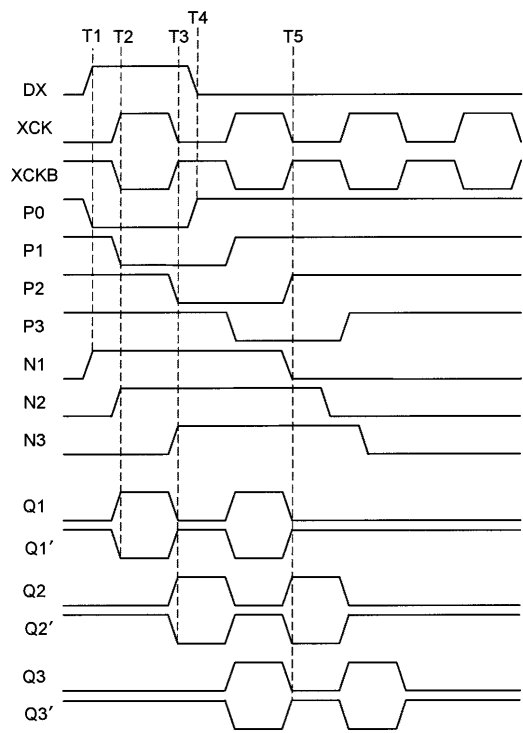
【図 2】



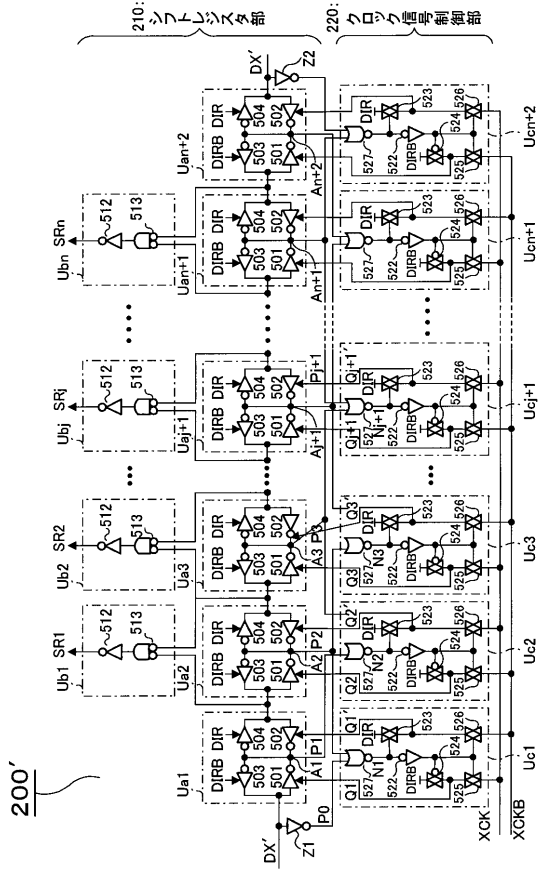
【図 3】



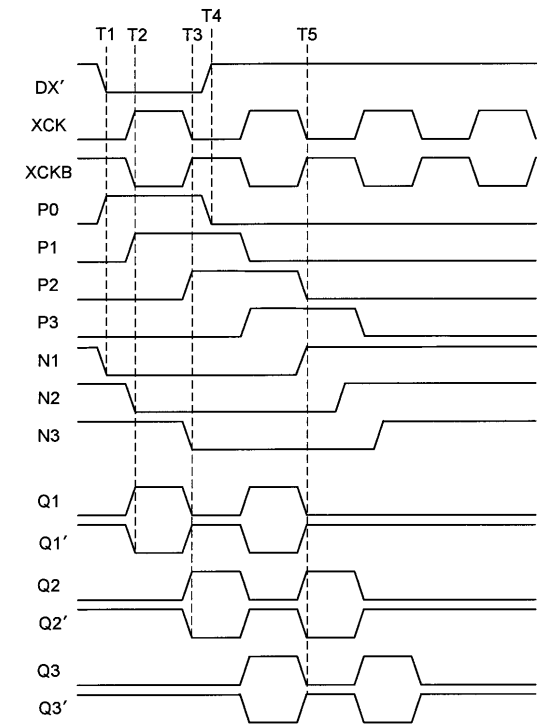
【図 4】



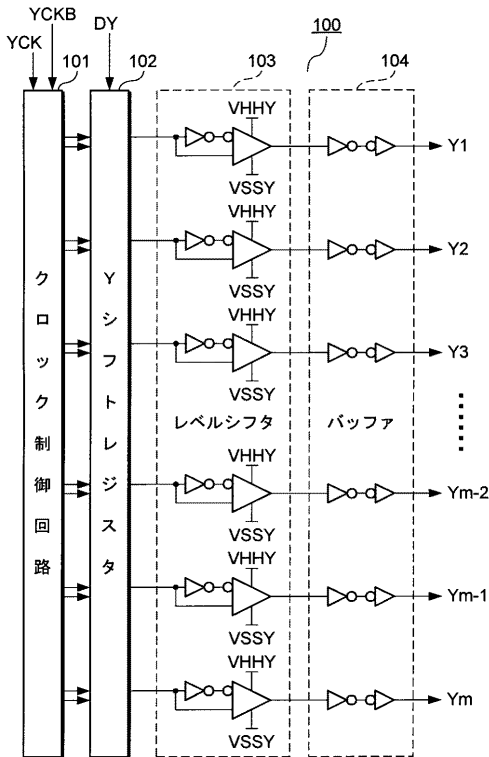
【図5】



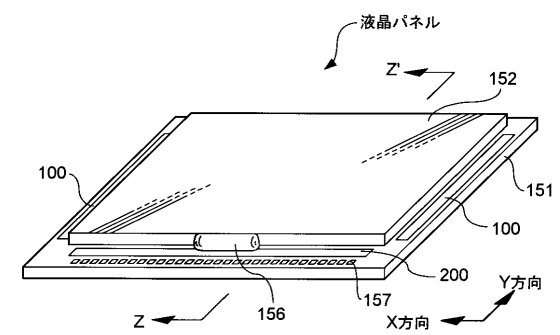
【図6】



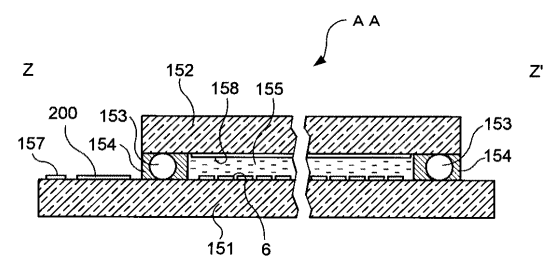
【図7】



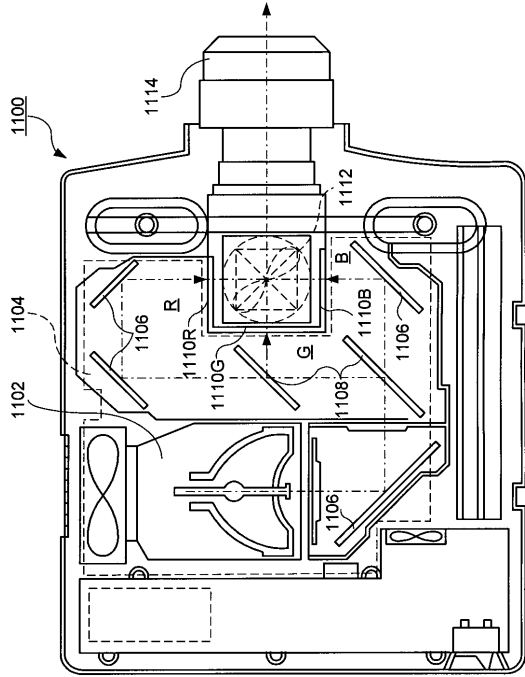
【図8】



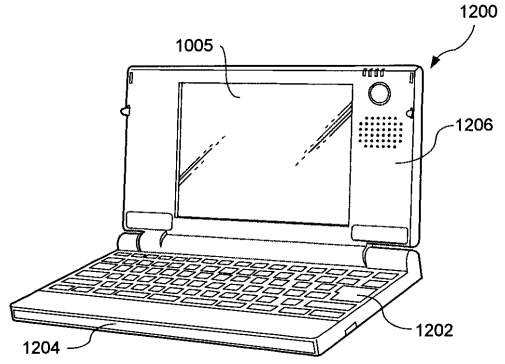
【図9】



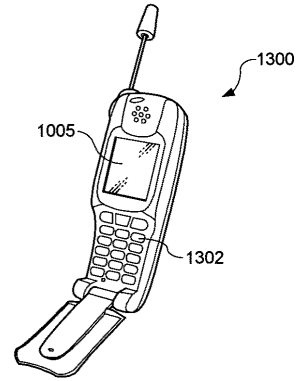
【図10】



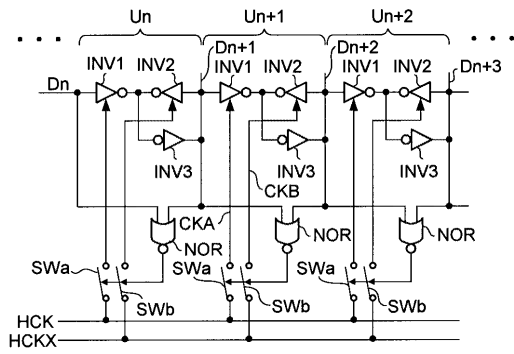
【図11】



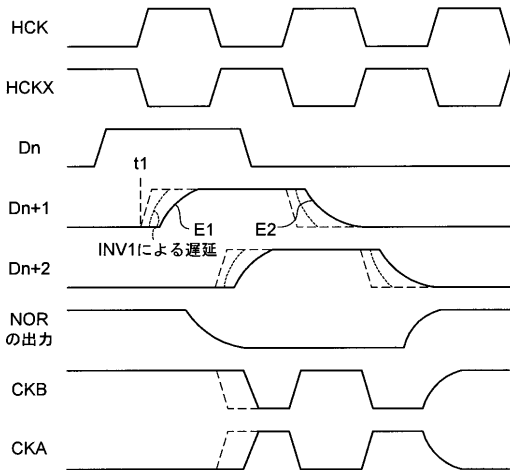
【図12】



【図13】



【図14】



フロントページの続き

(51)Int.Cl. F I
G 1 1 C 19/00 C
G 1 1 C 19/00 J

(56)参考文献 特開2001-324951(JP,A)
特開平11-176186(JP,A)
特開2002-055647(JP,A)
特開平11-237611(JP,A)
特開平08-079663(JP,A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/00 - 3/38

G02F 1/133

G11C 19/00