

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-236768

(P2006-236768A)

(43) 公開日 平成18年9月7日(2006.9.7)

(51) Int. Cl.	F I			テーマコード (参考)		
HO 1 J 9/02 (2006.01)	HO 1 J	9/02	E	5 C 1 2 7		
HO 1 J 1/316 (2006.01)	HO 1 J	1/30	E	5 C 1 3 5		

審査請求 有 請求項の数 6 O L (全 8 頁)

(21) 出願番号	特願2005-49287 (P2005-49287)	(71) 出願人	000002369
(22) 出願日	平成17年2月24日 (2005.2.24)		セイコーエプソン株式会社
			東京都新宿区西新宿2丁目4番1号
		(74) 代理人	100079108
			弁理士 稲葉 良幸
		(74) 代理人	100080953
			弁理士 田中 克郎
		(74) 代理人	100093861
			弁理士 大賀 眞司
		(72) 発明者	湯田坂 一夫
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		Fターム(参考)	5C127 AA01 CC12 DD13 DD57 DD63
			DD64 DD99 EE04 EE15
			5C135 BB14 BB15 HH04 HH15

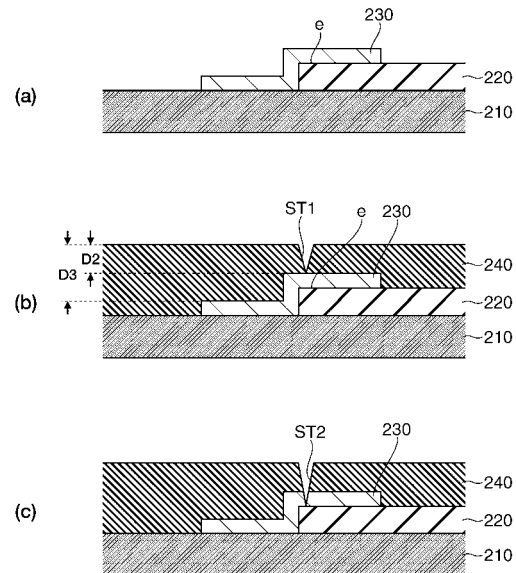
(54) 【発明の名称】 スリット形成方法、電子放出素子の製造方法、及び電子デバイス

(57) 【要約】

【課題】 塗布膜に形成すべきスリットの位置を精緻に制御することが可能なスリット形成技術を提供する。

【解決手段】 基板210の所望位置に所望形状の第1絶縁膜220を形成する。そして、第1絶縁膜220の端部eを覆うように、素子電極形成用の導電膜230を形成する(図3(a)参照)。さらに、第1絶縁膜220、導電膜230が形成された基板210の全面に、ポリシラザンなどの液体材料(絶縁性材料)を塗布し、上記と同様のバーク・アニール処理を施すことにより、第2絶縁膜240を形成する。ここで、第1絶縁膜220の端部eを覆う導電膜230第2絶縁膜240の膜厚D2は、他の部分の膜厚D3に比べて薄い。かかる膜厚差(D3 - D2)によって生じる膜の収縮度合いの違いにより、第1絶縁膜220の端部eの直上に位置する第2絶縁膜240にスリットST1が形成される(図3(b)参照)。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

端部を有する段差パターンを基板上に形成する工程と、
少なくとも前記段差パターンの端部を覆うように、塗布膜形成用の液体材料を前記基板上に塗布する工程と、

塗布した液体材料を乾燥させることによって塗布膜を形成するとともに、当該塗布膜における前記段差パターンの端部に対応する位置にスリットを形成する工程と
を含むことを特徴とする塗布膜に対するスリット形成方法。

【請求項 2】

請求項 1 に記載のスリット形成方法において、

前記段差パターンは絶縁性材料によって形成され、前記液体材料は導電性膜形成用の液体材料であることを特徴とする塗布膜に対するスリット形成方法。

10

【請求項 3】

請求項 1 に記載のスリット形成方法において、

前記段差パターンは導電性材料によって形成され、前記液体材料は絶縁性膜形成用の液体材料であることを特徴とする塗布膜に対するスリット形成方法。

【請求項 4】

基板上に対向する一対の素子電極を形成する工程と、

前記基板上の前記素子電極間に挟まれた領域に端部を有する段差パターンを形成する工程と、

少なくとも前記段差パターンの端部を覆うとともに、前記各素子電極の一部をそれぞれ覆うように、導電膜形成用の液体材料を塗布する工程と、

塗布した液体材料を乾燥させることによって導電膜を形成するとともに、当該導電膜における前記段差パターンの端部に対応する位置にスリットを形成する工程と
を含むことを特徴とする電子放出素子の製造方法。

20

【請求項 5】

基板上に端部を有する段差パターンを形成する工程と、

少なくとも前記段差パターンの端部を覆うように導電膜形成用の液体材料を塗布する工程と、

塗布した液体材料を乾燥させることによって導電膜を形成するとともに、当該導電膜における前記段差パターンの端部に対応する位置にスリットを形成し、一対の素子電極を形成する工程と

を含むことを特徴とする電子放出素子の製造方法。

30

【請求項 6】

請求項 4 または 5 に記載の製造方法によって製造された電子放出素子を有することを特徴とする電子デバイス。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、スリット形成方法、電子放出素子の製造方法、及び電子デバイスに関する。

40

【背景技術】

【0002】

従来より、絶縁性の基板上に対向配置された一対の素子電極と、この素子電極に接続して設けられた導電性薄膜とを備えた電子放出素子が知られている。その例として、M. I. Elinson が「Radio・Eng.・Electron・Phys.、10、1290、(1965)」に発表した電子放出素子がある。

【0003】

このような電子放出素子における導電性薄膜の形成は、通常、真空蒸着法や、エッチング、リフトオフなどの半導体プロセスを主とする方法で行われる。しかしながら、かかる方法は特殊で高価な製造装置を必要とし、パターニングに伴う複数の工程が必要となるこ

50

とから、特に大きな基板に多数の電子放出素子を形成する場合に生産コストが高くなる等の問題がある。

【0004】

このような背景のもと、半導体プロセスを用いることなく、インクジェット装置を用いて導電性薄膜形成用の金属元素を含む液体材料（以下、導電性材料）を基板に塗布することで、導電性薄膜を形成する方法（以下、インクジェット法）が提案されている（例えば、特許文献1参照）。

【0005】

図7は、インクジェット法による電子放出素子の製造プロセスを示す図である。

まず、フォトリソグラフィなど利用して基板20上に1対の素子電極21、22を形成し（図7（a）参照）、次いで、インクジェット装置を用いて素子電極21、22の間に導電性材料を塗布し、これを加熱焼成することで素子電極21、22に接続された導電性薄膜30を形成する（図7（b）参照）。そして、該導電性薄膜30にフォーミングと称される通電処理（以下、フォーミング処理）を施し、導電性薄膜にnmサイズの亀裂（スリット）40を発生させるなどして電子放出素子を形成していた（図7（c）参照）。

10

【0006】

【特許文献1】特開2004-192812号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

ところで、基板20上に形成される複数の電子放出素子について均一な特性を得るためには、スリット40の位置（以下、スリット位置）を精緻に制御する必要があるが、フォーミング処理によってスリットを形成する方法ではスリット位置を精緻に制御するのは極めて難しいという問題があった。

20

【0008】

本発明は以上説明した事情を鑑みてなされたものであり、塗布膜に形成すべきスリットの位置を精緻に制御することが可能なスリット形成技術を提供することを目的とする。

【課題を解決するための手段】

【0009】

上記目的を達成するため、本発明に係る塗布膜に対するスリット形成方法は、端部を有する段差パターンを基板上に形成する工程と、少なくとも前記段差パターンの端部を覆うように、塗布膜形成用の液体材料を前記基板上に塗布する工程と、塗布した液体材料を乾燥させることによって塗布膜を形成するとともに、当該塗布膜における前記段差パターンの端部に対応する位置にスリットを形成する工程とを含むことを特徴とする。

30

【0010】

かかる構成によれば、段差パターンを形成するといった簡単な方法でスリットの位置を精緻に制御することが可能となる。かかる技術は種々の分野に適用可能であるが、例えば電子放出素子の形成に適用することで、電子放出効率の高い電子放出素子を形成することが可能となる。

【0011】

ここで、上記スリット形成方法にあつては、前記段差パターンは絶縁性材料によって形成され、前記液体材料は導電性膜形成用の液体材料であっても良く、また、前記段差パターンは導電性材料によって形成され、前記液体材料は絶縁性膜形成用の液体材料であっても良い。

40

【0012】

また、本発明に係る電子放出素子の製造方法にあつては、基板上に対向する一対の素子電極を形成する工程と、前記基板上の前記素子電極間に挟まれた領域に端部を有する段差パターンを形成する工程と、少なくとも前記段差パターンの端部を覆うとともに、前記各素子電極の一部をそれぞれ覆うように、導電膜形成用の液体材料を塗布する工程と、塗布した液体材料を乾燥させることによって導電膜を形成するとともに、当該導電膜における

50

前記段差パターンの端部に対応する位置にスリットを形成する工程とを含むことを特徴とする。

【0013】

また、本発明に係る別の電子放出素子の製造方法にあつては、基板上に端部を有する段差パターンを形成する工程と、少なくとも前記段差パターンの端部を覆うように導電膜形成用の液体材料を塗布する工程と、塗布した液体材料を乾燥させることによって導電膜を形成するとともに、当該導電膜における前記段差パターンの端部に対応する位置にスリットを形成し、一对の素子電極を形成する工程とを含むことを特徴とする。

【0014】

これらの製造方法によって製造された電子放出素子を電子デバイスに適用しても良い。ここで、電子デバイスとは、本発明に係る電子放出素子を備えた一定の機能を奏する機器一般をいい、例えば電気光学装置やメモリを備えて構成される。その構成に特に限定はないが、例えば画像形成装置、ICカード、携帯電話、ビデオカメラ、パーソナルコンピュータ、ヘッドマウントディスプレイ、リア型またはフロント型のプロジェクター、さらに表示機能付きファックス装置、デジタルカメラのファインダ、携帯型TV、DSP装置、PDA、電子手帳、電光掲示板、宣伝広告用ディスプレイ等が含まれる。

10

【発明を実施するための最良の形態】

【0015】

以下、本発明に係る実施形態を説明する前に、本発明の基本原理について説明する。

【0016】

20

A. 基本原理

図1は、TFT (Thin Film Transistor) を構成するゲート電極と層間絶縁膜の関係を示す図であり、図2は、図1に示すゲート電極近傍の部分拡大図である。

層間絶縁膜110は、導電性材料によって形成されたゲート電極(段差パターン)120を含む基板全面を覆う絶縁膜であり、ポリシラザンを含む液体材料(絶縁性膜形成用の液体材料)を塗布し、乾燥等することによって形成する。

【0017】

図1に示すように、塗布法によって層間絶縁膜110を形成すると、ゲート電極(段差パターン)120の端部を覆う部分と他の部分との間で段差130が形成される。この段差部分について断面TEM (Transmission Electron Microscope) やAFM (Atomic Force Microscope) などの方法によって調査すると、当該段差部分にスリットSTが形成されることが判明した(図2参照)。さらに調査を進めたところ、このスリットSTの幅や深さは段差の高さや形状及び層間絶縁膜110の形成条件(材料や乾燥条件など)に起因し、また、他の部分の膜厚d1とゲート電極120を覆う部分の膜厚d0の膜厚差(d1 - d0)は、ゲート電極120のパターンサイズに起因することが判明した。

30

【0018】

なお、スリットSTが形成されるメカニズムについては未だ明らかではないが、ゲート電極120を覆う部分の膜厚d0と他の部分の膜厚d1の膜厚差(d1 - d0)によって生じる膜の収縮度合いの違いがスリットSTの形成に起因したものと推測される。かかる現象を利用した実施形態について図面を参照しながら説明する。

40

【0019】

B. 第1実施形態

図3は、表面伝導型電子放出素子の製造プロセスを示す工程図であり、図4は、表面伝導型電子放出素子の平面図である。

まず、基板210の所望位置にポリシラザンなどの液体材料(絶縁性材料)を塗布し、ベーク・アニール処理(100 で5分程度、さらに350 で60分程度)等を施すことにより、所望形状の第1絶縁膜(段差パターン)220を形成する。そして、第1絶縁膜220の端部eを覆うように、素子電極形成用の導電膜230を形成する(図3(a)参照)。なお、第1絶縁膜220や導電膜230は、物理的気相法(PVD)や化学的気相法(CVD)などを利用して形成しても良い。

50

【0020】

さらに、第1絶縁膜220、導電膜230が形成された基板210の全面に、ポリシラザンなどの液体材料（絶縁性材料）を塗布し、上記と同様のベーク・アニール処理を施すことにより、第2絶縁膜240を形成する。ここで、第1絶縁膜220の端部eを覆う導電膜230第2絶縁膜240の膜厚D2は、他の部分の膜厚D3に較べて薄い。かかる膜厚差（D3 - D2）によって生じる膜の収縮度合いの違いにより、第1絶縁膜220の端部eの直上に位置する第2絶縁膜240（段差パターンの端部に対応する位置）にスリットST1が形成される（図3（b）参照）。

【0021】

その後、導電膜用のエッチング液を用いてエッチングすることにより、第2絶縁膜240に形成したスリットST1を導電膜230に転写する（図3（c）参照）。その後、さらにエッチングなどを施すことにより、導電膜230に形成したスリットST2の幅や深さを微調整し、第2絶縁膜240を剥離する。この結果、一对の素子電極231、232の間に電子放出部260が形成された表面伝導型電子放出素子が形成される（図4参照）。

10

【0022】

C．第2実施形態

図5は、導電膜230にスリットを形成するプロセスを示す工程図である。

まず、基板210の全面に物理的気相成長法（PVD）、化学的気相成長法（CVD）等を用いて導電膜230を形成する（図5（a）参照）。この導電膜230の上の所望の位置に、ポリシラザンなどの液体材料（絶縁性材料）を塗布し、ベーク・アニール処理（100 で5分程度、さらに350 で60分程度）を施し、さらにフォトエッチングを行うことにより、例えば膜厚0.5 μm程度の第1絶縁膜（段差パターン）220を形成する（図5（b）参照）。この第1絶縁膜220は、導電膜230のスリットの形成予定位置ST0の略直上に、その端部eがくるように形成される。

20

【0023】

さらに、第1絶縁膜220が形成された基板210の全面に、ポリシラザンなどの液体材料（絶縁性材料）を塗布し、上記と同様のベーク・アニール処理を施すことにより、例えば膜厚0.3 μm程度の第2絶縁膜240を形成する（図5（c）参照）。ここで、第1絶縁膜220を覆う部分の第2絶縁膜240の膜厚D5は他の部分の膜厚D6に較べて薄い。かかる膜厚差（D6 - D5）によって生じる膜の収縮度合いの違いにより、第1絶縁膜220の端部eの直上に位置する第2絶縁膜240にスリットST1が形成される（図5（d）参照）。

30

【0024】

その後、エッチングを施すことで第1絶縁膜220にスリットST2を形成し（図5（e）参照）、さらにエッチングを施すことで導電性膜230の形成予定位置ST0にスリットSTを形成する（図5（f）参照）。その後、さらにエッチングを施すことにより、スリットSTの幅や深さを微調整する。このように導電性膜250の所望位置にスリットSTを形成することで、図4に示すような表面伝導型電子放出素子を形成しても良い。なお、以上説明したスリット形成方法を他の形態の表面伝導型電子放出素子に適用することも可能である。

40

【0025】

具体的には、まず、基板上に対向する一对の素子電極を形成し、前記基板上の前記素子電極間に挟まれた領域に端部を有する第1絶縁膜（段差パターン）を形成する。そして、少なくとも前記第1絶縁膜を覆うとともに、前記各素子電極の一部をそれぞれ覆うように、導電膜形成用の液体材料を塗布する。さらに、塗布した液体材料を乾燥・焼成等することにより、導電膜を形成するとともに、当該導電膜における前記段差パターンの端部に対応する位置にスリットを形成することで、表面伝導型電子放出素子を形成しても良い。

【0026】

D．第3実施形態

50

図6は、第3実施形態に係る電子デバイスを例示した図である。

図6(a)は、本発明の製造方法によって製造される携帯電話であり、当該携帯電話430は、電気光学装置(表示パネル)400、アンテナ部431、音声出力部432、音声入力部433及び操作部434を備えている。本発明は、例えば表示パネル400を構成する複数の電子放出素子の製造に適用される。図6(b)は、本発明の製造方法によって製造されるビデオカメラであり、当該ビデオカメラ440は、電気光学装置(表示パネル)400、受像部441、操作部442及び音声入力部443を備えている。本発明は、例えば表示パネル400を構成する複数の電子放出素子の製造に適用される。

【0027】

図6(c)は、本発明の製造方法によって製造される携帯型パーソナルコンピュータの例であり、当該コンピュータ450は、電気光学装置(表示パネル)400、カメラ部451及び操作部452を備えている。本発明は、例えば表示パネル400を構成する複数の電子放出素子の製造に適用される。

【0028】

図6(d)は、本発明の製造方法によって製造されるヘッドマウントディスプレイの例であり、当該ヘッドマウントディスプレイ460は、電気光学装置(表示パネル)400、バンド部461及び光学系収納部462を備えている。本発明は、例えば表示パネル400を構成する複数の電子放出素子の製造に適用される。図6(e)は、本発明の製造方法によって製造されるリア型プロジェクターの例であり、当該プロジェクター470は、電気光学装置(光変調器)400、光源472、合成光学系473、ミラー374、375を筐体371内に備えている。本発明は、例えば光変調器400を構成する複数の電子放出素子の製造に適用される。図6(f)は本発明の製造方法によって製造されるフロント型プロジェクターの例であり、当該プロジェクター480は、電気光学装置(画像表示源)400及び光学系481を筐体482内に備え、画像をスクリーン483に表示可能になっている。本発明は、例えば画像表示源400を構成する複数の電子放出素子の製造に適用される。

【0029】

上記例に限らず本発明は、あらゆる電子デバイスの製造等に適用可能である。例えば、表示機能付きファックス装置、デジタルカメラのファインダ、携帯型TV、DSP装置、PDA、電子手帳、電光掲示板、宣伝広告用ディスプレイ、ICカードなどにも適用することができる。なお、本発明は上述した各実施形態に限定されることなく、本発明の要旨の範囲内で種々に変形、変更実施が可能である。

【図面の簡単な説明】

【0030】

【図1】本発明の基本原理を説明するための図である。

【図2】本発明の基本原理を説明するための図である。

【図3】第1実施形態に係る電子放出素子の製造プロセスを示す工程図である。

【図4】同実施形態に係る電子放出素子の平面図である。

【図5】第2実施形態に係る導電性膜のスリット形成プロセスを示す工程図である。

【図6】第3実施形態に係る電子デバイスを例示した図である。

【図7】従来の電子放出素子の製造プロセスを示す工程図である。

【符号の説明】

【0031】

110・・・層間絶縁膜、120・・・ゲート電極、130・・・段差、ST・・・スリット、210・・・基板、220・・・第1絶縁膜、230・・・導電膜、240・・・第2絶縁膜、231、232・・・素子電極、260・・・電子放出部。

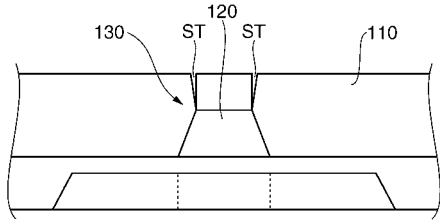
10

20

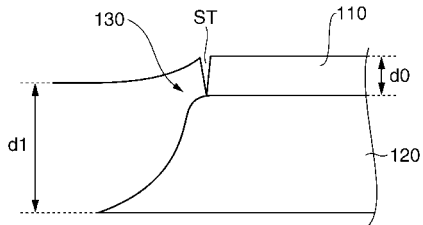
30

40

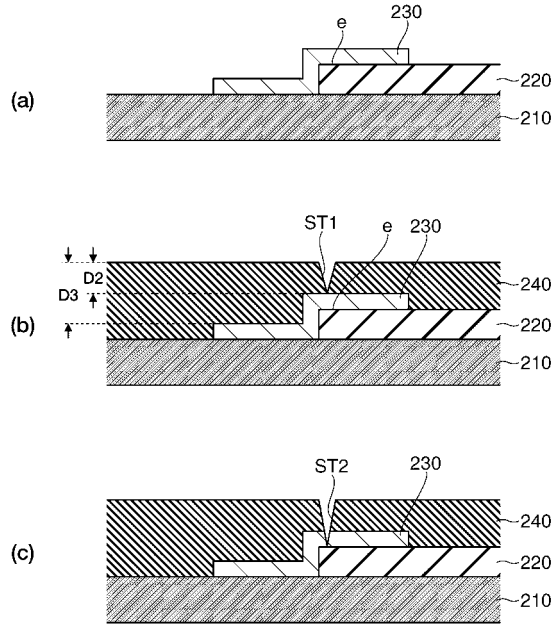
【 図 1 】



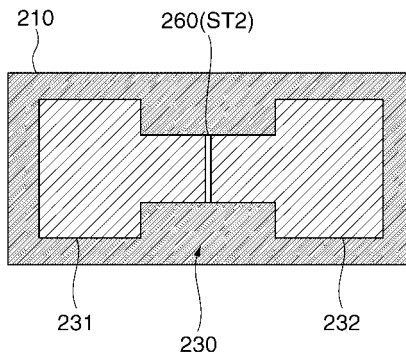
【 図 2 】



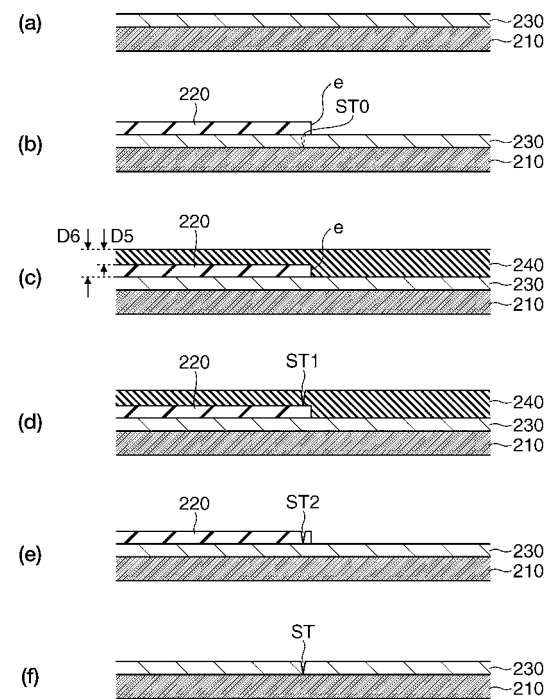
【 図 3 】



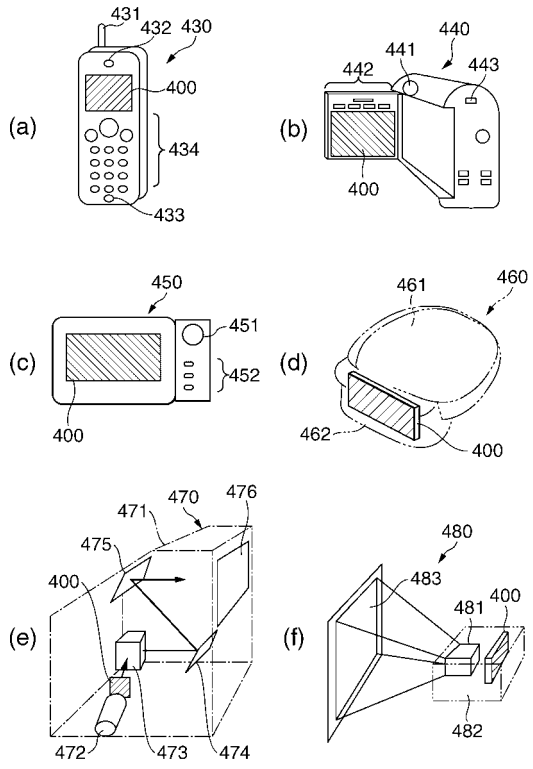
【 図 4 】



【 図 5 】



【 図 6 】



【 図 7 】

