

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶ G11C 16/06	(11) 공개번호 (43) 공개일자	특1998-037415 1998년08월05일
(21) 출원번호	특1996-056163	
(22) 출원일자	1996년11월21일	
(71) 출원인	삼성전자 주식회사 김광호 경기도 수원시 팔달구 매탄동 416번지	
(72) 발명자	권석천 서울특별시 송파구 신천동 20-4 진주아파트 12동 908호	
(74) 대리인	임창현	

심사청구 : 없음

(54) 불휘발성 반도체 메모리 장치의 고전압 발생회로

요약

본 발명은 반도체 메모리 장치에 관한 것으로서, 구체적으로는 요구되는 고전압 레벨들을 얻기 위해 각각 필요한 고전압 펌핑회로를 사용하지 않고 하나의 펌핑회로를 이용하여 원하는 복수개의 고전압들을 발생하기 위한 반도체 메모리 장치의 고전압 발생회로에 관한 것으로서, 본 발명은 외부로부터 인가되는 소정 주기를 갖는 클럭신호 및 고전압 인에이블 신호에 응답하여, 요구되는 복수개의 고전압 레벨들 중 가장 높은 레벨의 고전압을 출력하는 차지펌핑부와; 상기 차지펌핑부로부터 출력된 상기 고전압을 입력받아, 상기 클럭신호, 외부로부터 인가되는 제 1 신호, 그리고 소정의 제 2 신호에 응답하여 고전압을 출력하는 스위치 차지펌핑수단 및, 상기 스위치 차지펌핑수단으로부터 출력된 고전압을 입력받아, 상기 고전압의 레벨이 미리 예정된 전압레벨에 비해 높은 레벨일 경우 상기 스위치 차지펌핑수단에 입력된 상기 제 2 신호를 출력하는 검출수단으로 이루어진 복수개의 고전압 발생부들로 이루어졌다. 이로써, 복수개의 고전압 레벨이 필요한 경우 각각의 고전압 발생회로를 구비하지 않고, 하나의 고전압 발생장치를 이용하여 복수개의 고전압 레벨을 발생할 수 있도록 구현함으로써 고전압 발생회로에 의해 점유되는 칩 면적을 최소화함으로써 고집적화를 실현할 수 있다.

대표도

도1

명세서

도면의 간단한 설명

- 도 1은 본 발명에 따른 불휘발성 반도체 메모리 장치의 고전압 발생회로의 구성을 보여주는 블록도;
- 도 2는 본 발명의 바람직한 실시예에 따른 동작 타이밍도;
- 도 3은 본 발명의 바람직한 실시예에 따른 스위치 차지펌핑수단의 상세회로를 보여주는 회로도;
- 도 4는 본 발명의 바람직한 실시예에 따른 전압 검출수단의 상세회로를 보여주는 회로도;

*도면의 주요 부분에 대한 부호 설명

- 100 : 차지펌핑부 200 : 고전압 발생부
- 210 : 스위치 차지펌핑수단 220 : 검출수단

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리 장치에 관한 것으로서, 구체적으로는 요구되는 고전압 레벨들을 얻기 위해 각각 필요한 고전압 펌핑회로를 사용하지 않고 하나의 펌핑회로를 이용하여 원하는 복수개의 고전압들을 발생하기 위한 반도체 메모리 장치의 고전압 발생회로에 관한 것이다.

반도체 메모리 장치는 그 동작에 따라 전원전압 이외의 전압들을 필요로하는데, 통상적으로, 전원전압에 비해 낮은 기준전압과 상기 전원전압에 비해 높은 고전압으로 나눌 수 있다. 특히, 불휘발성 반도체 메모리에서는 데이터의 소거 또는 기입동작을 수행하기 위해서는 전원전압에 비해 높은 고전압이 필수적으

로 필요하다. 통상적으로, 불휘발성 반도체 메모리 장치에서 데이터를 저장하기 위한 셀 어레이는, 도면에는 도시되지 않았지만, 복수개의 스트링들로 구성되어 있다. 상기 각 스트링은 제 1 선택라인에 연결된 제 1 선택트랜지스터와 제 2 선택라인에 연결된 제 2 선택트랜지스터 사이에 미리 예정된 수의 메모리 셀 트랜지스터들이 직렬 연결되어 있다. 상기 각 제 1 선택트랜지스터의 각 드레인 단자에는 각각 비트라인이 연결되어 있다. 여기서, 제 1 스트링에 대응되는 비트라인을 제 1 비트라인, 그리고 제 2 스트링에 대응되는 비트라인을 제 2 비트라인이라 하자. 그리고, 상기 각 스트링 내의 메모리 셀 트랜지스터들의 제어 게이트 단자에는 각각 대응되는 워드라인들이 연결되어 있다. 상기 각 메모리 셀 트랜지스터는 반도체 기판과 상기 반도체 기판에 채널을 사이에 두고 소오스 및 드레인 영역이 형성되어 있다. 그리고, 상기 채널 상부에 게이트 산화막, 플로팅 게이트, ONO막, 그리고 제어 게이트가 순차적으로 상기 소오스 및 드레인 영역의 상부에 일부분 걸쳐 형성되어 있다.

그러나, 종래의 고전압 발생회로에 의하면, 상기 고전압들은 복수개의 전압을 발생하기 위해 각각의 고전압 발생회로들이 필요하다. 이로 인해, 요구되는 모든 고전압 발생회로들이 반도체 메모리 장치에 구현될 경우 상기 고전압 발생회로들에 의해 점유되는 칩 면적이 증가하여 고집적화를 실현할 수 없는 문제점이 생겼다.

발명이 이루고자하는 기술적 과제

따라서 본 발명의 목적은 상술한 제반 문제점을 해결하기 위해 제안된 것으로서, 요구되는 고전압 레벨들을 얻기 위해 각각 필요한 고전압 펌핑회로를 사용하지 않고 하나의 펌핑회로를 이용하여 원하는 복수개의 고전압들을 발생함으로써 펌핑회로가 차지하는 면적을 줄임으로써 고집적화를 실현할 수 있는 반도체 메모리 장치의 고전압 발생회로를 제공하는데 있다.

발명의 구성 및 작용

상술한 바와같은 목적을 달성하기 위한 본 발명의 일특징에 의하면, 외부로부터 인가되는 소정 주기를 갖는 클럭신호 및 고전압 인에이블 신호에 응답하여, 요구되는 복수개의 고전압 레벨들 중 가장 높은 레벨의 고전압을 출력하는 차지펌핑부와; 상기 차지펌핑부로부터 출력된 상기 고전압을 입력받아, 상기 클럭신호, 외부로부터 인가되는 제 1 신호, 그리고 소정의 제 2 신호에 응답하여 고전압을 출력하는 스위치 차지펌핑수단 및, 상기 스위치 차지펌핑수단으로부터 출력된 고전압을 입력받아, 상기 고전압의 레벨이 미리 예정된 전압레벨에 비해 높은 레벨일 경우 상기 스위치 차지펌핑수단에 입력된 상기 제 2 신호를 출력하는 검출수단으로 이루어진 복수개의 고전압 발생부들을 포함한다.

이 실시예에 있어서, 상기 스위치 차지펌핑수단은 복수개의 낸드게이트들, 인버터, 커플링 커패시터, 그리고 복수개의 NMOS 트랜지스터들로 구성된다.

이 실시예에 있어서, 상기 검출수단은 외부로부터 인가되는 기준전압과 소정 분배전압을 입력받아, 이를 비교한 비교신호를 출력하는 비교수단과; 상기 스위치 차지펌핑수단으로부터 출력된 고전압을 입력받아, 이를 상기 기준전압 레벨로 변환한 상기 분배전압을 출력하는 전압분배수단과; 상기 비교수단으로부터 출력된 상기 비교신호를 증폭하여 이를 출력하는 출력수단으로 구성된다.

이 실시예에 있어서, 상기 비교수단은 복수개의 PMOS 트랜지스터들 및 NMOS 트랜지스터들로 구성된다.

이 실시예에 있어서, 상기 전압분배수단은 저항들로 구성된다.

이 실시예에 있어서, 상기 출력수단은 복수개의 인버터들로 구성된다.

이와같은 회로에 의해서, 요구되는 고전압 레벨들을 얻기 위해 각각 필요한 고전압 펌핑회로를 사용하지 않고 하나의 펌핑회로를 이용하여 원하는 복수개의 고전압들을 발생함으로써 펌핑회로가 차지하는 면적을 줄임으로써 고집적화를 실현할 수 있게 되었다.

이하 본 발명의 실시예에 따른 참조도면 도 1 내지 도 4에 의거하여 상세히 설명한다.

도 1은 본 발명에 따른 불휘발성 반도체 메모리 장치의 고전압 발생회로의 구성을 보여주는 블록도가 도시되어 있다.

도 1에 도시된 본 발명에 따른 고전압 발생회로는 차지펌핑부(100)와 복수개의 고전압 발생부들(200)로 구성되어 있다. 상기 차지펌핑부(100)는 외부로부터 인가되는 소정 주기를 갖는 클럭신호(ϕ_{hv}) 및 고전압 인에이블 신호(HVen)에 응답하여, 요구되는 복수개의 고전압 레벨들 중 가장 높은 레벨의 고전압(HV_{mout})을 출력한다. 그리고, 상기 각 고전압 발생부(200)는 스위치 차지펌핑수단(210)과 검출수단(220)으로 구성되어 있다. 상기 스위치 차지펌핑수단(210)은 상기 차지펌핑부(100)로부터 출력된 상기 고전압(HV_{mout})을 입력받아, 상기 클럭신호(ϕ_{hv}), 외부로부터 인가되는 인에이블 신호(HVSi), 그리고 소정의 디세이블 신호(DiSi)에 응답하여 고전압(HVi)을 출력한다. 그리고, 상기 검출수단(220)은 상기 스위치 차지펌핑수단(210)으로부터 출력된 고전압(HVi)을 입력받아, 상기 고전압(HVi)의 레벨이 미리 예정된 전압레벨에 비해 높은 레벨일 경우 상기 스위치 차지펌핑수단(210)에 입력된 상기 디세이블 신호(DiSi)를 출력한다.

도 2에는 본 발명의 바람직한 실시예에 따른 동작 타이밍도가 도시되어 있다.

도 3에는 본 발명의 바람직한 실시예에 따른 스위치 차지펌핑회로가 도시되어 있다. 도 3에 도시된 스위치 차지펌핑회로(210)는 도 2의 차지펌핑부(100)로부터 출력된 고전압(HV_{mout})을 입력받아, 외부로부터 인가되는 제어신호들(DiSi, HVSi) 및 소정주기를 갖는 클럭신호(ϕ_{hv})에 응답하여 고전압을 출력한다. 그리고, 상기 스위치 차지펌핑회로(210)는 제 1 및 제 2 낸드 게이트(220, 222), 인버터(221), 커플링 커패시터(C), 그리고 복수개의 NMOS 트랜지스터들(233 - 256)로 이루어졌다.

도 4에는 본 발명의 바람직한 실시예에 따른 전압 검출 회로가 도시되어 있다.

도 4에 도시된 바와같이, 전압 검출 회로(220)는 도 3에 도시된 스위치 차지펌핑회로(210)로부터 출력된 고전압을 입력받아, 상기 고전압의 레벨이 미리 예정된 전압레벨에 비해 높은 레벨일 경우 상기 스위치 차지펌핑회로(210)에 디세이블 신호(DiSi)를 출력하여 상기 스위치 차지펌핑회로(210)의 펌핑 동작을 디세이블시킨다. 그리고, 상기 전압 검출 회로(220)는 비교수단(270), 전압분배수단(280), 그리고 출력수단(290)으로 구성되어 있다. 상기 비교수단(270)은 기준전압(Vref)과 상기 전압분배수단(280)으로부터 출력되는 분배전압(V_div)을 입력받아, 이들의 전압레벨을 비교한 비교신호(S_com)를 출력한다. 즉, 상기 기준전압(Vref)이 상기 분배전압(V_div)에 비해 높은 레벨일 경우 상기 비교수단(270)은 하이 레벨의 비교신호(S_com)를 출력한다. 반면, 상기 기준전압(Vref)이 상기 분배전압(V_div)에 비해 낮은 레벨일 경우 상기 비교수단(270)은 로우 레벨의 상기 비교신호(S_com)를 출력한다.

여기서, 상기 비교수단(270)은 로드 트랜지스터로써 동작하는 PMOS 트랜지스터들(259, 260)과 상기 기준전압(Vref) 및 상기 분배전압(V_div)에 응답하여 각각 인에이블되는 NMOS 트랜지스터들(257, 258) 그리고 상기 NMOS 트랜지스터들(257, 258)을 통해 전달되는 전류를 일정하게 흘려주기 위한 NMOS 트랜지스터(261)로 이루어졌다. 그리고, 상기 분배수단(280)은 도 3에 도시된 스위치 차지펌핑회로(210)로부터 출력된 고전압(HV)을 입력받아 상기 기준전압 레벨로 이를 변환한 상기 분배전압(V_div)을 출력한다. 상기 분배수단(280)은 상기 고전압이 인가되는 라인과 접지전압(VSS)이 인가되는 접지단자 사이에 직렬연결된 저항들(262, 263)로 이루어졌다. 상기 출력수단(290)은 상기 비교수단(270)으로부터 출력된 상기 비교신호(S_com)를 증폭하여 이를 도 3에 도시된 스위치 차지 펌핑회로(210)로 디세이블 신호(DiSi)를 출력한다.

이하, 도 1 내지 도 4에 의거하여 본 발명에 따른 동작을 설명하면 다음과 같다.

먼저, 차지펌핑부(100)의 활성화 신호(HVen)가 로우 레벨에서 하이 레벨로 천이하면 일정주기를 갖고 발진하는 차지 펌프 클럭신호(ψ_{hv})에 의해 차지펌핑부(100)의 출력(HVmout)은 필요한 고전압들 중 가장 높은 전압레벨이 된다. 여기서는 상기 차지펌핑부(100)의 구체적인 동작은 생략하기로 한다. 이어서, 상기 차지펌핑부(100)의 출력에 병렬로 연결된 복수개의 스위치 차지펌핑수단들(210)의 활성화 신호(여기서 설명의 편의를 위해 CPsub1이 활성화되었다고 가정한다.) 'HVsub1'이 로우 레벨에서 하이 레벨로 천이하면 상기 스위치 차지펌핑수단(210)이 활성화된다. 상기 차지펌핑부(100)의 출력전압(HVmout)이 상기 스위치 차지펌핑수단(210)을 통해 상기 스위치 차지펌핑부(210)의 출력(HV1)에 전달되어 출력(HV1)의 전압레벨이 상승한다.

상기 스위치 차지펌핑수단(210)의 출력(HV1)이 상승하여 일정 고전압 레벨이 되면 상기 스위치 차지펌핑수단(210)의 출력단에 연결된 검출수단(220)으로부터 디세이블 신호(DiS1)가 하이 레벨에서 로우 레벨로 천이된다. 이에 의해, 스위치 차지펌핑수단(210)이 비활성화되어 상기 스위치 차지펌핑수단(210)의 출력(HV1)이 일정 고전압 레벨 이상이 되는 것을 방지한다. 즉, 상기 검출수단(220)의 분배수단(280)을 통해 상기 스위치 차지펌핑수단(210)으로 출력된 고전압(HV1)을 기준전압(Vref) 레벨로 변환하여 이에 대응되는 분배전압(V_div)을 출력한다. 이때, 상기 변환된 분배전압이 상기 기준전압 레벨에 비해 높은 레벨일 경우 비교수단(270)은 로우 레벨의 비교신호(S_com)를 출력한다. 그리고, 출력수단(290)은 상기 비교신호(S_com)를 증폭하여 상기 스위치 차지펌핑수단(210)으로 출력함으로써 상기 차지펌핑수단(210)이 디세이블되어 더 이상 펌핑 동작을 수행하지 않는다.

이후, 상기 스위치 차지펌핑수단(210)의 출력(HV1)이 일정 고전압 레벨 이하로 떨어지면 상기 스위치 차지펌핑수단(210)의 출력을 검출하는 상기 검출수단(220)의 디세이블 신호(DiS1)는 로우 레벨에서 하이 레벨로 출력된다. 이로인해, 상기 스위치 차지펌핑수단(210)이 다시 활성화되어 상기 스위치 차지펌핑수단(210)의 출력(HV1)이 일정 고전압 레벨이 되게한다. 이와같은 동작이 반복되어 상기 스위치 차지펌핑수단(210)의 출력(HV1)은 일정 고전압 레벨로 유지된다. 복수개의 고전압 레벨이 필요할 경우 본 발명에 따른 스위치 차지펌핑수단(210)을 상기와 같은 방법으로 동작시켜 복수개의 고전압을 발생시킬 수 있다.

발명의 효과

상기한 바와같이, 복수개의 고전압 레벨이 필요한 경우 각각의 고전압 발생회로를 구비하지 않고, 하나의 고전압 발생장치를 이용하여 복수개의 고전압 레벨을 발생할 수 있도록 구현함으로써 고전압 발생회로에 의해 점유되는 칩 면적을 최소화함으로써 고집적화를 실현할 수 있다.

(57) 청구의 범위

청구항 1

외부로부터 인가되는 소정 주기를 갖는 클럭신호(ψ_{hv}) 및 고전압 인에이블 신호(HVen)에 응답하여, 요구되는 복수개의 고전압 레벨들 중 가장 높은 레벨의 고전압(HVmout)을 출력하는 차지펌핑부(100)와;

상기 차지펌핑부(100)로부터 출력된 상기 고전압(HVmout)을 입력받아, 상기 클럭신호(ψ_{hv}), 외부로부터 인가되는 제 1 신호(HVSi), 그리고 소정의 제 2 신호(DiSi)에 응답하여 고전압(HVi)을 출력하는 스위치 차지펌핑수단(210) 및,

상기 스위치 차지펌핑수단(210)으로부터 출력된 고전압(HVi)을 입력받아, 상기 고전압(HVi)의 레벨이 미리 예정된 전압레벨에 비해 높은 레벨일 경우 상기 스위치 차지펌핑수단(210)에 입력된 상기 제 2 신호(DiSi)를 출력하는 검출수단(220)으로 이루어진 복수개의 고전압 발생부들(200)을 포함한 불휘발성 반도체 메모리 장치의 고전압 발생회로.

청구항 2

제 1 항에 있어서,

상기 스위치 차지펌핑수단(210)은 복수개의 낸드게이트들(220, 222), 인버터(221), 커플링 커패시터(C), 그리고 복수개의 NMOS 트랜지스터들(233 - 256)로 구성된 불휘발성 반도체 메모리 장치의 고전압 발생회로.

청구항 3

제 1 항에 있어서,

상기 검출수단(220)은 외부로부터 인가되는 기준전압(Vref)과 소정 분배전압(V_div)을 입력받아, 이를 비교한 비교신호(S_com)를 출력하는 비교수단(270)과; 상기 스위치 차지펌핑수단(210)으로부터 출력된 고전압을 입력받아, 이를 상기 기준전압 레벨로 변환한 상기 분배전압(V_div)을 출력하는 전압분배수단(280)과; 상기 비교수단(270)으로부터 출력된 상기 비교신호(S_com)를 증폭하여 이를 출력하는 출력수단(290)으로 구성된 불휘발성 반도체 메모리 장치의 고전압 발생회로.

청구항 4

제 3 항에 있어서,

상기 비교수단(270)은 복수개의 PMOS 트랜지스터들(259, 260) 및 NMOS 트랜지스터들(257, 258, 261)로 구성된 불휘발성 반도체 메모리 장치의 고전압 발생회로.

청구항 5

제 3 항에 있어서,

상기 전압분배수단(280)은 저항들(262, 263)로 구성된 불휘발성 반도체 메모리 장치의 고전압 발생회로.

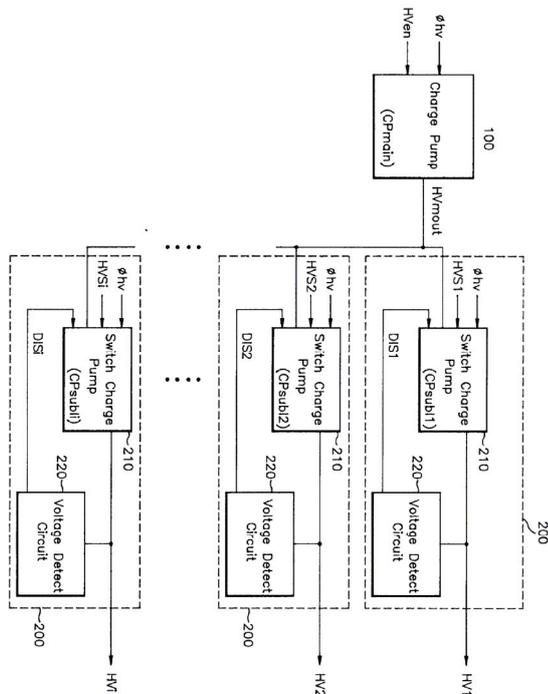
청구항 6

제 3 항에 있어서,

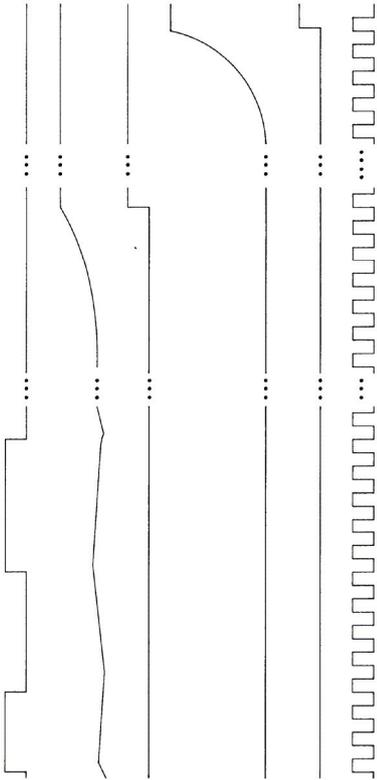
상기 출력수단(290)은 복수개의 인버터들(264, 265)로 구성된 불휘발성 반도체 메모리 장치의 고전압 발생회로.

도면

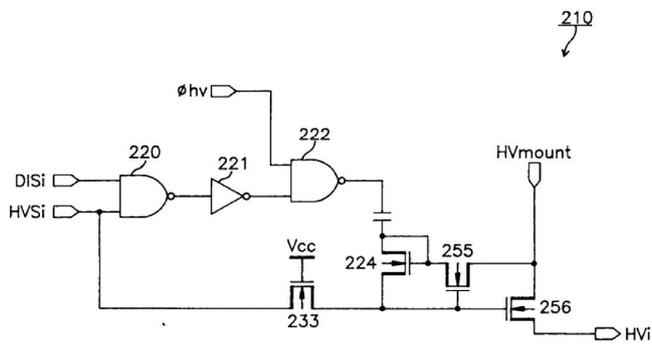
도면1



도면2



도면3



도면4

