(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[7]
G11C 29/00

(45) 공고일자 2005년12월16일
(11) 등록번호 10-0537115
(24) 등록일자 2005년12월09일

(21) 출원번호 10-2003-0020223
(22) 출원일자 2003년03월31일

(65) 공개번호 10-2004-0027272
(43) 공개일자 2004년04월01일

(30) 우선권주장 JP-P-2002-00279741 2002년09월25일 일본(JP)

(73) 특허권자 가부시끼가이샤 도시바
일본국 도쿄도 미나또꾸 시바우라 1쪼메 1방 1고

(72) 발명자 후꾸다료
일본가나가와껭가와사끼시사이와이꾸고무까이도시바쪼1가부시끼가이샤도시바마이크로일렉트로닉스센터내

(74) 대리인 주성민
구영창

심사관 : 김세영

(54) 반도체 기억 장치

요약

불량 데이터선을 보상하기 위한 개량된 리던던시 구조를 갖는 반도체 기억 장치를 제공한다. 반도체 기억 장치는 복수의 메모리 셀 어레이 블록(31)을 포함함과 함께, k 개(k는 자연수)의 데이터 입출력선(41)에 접속된 어레이 영역(30)을 포함한다. 메모리 셀 어레이 블록(31)에 공통으로 k+ m 개(m은 자연수)의 공통 내부 데이터선(43)이 배치된다. 메모리 셀 어레이 블록(31)마다 k+ m+ n 개(n은 자연수)의 개별 내부 데이터선(45)이 배치된다. 제1 불량 정보 신호에 따라서, k+ m+ n 개의 개별 내부 데이터선(45) 중의 k+ m 개를 k+ m 개의 공통 내부 데이터선(43)에 각각 접속하기 위해서, 개별선 접속 회로(32)가 배치된다. 제2 불량 정보 신호에 따라서, k+ m 개의 공통 내부 데이터선(43) 중의 k 개를 k 개의 데이터 입출력선(41)에 각각 접속하기 위해서, 공통선 접속 회로(34)가 배치된다.

대표도

도 1

색인어

리던던시 구조, 불량 데이터선, 반도체 기억 장치, 공통 내부 데이터선, 개별 내부 데이터선

명세서

도면의 간단한 설명

도 1은 본 발명의 제1 실시예에 따른 혼재 DRAM을 개략적으로 도시하는 도면.

도 2는 도 1에 도시된 DRAM에 있어서의 주요부의 관계를 추상적으로 도시하는 도면.

도 3은 도 1에 도시된 DRAM에 있어서의, RWD선, DQ선, 및 메모리 셀 어레이 블록의 관계를 상세히 도시하는 회로도.

도 4는 도 3에 도시된 회로에서의 동작 파형의 예를 도시하는 도면.

도 5는 본 발명의 제2 실시예에 따른 혼재 DRAM을 개략적으로 도시하는 도면.

도 6은 도 5에 도시된 DRAM에 있어서의 주요부의 관계를 추상적으로 도시하는 도면.

도 7은 본 발명의 제3 실시예에 따른 혼재 DRAM을 개략적으로 도시하는 도면.

도 8은 도 7에 도시된 DRAM에서의 주요부의 관계를 추상적으로 도시하는 도면.

도 9는 본 발명의 제4 실시예에 따른 혼재 DRAM을 개략적으로 도시하는 도면.

도 10은 도 9에 도시된 DRAM에서의 초기 테스트 벡터 발생 블록의 구체예를 도시하는 회로도.

도 11은 도 9에 도시된 DRAM에서의 초기 테스트 판정 블록의 구체예를 도시하는 회로도.

도 12는 도 10 및 도 11에 도시된 회로를 제어하는 신호의 기동 시의 파형을 도시하는 도면.

도 13은 종래의 혼재 DRAM을 개략적으로 도시하는 도면.

도 14는 비교예에 따른 혼재 DRAM을 개략적으로 도시하는 도면.

<도면의 주요 부분에 대한 부호의 설명>

30 : 어레이 영역

31 : 메모리 셀 어레이 블록

31f, 31t : 리던던시용의 스페어 부분

32 : 시프트 스위치 블록(개별선 접속 회로)

33 : 접속 블록

34 : 시프트 스위치 블록((제1) 공통선 접속 회로)

35 : 블록 유닛

36 : 시프트 스위치 블록(제2 공통선 접속 회로)

37 : 초기 테스트 벡터 발생 블록(테스트 신호 발생 회로)

38 : 초기 테스트 판정 블록(테스트 판정 회로)

39 : 결과 유지 레지스터

41 : 데이터 입출력선(IO 선)

43 : 공통 내부 데이터선(RWD 선)

45 : 개별 내부 데이터선(DQ 선)

47 : 개별 내부 RWD 선(중간 접속선)

51 : 감지 증폭기

52 : 컬럼 선택 게이트

53 : DQ 버퍼

54 : 시프트 스위치 블록

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 기억 장치에 관한 것으로, 보다 구체적으로는, 불량 데이터선을 보상하기 위한 개량된 리던던시 구조를 갖는 반도체 기억 장치에 관한 것이다.

최근의 고집적 반도체 기억 장치에 있어서는, 불량 셀을 리던던시 셀로 치환하는 리던던시 기술을 사용하는 것이 보통으로 되어 있다. 특히, 혼재 DRAM에서는, 데이터 입출력선에 대하여 동적으로 데이터선의 접속을 전환하는 기술이 사용된다 (비특허문헌 1 참조).

도 13은 상기한 문헌에 개시된 혼재 DRAM를 개략적으로 도시하는 도면이다. 도 13에 도시한 바와 같이, 이 DRAM의 어레이 영역(10)은, 각각 복수의 메모리 셀이 배열된 복수의 메모리 셀 어레이 블록(11)을 포함한다. 각 메모리 셀 어레이 블록(11)은, 시프트 스위치 블록(12) 및 접속 블록(13)과 조합되어 블록 유닛(15)을 형성한다.

어레이 영역(10)에는, k 개(k는 자연수)의 데이터 입출력선(IO 선)(21)이 접속된다. 어레이 영역(10) 내에는, 복수의 메모리 셀 어레이 블록(11)에 공통으로 배치된 k 개의 공통 내부 데이터선(RWD 선)(23)이 배치된다. RWD 선(23)은 IO 선(21)과 일체적으로 형성된다.

한편, 복수의 메모리 셀 어레이 블록(11)의 각각에는, k+ 2 개의 개별 내부 데이터선(DQ 선)(25)이 배치된다. 이 중, k 개의 DQ 선(25)이, 시프트 스위치 블록(12) 및 접속 블록(13)을 통하여 k 개의 RWD 선(23)에 접속된다.

메모리 셀의 데이터를 판독할 때, 데이터는, DQ 선(25)으로부터 시프트 스위치 블록(12) 및 접속 블록(13)을 통하여 RWD 선(23)에 전송되어, IO 선(21)에 판독된다.

이러한 데이터선의 계층 구조는, 다음과 같은 이유에서 채용된다. (1) 혼재 DRAM에 요구되는 동작 주파수가 상승함에 따라서, 작은 블록 내에서 동작시키는 것이 필요하게 되었다. (2) 다층 배선을 이용할 수 있게 되어, 계층 구조를 취하기 쉽게 되었다. (3) 리던던시를 블록 유닛마다 행할 수 있기 때문에, 동수의 스페어 어레이 부분에 의해 수율을 높일 수 있다. (구제 효율 향상).

도 13에 도시된 DRAM에서는, 동작 시에 다수 존재하는 블록 유닛(15) 중의 어느 것이 선택된다. 블록 유닛(15) 내의 DQ 선(25)은 리던던시성을 갖고, 블록 유닛(15) 밖의 RWD 선(23)에 대하여 선택적으로 접속된다. 이 리던던시 기능을 갖는 선택적인 접속은, 접속 블록(13) 및 시프트 스위치 블록(12)에 의해 달성된다. 시프트 스위치 블록(12)은, 내부 ROM에 저장된 불량 정보에 기초하여, 불량 DQ 선(25)을 피하도록, RWD 선(23)과 DQ 선(25)을 접속한다.

필요한 IO 선(21)은 k 개이고, RWD 선(23)도 k 개 배치된다. DQ 선(25)은 IO 선(21) 및 RWD 선(23)에 대하여 2개의 리던던시 DQ 선을 갖기 위해 k+ 2개 배치된다.

시프트 스위치 블록(12)은, 리던던시 기능을 사용하지 않는 경우, 모든 RWD 선(23)을 메모리 셀 어레이 블록(11) 내의 좌측의 DQ 선(25)에 접속(도 13의 하측의 블록 유닛(15) 참조)하도록 설정된다. 이 때문에, 메모리 셀 어레이 블록(11) 내에서, 부호 16로 나타낸 바와 같이 우측의 2개의 DQ 선에 대응하는 부분이 리던던시용의 스페어 부분이 된다.

<비특허문헌 1>

Namekawa T., 등의 "와이드 데이터 버스를 갖는 DRAM 매크로에 적합한 동적으로 시프트 전환되는 데이터선 리던던시", 1999 Symposium on VLSI Circuits. Digest of Papers, P.P. 149-52.

발명이 이루고자 하는 기술적 과제

본 발명은, 불량 데이터선을 보상하기 위한 개량된 리던던시 구조를 갖는 반도체 기억 장치를 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

본 발명의 제1 시점은, 반도체 기억 장치로서,

각각에 복수의 메모리 셀이 배열된 복수의 메모리 셀 어레이 블록을 포함함과 함께, k 개(k는 자연수)의 데이터 입출력선에 접속된 어레이 영역과,

상기 복수의 메모리 셀 어레이 블록에 공통으로 배치된 k+ m 개(m은 자연수)의 공통 내부 데이터선과,

상기 복수의 메모리 셀 어레이 블록마다 배치된 k+ m+ n 개(n은 자연수)의 개별 내부 데이터선과,

제1 불량 정보 신호에 따라서, 상기 k+ m+ n 개의 개별 내부 데이터선 중 k+ m 개를, 상기 k+ m 개의 공통 내부 데이터선에 각각 접속시키는, 데이터선 리던던시용의 개별선 접속 회로와,

제2 불량 정보 신호에 따라서, 상기 k+ m 개의 공통 내부 데이터선 중 k 개를, 상기 k 개의 데이터 입출력선에 각각 접속시키는, 데이터선 리던던시용의 공통선 접속 회로

를 포함하는 것을 특징으로 한다.

본 발명의 제2 시점은, 반도체 기억 장치로서,

각각에 복수의 메모리 셀이 배열된 복수의 메모리 셀 어레이 블록을 포함함과 함께, k 개(k는 자연수)의 데이터 입출력선에 접속된 어레이 영역과,

상기 복수의 메모리 셀 어레이 블록에 공통으로 배치된 k+ m 개(m은 자연수)의 공통 내부 데이터선과,

상기 복수의 메모리 셀 어레이 블록마다 배치된 k+ m 개의 개별 내부 데이터선과,

제1 불량 정보 신호에 따라서, 상기 k+ m 개의 개별 내부 데이터선 중 k~k+ m 개를, 상기 k+ m 개의 공통 내부 데이터선 중 k~k+ m 개에 각각 접속시키는, 데이터선 리던던시용의 개별선 접속 회로와,

제2 불량 정보 신호에 따라서, 상기 k~k+ m 개의 공통 내부 데이터선 중 k 개를, 상기 k 개의 데이터 입출력선에 각각 접속시키는, 데이터선 리던던시용의 공통선 접속 회로

를 포함하는 것을 특징으로 한다.

본 발명의 제3 시점은, 반도체 기억 장치로서,

각각에 복수의 메모리 셀이 배열된 복수의 메모리 셀 어레이 블록을 포함함과 함께, k 개(k는 자연수)의 데이터 입출력선에 접속된 어레이 영역과,

상기 복수의 메모리 셀 어레이 블록에 공통으로 배치된 k+ m 개(m은 자연수)의 공통 내부 데이터선과,

상기 복수의 메모리 셀 어레이 블록마다 배치된 k+ n 개(n은 자연수)의 개별 내부 데이터선과,

상기 공통 내부 데이터선과 상기 개별 내부 데이터선과의 사이에, 상기 복수의 메모리 셀 어레이 블록마다 배치된 k 개의 중간 접속선과,

제1 불량 정보 신호에 따라서, 상기 k+ n 개의 개별 내부 데이터선 중 k 개를, 상기 k 개의 중간 접속선에 각각 접속시키는, 데이터선 리던던시용의 개별선 접속 회로와,

제2 불량 정보 신호에 따라서, 상기 k+ m 개의 공통 내부 데이터선 중 k 개를, 상기 k 개의 데이터 입출력선에 각각 접속시키는, 데이터선 리던던시용의 제1 공통선 접속 회로와,

상기 제2 불량 정보 신호에 따라서, 상기 k 개의 공통 내부 데이터선을 상기 k 개의 중간 접속선에 각각 접속시키는, 데이터선 리던던시용의 제2 공통선 접속 회로

를 포함하는 것을 특징으로 한다.

본 발명의 제4 시점은, 제3 시점에 따른 반도체 기억 장치에 있어서, 상기 공통 내부 데이터선의 양단에 각각 접속된, 상기 공통 내부 데이터선을 검사하는 테스트 신호를 발생하는 테스트 신호 발생 회로와, 상기 공통 내부 데이터선의 양부를 판정하는 테스트 판정 회로를 더 포함하며, 상기 테스트 판정 회로는 테스트 판정 결과를 유지함과 함께 이것에 기초하여 상기 제2 불량 정보 신호를 생성하는 회로부를 포함하는 것을 특징으로 한다. 바람직하게는, 상기 테스트 신호 발생 회로 및 상기 테스트 판정 회로는, 상기 반도체 기억 장치의 기동 시에 동작하도록 설정된다.

또한, 본 발명에 따른 실시예에는 여러 가지의 단계의 발명이 포함되어 있고, 개시되는 복수의 구성 요건에 있어서의 적당한 조합에 의해 여러 가지의 발명이 추출될 수 있다. 예를 들면, 실시예에 기술되는 전체 구성 요건으로부터 몇 개의 구성 요건이 생략됨으로써 발명이 추출된 경우, 그 추출된 발명을 실시하는 경우에는 생략 부분이 주지 관용 기술로 적절하게 보충되는 것이다.

<발명의 실시예>

본 발명자 등은, 본 발명의 개발의 과정에서, 도 13을 참조하여 진술하였던 바와 같은 DRAM의 리던던시 구조에 있어서 발생하는 문제에 대하여 연구하였다. 그 결과, 본 발명자 등은, 이하에 진술하는 것 같은 지견을 얻었다.

상기 문헌 Namekawa T. 등에서는, 도 13에 도시하는 구조에 있어서, 구제 효율을 높이기 위해서, 액세스되는 어드레스마다 동적으로 접속을 변경하는 방식이 채용된다. 이 방식에서는 라이트 시의 액세스 스피드가 시프트 속도로 율속(律速)되기 때문에, 고속 동작에 방해가 될 것으로 생각된다.

이에 대하여, 도 13에 도시하는 구조에 있어서, 동적으로 시프트시키지 않고, 각 블록 유닛(15)마다 정적으로 시프트시킬 수도 있다. 이와 같이 하면, 시프트 스위치 블록(12)마다 리던던시를 정할 수 있기 때문에, 구제 효율을 동적으로 하는 것처럼 높일 수 있다. 그러나 이 경우, 다음과 같은 문제점이 있다. 즉, RWD 선(23)에 OPEN-SHORT 계의 불량이 있을 때에 구제할 수 없다(RWD의 리던던시를 준비하지 않기 때문).

이것을 회피하기 위해서, 도 14에 도시하는 구조와 같이, RWD 선(23)과 IO 선(21) 사이로 시프트 스위치 블록(12)을 이동시키는 것이 생각된다. 이 경우, 동적인 시프트에서는 속도가 제한되고, 정적인 시프트에서는 구제 효율이 저하한다. 이 때문에, 도 14의 구조로, 도 13의 구조와 마찬가지의 수율을 얻기 위해서는 많은 스페어 셀 블록이 필요해진다.

이하에, 이러한 지견에 기초하여 구성된 본 발명의 실시예에 대하여 도면을 참조하여 설명한다. 또, 이하의 설명에 있어서, 대략 동일한 기능 및 구성을 갖는 구성 요소에 대해서는, 동일 부호를 붙이고, 중복 설명은 필요한 경우에만 행한다.

(제1 실시예)

도 1은 본 발명의 제1 실시예에 따른 혼재 DRAM를 개략적으로 도시하는 도면이다. 도 1에 도시한 바와 같이, 이 DRAM의 어레이 영역(30)은, 각각에 복수의 메모리 셀이 배열된 복수의 메모리 셀 어레이 블록(31)을 포함한다. 각 메모리 셀 어레이 블록(31)은, 시프트 스위치 블록(개별선 접속 회로)(32) 및 접속 블록(33)과 조합되어 블록 유닛(35)을 형성한다.

어레이 영역(30)에는, k 개(k는 자연수)의 데이터 입출력선(IO 선)(41)이 접속된다. 어레이 영역(30) 내에는, 복수의 메모리 셀 어레이 블록(31)에 공통으로 배치된 k+ 2 (k+ m:m=2) 개의 공통 내부 데이터선(RWD 선)(43)이 배치된다. 이 중, k 개의 RWD 선(43)이, 복수의 메모리 셀 어레이 블록(31)에 공통으로 배치된 시프트 스위치 블록(공통선 접속 회로)(34)을 통하여 k 개의 IO 선(41)에 접속된다.

한편, 복수의 메모리 셀 어레이 블록(31)의 각각에는, k+ 4(k+ m+ n:n=2) 개의 개별 내부 데이터선(DQ 선)(45)이 배치된다. 이 중, k+ m 개의 DQ 선(45)이, 시프트 스위치 블록(32) 및 접속 블록(33)을 통하여 k+ m 개의 RWD 선(43)에 접속된다.

메모리 셀의 데이터를 판독할 때, 데이터는, DQ 선(45)으로부터 시프트 스위치 블록(32) 및 접속 블록(33)을 통하여 RWD 선(43)에 전송되고, 또한 시프트 스위치 블록(34)을 통하여 IO 선(41)에 판독된다.

도 1에 도시된 DRAM에서는, 동작 시에 다수의 블록 유닛(35) 중의 어느 것이 선택된다. 블록 유닛(35) 내의 DQ 선(45)은 리던던시성을 갖고, 블록 유닛(35)밖의 RWD 선(43)에 대하여 선택적으로 접속된다. 이 리던던시 기능을 갖는 선택적인 접속은, 접속 블록(33) 및 시프트 스위치 블록(32)에 의해 달성된다. 시프트 스위치 블록(32)은, 내부 ROM에 저장된 불량 정보에 기초하여, 불량 DQ 선(45)을 피하도록, RWD 선(43)과 DQ 선(45)을 접속한다.

또한, 어레이 영역(30) 내의 RWD 선(43)도 리던던시성을 갖고, 어레이 영역(30) 밖의 IO 선(41)에 대하여 선택적으로 접속된다. 이 리던던시 기능을 갖는 선택적인 접속은, 시프트 스위치 블록(34)에 의해 달성된다. 시프트 스위치 블록(34)은, 내부 ROM에 저장된 불량 정보에 기초하여, 불량 RWD 선(43)을 피하도록, IO 선(41)과 RWD 선(43)을 접속한다.

필요한 IO 선(41)은 k 개이다. RWD 선(43)은 IO 선(41)에 대하여 2개의 리던던시 RWD 선을 갖기 위해서 k+ 2개 배치된다. DQ 선(45)은 RWD 선(43)에 대하여 2개의 리던던시 DQ 선을 더 갖기 위해서 k+ 4개 배치된다.

시프트 스위치 블록(32)은, 리던던시 기능을 사용하지 않는 경우, 모든 RWD 선(43)을 메모리 셀 어레이 블록(31) 내의 좌측의 DQ 선(45)에 접속하도록 설정된다. 마찬가지로, 시프트 스위치 블록(34)은, 리던던시 기능을 사용하지 않는 경우, 모든 IO 선(41)을 어레이 영역(30) 내의 좌측의 RWD 선(43)에 접속하도록 설정된다. 이 때문에, 메모리 셀 어레이 블록(31) 내에서, 부호 31f로 나타낸 바와 같이 우측의 4개의 DQ 선에 대응하는 부분이 리던던시용의 스페어 부분이 된다.

도 3은 도 1에 도시된 DRAM에 있어서의, RWD 선(43), DQ 선(45), 및 메모리 셀 어레이 블록(31)의 관계를 상세히 도시하는 회로도이다. 메모리 셀 어레이 블록(31)의 메모리 셀에는, 상보형의 비트선쌍 BLt<n>, BLc<n>이 접속된다. 비트선쌍 BLt<n>, BLc<n>은 감지 증폭기(51)에 접속된다.

메모리 셀의 데이터를 판독할 때, 대응하는 워드선(도시 생략)이 선택되어, 선택 메모리 셀로부터의 신호가 비트선쌍 BLt<n>, BLc<n>의 한쪽으로 출력된다. 비트선쌍의 다른 쪽에는, 비선택 메모리 셀에서의 참조 신호가 출력된다. 양 신호는, 감지 증폭기(51)에 의해 비교 및 증폭되고, 이에 따라 선택 메모리 셀의 데이터의 값이 판단된다.

비트선쌍 BLt<n>, BLc<n>은 컬럼 선택 게이트(52)를 통하여 상보형(true-complementary)의 DQ 선쌍 DQt<m>, DQc<m>에 각각 접속된다. DQ 선쌍 DQt<m>, DQc<m>은 도 1에 도시된 DQ 선(45)에 대응한다. 단지, 도 1에서는, DQ 선쌍(2개의 배선)을 1개의 선(45)으로 표현하고 있다.

각 컬럼 선택 게이트(52)는 NMOS 트랜지스터로 이루어진다. 컬럼 선택 게이트(52)의 트랜지스터의 게이트 전극에는, 선택 신호 CSL<j>가 공급된다. 비트선쌍 및 DQ 선쌍은 함께, 리드 시간에도 라이트 시간에도 동작한다.

DQ 선쌍 DQt<m>, DQc<m>은 DQ 버퍼(53)에 접속된다. DQ 버퍼(53)는, 외부로부터의 데이터 입력선 LWD<m>과, 외부로의 데이터 출력선 LRD<m>을 갖는다. 리드 시에는 DQ 선쌍 DQt<m>, DQc<m>의 데이터가 데이터 출력선 LRD<m>에 전달되고, 라이트 시에는 데이터 입력선 LWD<m>의 데이터가 DQ 선쌍 DQt<m>, DQc<m>에 전달된다.

데이터 입력선 LWD<m> 및 데이터 출력선 LRD<m>은, 시프트 스위치 블록(54)을 통하여, RWD 선 RD<j> 및 RWD 선 WD<j>에 각각 접속된다. 시프트 스위치 블록(54)은 도 1에 도시된 시프트 스위치 블록(32)에 대응한다. RWD 선 RD<j>, WD<j>은 도 1에 도시된 RWD 선(43)에 상당한다. 단지, 도 1에서는, RD 및 WD의 2개분의 신호선을 1개의 선(43)으로 표현하고 있다.

도 4는 도 3에 도시된 회로에서의 동작 파형의 예를 도시하는 도면이다. 여기서는, 라이트 "1", 라이트 "O", 리드 "1", 리드 "0"의 동작을 행하는 경우를 도시한다. 도 4로부터, WD선/LWD선, RD선/LRD선의 신호는 상보 신호로 되어있지 않지만, DQ 선쌍, BL 선쌍의 신호는 상보 신호로 되어있는 것을 알 수 있다.

도 2는 도 1에 도시된 DRAM에서의, IO 선(41), 시프트 스위치 블록(34), RWD 선(43), 시프트 스위치 블록(32), 및 DQ 선(45)의 관계를 추상적으로 도시하는 도면이다. 여기서, k=4로 하여 도시한다. RWD 선(43)은 k+ 2=6개 배치되고, DQ 선(45)은 k+ 4=8개 배치된다.

시프트 스위치 블록(32, 34)의 각 스위치 소자는, 정면 및 좌우의 합계 3개의 단자 사이에서 전환이 가능해진다. 시프트 스위치 블록(32, 34)의 시프트의 상태는, 신호 RDCNT1, RDCNT2에 의해서 각각 결정된다. 신호 RDCNT1, RDCNT2는, 2개의 내부 ROM에 각각 저장된 리던던시 정보에 기초한다.

구체적으로는, 시프트 스위치 블록(32)은, DQ 선(45)의 불량 정보 신호 RD CNT1에 의해, 불량 DQ 선을 제외한 정상적인 k+ m (4+ 2=6) 개의 DQ 선(45)을 선택하여, k+ m 개의 RWD 선(43)에 접속하도록 동작한다. 또한, 시프트 스위치 블록(34)은, RWD 선(43)의 불량 정보 신호 RDCNT2에 의해, 불량 RWD 선을 제외한 정상적인 k (4) 개의 RWD 선(43)을 선택하여, k 개의 IO 선(41)에 접속하도록 동작한다. 따라서, 정상적인 k 개의 RWD 선(43)을 통하여, IO 선(41)과 정상적인 k 개의 DQ 선(45)을 접속할 수 있다.

도 1에 도시된 DRAM에 따르면, 도 13에 도시된 DRAM과 비교하여, 메모리 셀 어레이 블록(31) 내에 리던던시용의 스페어 부분이 많이 필요해진다. 그러나, RWD 선(43)에 2개의 불량이 발생하고, 또한 DQ 선(45)에 2개의 불량이 발생한 모든 상태를 구제할 수 있다.

(제2 실시예)

도 5는 본 발명의 제2 실시예에 따른 혼재 DRAM를 개략적으로 도시하는 도면이다. 도 5에 도시한 바와 같이, 이 DRAM의 어레이 영역(30)에는, k 개(k는 자연수)의 데이터 입출력선(IO 선)(41)이 접속된다. 어레이 영역(30) 내에는, 복수의 메모리 셀 어레이 블록(31)에 공통으로 배치된 k+ 2 (k+ m:m=2) 개의 공통 내부 데이터선(RWD 선)(43)이 배치된다. 복수의 메모리 셀 어레이 블록(31)의 각각에는, k+ 2 (k+ m) 개의 개별 내부 데이터선(DQ 선)(45)이 배치된다.

k+ 2개의 RWD 선(43) 중의 k 개가, 복수의 메모리 셀 어레이 블록(31)에 공통으로 배치된 시프트 스위치 블록(공통선 접속 회로)(34)을 통하여 k 개의 IO 선(41)에 접속된다. 한편, k+ 2개의 DQ 선(45) 중의 k～k+ 2개가, 복수의 메모리 셀 어레이 블록(31)의 각각에 배치된 시프트 스위치 블록(개별선 접속 회로)(32) 및 접속 블록(33)을 통하여 k～k+ 2개의 RWD 선(43)에 접속된다. 메모리 셀 어레이 블록(31) 내에서, 부호 31t로 나타낸 바와 같이 우측의 2개의 DQ 선에 대응하는 부분이 리던던시용의 스페어 부분이 된다.

도 6은 도 5에 도시된 DRAM에서의, IO 선(41), 시프트 스위치 블록(34), RWD 선(43), 시프트 스위치 블록(32), 및 DQ 선(45)의 관계를 추상적으로 도시하는 도면이다. 여기서, k=4로 하여 도시한다. RWD 선(43)은 k+ 2=6개 배치되고, DQ 선(45)은 k+ 2=6개 배치된다.

시프트 스위치 블록(32, 34)의 각 스위치 소자는, 정면 및 좌우의 합계 3개의 단자 사이에서 전환이 가능해진다. 시프트 스위치 블록(32, 34)의 시프트의 상태는, 신호 RDCNT11, RDCNT12에 의해서 각각 결정된다. 신호 RDCNT11, RDCNT12는, 2개의 내부 ROM에 각각 저장된 리던던시 정보에 기초한다.

구체적으로는, 시프트 스위치 블록(32)은, DQ 선(45)의 불량 정보 신호 RD CNT11에 의해, 불량 DQ 선을 제외한 정상적인 k (4)～k+ m (4+ 2=6) 개의 DQ 선(45)을 선택하여, k～k+ m 개의 RWD 선(43)에 접속하도록 동작한다. 또한, 시프트 스위치 블록(34)은, RWD 선(43)의 불량 정보 신호 RDCNT12에 의해, 상술한 k～k+ m 개의 RWD 선(43) 중에서 불량 RWD 선을 제외한 정상적인 k (4) 개의 RWD 선(43)을 선택하여, k 개의 IO 선(41)에 접속하도록 동작한다. 따라서, 정상적인 k 개의 RWD 선(43)을 통하여, IO 선(41)과 정상적인 k 개의 DQ 선(45)을 접속할 수 있다.

도 5에 도시된 DRAM에 따르면, 도 1에 도시된 DRAM에 비교하여, 메모리 셀 어레이 블록(31) 내에 리던던시용의 스페어 부분은 적게 된다(본 실시의 형태에서는, 도 13에 도시된 DRAM와 동일한 수). 또한, 도 6에 도시한 바와 같이, RWD 선(43)에 2개의 불량이 발생하고, 또한 DQ 선(45)에 2개의 불량이 발생한 몇 개의 상태를 구제할 수 있다.

한편, 도 5에 도시된 DRAM에서는, 시프트 스위치 블록(32)의 각 스위치 소자의 기능에 관계하여, RWD 선(43)에 2개의 불량이 발생하고, 또한 DQ 선(45)에 2개의 불량이 발생한 상태에서 구제할 수 없는 경우가 있다. 이 문제는, 시프트 스위치 블록(32)의 각 스위치 소자의 전환 가능한 범위를, 정면 및 좌우의 이외의 단자로도 넓어지게 함으로써 해소 할 수 있다.

(제3 실시예)

도 7은 본 발명의 제3 실시예에 따른 혼재 DRAM를 개략적으로 도시하는 도면이다. 도 7에 도시한 바와 같이, 이 DRAM의 어레이 영역(30)에는, k 개(k는 자연수)의 데이터 입출력선(IO 선)(41)이 접속된다. 어레이 영역(30) 내에는, 복수의 메모리 셀 어레이 블록(31)에 공통으로 배치된 k+ 2(k+ m:m=2)개의 공통 내부 데이터선(RWD 선)(43)이 배치된다. 복수의 메모리 셀 어레이 블록(31)의 각각에는, k+ 2(k+ n:n=2)개의 개별 내부 데이터선(DQ 선)(45)이 배치된다. RWD 선(43)과 DQ 선(45) 사이에서, 복수의 메모리 셀 어레이 블록의 각각에는, k 개의 개별 내부 RWD 선(중간 접속선)(47)이 배치된다.

k+ 2개의 RWD 선(43) 중의 k 개가, 복수의 메모리 셀 어레이 블록(31)에 공통으로 배치된 시프트 스위치 블록(제1 공통선 접속 회로)(34)을 통하여 k 개의 IO 선(41)에 접속된다. 상기 k 개의 RWD 선(43)은 또한, 복수의 메모리 셀 어레이 블록(31)의 각각에 배치된 접속 블록(33) 및 시프트 스위치 블록(제2 공통선 접속 회로)(36)를 통하여 k 개의 중간 접속선(47)에 접속된다. 한편, k+ 2개의 DQ 선(45) 중의 k 개가, 복수의 메모리 셀 어레이 블록(31)의 각각에 배치된 시프트 스위치 블록(개별선 접속 회로)(32)을 통하여 k 개의 중간 접속선(47)에 접속된다. 메모리 셀 어레이 블록(31) 내에서, 부호 31t로 나타낸 바와 같이 우측의 2개의 DQ 선에 대응하는 부분이 리던던시용의 스페어 부분이 된다.

도 8은 도 7에 도시된 DRAM에서의, IO 선(41), 시프트 스위치 블록(34), RWD 선(43), 시프트 스위치 블록(36), 중간 접속선(47), 시프트 스위치 블록(32), 및 DQ 선(45)의 관계를 추상적으로 도시하는 도면이다. 여기서, k=4로 하여 도시한다. RWD 선(43)은 k+ 2=6개 배치되고, 중간 접속선(47)은 k=4개 배치되고, DQ 선(45)은 k+ 2=6개 배치된다.

k+ 2=6개의 공통 RWD 선(43)의 기능적인 양단이 되는, IO 선(41)측의 접속단 및 어레이 블록(35)측의 접속단에, 시프트 스위치 블록(34, 36)이 각각 배치된다. 즉, RWD 선(43)의 기능적인 입구와 출구에, 시프트 스위치 블록(34, 36)이 대상이 되는 상태로 배치된다.

시프트 스위치 블록(36)은, 도 1에 도시된 시프트 스위치 블록(32, 34)과 마찬가지인 구조를 갖는다. 즉, 시프트 스위치 블록(32, 34, 36)의 각 스위치 소자는, 정면 및 좌우의 합계 3개의 단자 사이에서 전환 가능해진다. 시프트 스위치 블록(32)의 시프트의 상태는, 신호 RDCNT21에 의해서 결정된다. 시프트 스위치 블록(34, 36)의 시프트의 상태는, 신호 RDCNT22에 의해서 결정된다. 신호 RDCNT21, RDCNT22는, 2개의 내부 ROM에 각각 저장된 리던던시 정보에 기초한다.

구체적으로는, 시프트 스위치 블록(32)은, 어레이 블록(35) 마다의 불량 정보 신호 RDCNT21에 의해, 불량 DQ 선을 제외한 정상적인 k (4) 개의 DQ 선(45)을 선택하여, 중간 접속선(47)에 접속하도록 동작한다. 또한, 시프트 스위치 블록(34, 36)은, RWD 선(43)의 불량 정보 신호 RDCNT22에 의해, 불량 RWD 선을 제외한 정상적인 k (4) 개의 RWD 선(43)을 선택하여, IO 선(41) 및 중간 접속선(개별 RWD 선)(47)에 접속하도록 동작한다. 따라서, 정상적인 k 개의 RWD 선(43)을 통하여, IO 선(41)과 정상적인 k 개의 DQ 선(45)을 접속할 수 있다.

도 7에 도시된 DRAM에 따르면, 도 5에 도시된 DRAM에 비교하여, 공통 RWD 선(43)과 DQ 선(45) 사이에, 시프트 스위치 블록(36) 및 중간 접속선(개별 RWD 선)(47)을 증설할 필요가 있다. 그러나, RWD 선(43)에 2개의 불량이 발생하고, 또한 DQ 선(45)에 2개의 불량이 발생한 모든 상태를 구제할 수 있다. 또한, RWD 선(43) 및 DQ 선(45)의 불량을 각각 독립적으로 구제할 수 있기 때문에, 구제해(救濟解) 도출이 용이해진다.

또, 중간 접속선(47)의 길이는 될 수 있는 한 짧은 것이 바람직하다. 따라서, 예를 들면, 각 중간 접속선(47)은, 시프트 스위치 블록(32, 36)에 공통의 단자로서 형성할 수 있다.

(제4 실시예)

도 9는 본 발명의 제4 실시예에 따른 혼재 DRAM를 개략적으로 도시하는 도면이다. 도 7에 도시된 DRAM에 있어서, DRAM의 기동 시에 RWD 선(43)의 불량을 테스트하여 치환하는 구조를 편입시킴으로서, 구제 효율이 높은 리던던시 기능을 실현할 수 있다. 이 경우, 구제해(救濟解) 도출은, 메모리 셀 어레이 블록(31) 용으로 종래의 방식을 그대로 이용하는 것만이 필요해진다. 도 9에 도시된 DRAM은 이러한 관점에 기초하여 구성된다.

도 9에 도시한 바와 같이, 이 DRAM의 어레이 영역(30)에는, k 개(k는 자연수) 의 데이터 입출력선(IO 선)(41)이 접속된다. 어레이 영역(30) 내에는, 복수의 메모리 셀 어레이 블록(31)에 공통으로 배치된 k+ 2 (k+ m:m=2) 개의 공통 내부 데이터선(RWD 선)(43)이 배치된다. 복수의 메모리 셀 어레이 블록(31)의 각각에는, k+ 2 (k+ n:n=2) 개의 개별 내부 데이터선(DQ 선)(45)이 배치된다. RWD 선(43)과 DQ 선(45) 사이에서, 복수의 메모리 셀 어레이 블록의 각각에는, k 개의 개별 내부 RWD 선(중간 접속선)(47)이 배치된다.

k+ 2 개의 RWD 선(43) 중의 k 개가, 복수의 메모리 셀 어레이 블록(31)에 공통으로 배치된 시프트 스위치 블록(제1 공통선 접속 회로)(34)을 통하여 k 개의 IO 선(41)에 접속된다. 이와 같은 k 개의 RWD 선(43)은 또한, 복수의 메모리 셀 어레이 블록(31)의 각각에 배치된 접속 블록(33) 및 시프트 스위치 블록(제2 공통선 접속 회로)(36)를 통하여 k 개의 중간 접속선(47)에 접속된다. 한편, k+ 2 개의 DQ 선(45) 중의 k 개가, 복수의 메모리 셀 어레이 블록(31)의 각각에 배치된 시프트 스위치 블록(개별선 접속 회로)(32)을 통하여 k 개의 중간 접속선(47)에 접속된다.

k+ 2개의 공통 RWD 선(43)의 구조적인 양단이 되는, IO 선(41) 측의 접속단 및 IO 선(41)으로부터 가장 먼 블록 유닛(35) 측의 접속단에, 초기 테스트 판정 블록(테스트 판정 회로)(38) 및 초기 테스트 벡터 발생 블록(테스트 신호 발생 회로)(37)가 각각 배치된다. 구체적으로는, 초기 테스트 벡터 발생 블록(37)은, IO 선(41)으로부터 가장 먼 블록 유닛(35) 내에서, 접속 블록(33)과 시프트 스위치 블록(36) 사이에 배치된다. 또한, 초기 테스트 판정 블록(38)은, 시프트 스위치 블록(34)과 RWD 선(43) 사이에 배치된다.

초기 테스트 벡터 발생 블록(37)은, DRAM의 기동 시에 RWD 선(43)을 검사하는 테스트 패턴을 발생시키기 위해서 사용된다. 예를 들면, 이 테스트 패턴은, RWD 선(43)에 대하여 2회의 테스트를 행하도록 설정되어, 1회째는 배선이 배열되어 있는 순서대로「10101010…」를 발생시키고, 2회째는「010101…」을 발생시킨다.

한편, 초기 테스트 판정 블록(38)은, 상기한 바와 같이 하여 발생한 패턴을 비교하여, RWD 선(43)의 양부를 판정하기 위해서 사용된다. 수신 패턴이 상기 패턴과 동일한 경우에는 배선의 상태는 양호로서, 결과 유지 레지스터(39)에 "0"가 입력된다. 수신 패턴이 상기 패턴과 다른 경우에는 배선의 상태는 불량으로서, 결과 유지 레지스터(39)에 "1"가 입력된다.

결과 유지 레지스터(39)의 출력은 테스트 후 유효가 되고, 이 출력에 기초하여, 시프트 스위치 블록(34, 36)은, 불량 RWD 선을 제외한 정상적인 k 개의 RWD 선(43)을 선택하도록 동작한다. 따라서, 기동 종료 시에는 자동적으로 정상적인 k 개의 RWD 선(43)을 통하여 IO 선(41)과 중간 접속선(개별 RWD 선)(47)을 접속할 수 있다. 또, 시프트 스위치 블록(32)은, 내부 ROM로부터의 어레이 블록(35) 마다의 불량 정보 신호 RDCNT21에 의해, 불량 DQ 선을 제외한 정상적인 k 개의 DQ 선(45)을 선택하여, 중간 접속선(47)에 접속하도록 동작한다.

도 10은 초기 테스트 벡터 발생 블록(37)의 구체예를 도시하는 회로도이다. 도 10에 도시한 바와 같이, 이 회로는, 인버터(71, 72, 73) 및 클럭드 인버터(74, 75)를 포함한다. 초기 테스트 시간이 아닌 경우, INITESTp는 "L"에서, 클럭드 인버터(74, 75)가 출력 Hi-Z (고 임피던스 상태)로 되어, 통상의 동작을 방해하지 않는다. 초기 테스트 시에는, INITESTp는 "H"가 되고, DFLGp 및 그 반전이 RWD 선인 RWD[k+ 1], RWD[k]에 각각 출력된다.

도 11은 초기 테스트 판정 블록(38)의 구체예를 도시하는 회로도이다. 도 11에 도시한 바와 같이, 이 회로는, 인버터(81, 85), 멀티플렉서(82, 86), NOR 게이트(83, 87), 및 DFF 회로부(84, 88)를 포함한다. 멀티플렉서(82, 86)는, s 입력이 "H"인 때에는 입력 단자1로부터의 입력을 출력하고, s 입력이 "L"인 때에는 입력 단자0로부터의 입력을 출력한다. DFF 회로부(84, 88)는, CLK 입력의 상승에서 입력 단자 D를 래치하여 출력 단자 Q에 출력한다. DFF 회로부(84, 88)는, 도 9에 도시된 결과 유지 레지스터(39)에 상당한다.

RWD[k]에 관하여, DFF 회로부(84)에는, DFLGp이 "H"인 때에는 RWD[k]가 그대로 입력되고, DFLGp가 "L"인 때에는 RWD[k]가 반전되어 입력된다. NOR 게이트(83)는, Qp[k]가 "H"가 되면 이것을 그대로 "H"로 유지하기 위해서 사용된다. 이 때문에, DFF 회로부(84)에서는, Qp[k]를 "L"로 초기화할 필요가 있다.

RWD[k+ 1]측은, 입력이 RWD[k]측에 대하여 반전되어 있을 것이 예상되기 때문에, 인버터(85)의 위치가 인버터(81)의 위치와는 달라져 있다. 그러나, RWD[k+ 1]측의 동작 형태는, RWD[k]측의 동작 형태와 기본적으로 동일하다

도 12는 도 10 및 도 11에 도시된 회로를 제어하는 신호 INITESTp, DFLGp, INITCLKp의 기동 시의 파형을 도시하는 도면이다. 도 10 및 도 11에 도시된 회로를 도 12에 도시된 파형에 의해 제어함으로써, RWD 선(43)에 불량이 있는 경우, 대응하는 DFF 회로부(결과 유지 레지스터)(84, 88)에 "H"가 유지된다. 이 후, 이 출력을 유효하게 하면 시프트 스위치 블록(34)(도 9 참조)이 불량 RWD 선(43)을 피하도록 접속 동작을 행한다. 또한, 이 결과는 각 블록 유닛(35) 내의 시프트 스위치 블록(36)에도 전송되어, 시프트 스위치 블록(36)이 마찬가지의 접속 동작을 행한다.

따라서, 도 9에 도시된 DRAM에 따르면, 기동 시에 RWD 선(43)의 불량을 자동적으로 구제할 수 있다. 이 경우, 구제해를 도출하는 것은 각 블록 유닛(35) 내의 DQ 선(45) 불량 만에 한정되게 된다. 따라서, 구제해 도출을 종래와 마찬가지의 방식으로 행하는 것이 가능해진다.

제1 내지 제4 실시예에 따르면, 시프트 스위치 블록(32, 34, 36)의 구성을 바꾸는 것에 의해 각각 특징이 있는 리던던시 기능을 얻을 수 있다. 상기 실시예의 특징은, 필요한 스펙에 따라서 구분하여 사용할 수 있다.

또, 본 발명의 사상의 범주에 있어서, 당업자이면, 각종의 변경예 및 수정예를 고안할 수 있는 것으로서, 이들 변경예 및 수정예에 대해서도 본 발명의 범위에 속하는 것이 이해될 것이다.

발명의 효과

본 발명에 따르면, 불량 데이터선을 보상하기 위한 개량된 리던던시 구조를 갖는 반도체 기억 장치를 제공할 수 있다.

(57) 청구의 범위

청구항 1.

각각 복수의 메모리 셀이 배열된 복수의 메모리 셀 어레이 블록을 포함함과 함께, k 개(k는 자연수)의 데이터 입출력선에 접속된 어레이 영역과,

상기 복수의 메모리 셀 어레이 블록에 공통으로 배치된 k+ m 개(m은 자연수)의 공통 내부 데이터선과,

상기 복수의 메모리 셀 어레이 블록마다 배치된 k+ m+ n 개(n은 자연수)의 개별 내부 데이터선과,

제1 불량 정보 신호에 따라서, 상기 k+ m+ n 개의 개별 내부 데이터선 중 k+ m 개를, 상기 k+ m 개의 공통 내부 데이터선에 각각 접속시키는, 데이터선 리던던시용의 개별선 접속 회로와,

제2 불량 정보 신호에 따라서, 상기 k+ m 개의 공통 내부 데이터선 중 k 개를, 상기 k 개의 데이터 입출력선에 각각 접속시키는, 데이터선 리던던시용의 공통선 접속 회로

를 포함하는 것을 특징으로 하는 반도체 기억 장치.

청구항 2.

제1항에 있어서,

상기 개별 내부 데이터선은, 상기 공통 내부 데이터선의 k+ m 개의 배선에 대하여 배치된, k+ m+ n 조의 상호 상보 관계를 갖는 배선쌍을 포함하는 것을 특징으로 하는 반도체 기억 장치.

청구항 3.

각각에 복수의 메모리 셀이 배열된 복수의 메모리 셀 어레이 블록을 포함함과 함께, k 개(k는 자연수)의 데이터 입출력선에 접속된 어레이 영역과,

상기 복수의 메모리 셀 어레이 블록에 공통으로 배치된 k+ m 개(m은 자연수)의 공통 내부 데이터선과,

상기 복수의 메모리 셀 어레이 블록마다 배치된 k+ m 개의 개별 내부 데이터선과,

제1 불량 정보 신호에 따라서, 상기 k+ m 개의 개별 내부 데이터선 중 k~k+ m 개를, 상기 k+ m 개의 공통 내부 데이터선 중 k~k+ m 개에 각각 접속시키는, 데이터선 리던던시용의 개별선 접속 회로와,

제2 불량 정보 신호에 따라서, 상기 k~k+ m 개의 공통 내부 데이터선 중 k 개를, 상기 k 개의 데이터 입출력선에 각각 접속시키는, 데이터선 리던던시용의 공통선 접속 회로

를 포함하는 것을 특징으로 하는 반도체 기억 장치.

청구항 4.

제3항에 있어서,

상기 개별 내부 데이터선은, 상기 공통 내부 데이터선의 k+ m 개의 배선에 대하여 배치된, k+ m 조의 상호 상보 관계를 갖는 배선쌍을 포함하는 것을 특징으로 하는 반도체 기억 장치.

청구항 5.

제2항 또는 제4항에 있어서,

각 메모리 셀 어레이 블록에 접속된 복수의 상보 비트선쌍과, 메모리 셀의 데이터를 판독하기 위해서 각 상보 비트선쌍에 접속된 감지 증폭기를 더 포함하며, 상기 공통 내부 데이터선의 배선쌍의 각 배선은, 상기 상보 비트선쌍의 각 배선에 각각 접속되는 것을 특징으로 하는 반도체 기억 장치.

청구항 6.

제1항 또는 제2항에 있어서,

상기 개별선 접속 회로는, 상기 공통 내부 데이터선의 각각에 대한 상기 개별 내부 데이터선의 접속을, 불량 배선으로부터 인접한 정상 배선으로 전환하는 시프트 스위치를 포함하는 것을 특징으로 하는 반도체 기억 장치.

청구항 7.

제1항 또는 제2항에 있어서,

상기 공통선 접속 회로는, 상기 데이터 입출력선의 각각에 대한 상기 공통 내부 데이터선의 접속을, 불량 배선으로부터 인접한 정상 배선으로 전환하는 시프트 스위치를 포함하는 것을 특징으로 하는 반도체 기억 장치.

청구항 8.

각각 복수의 메모리 셀이 배열된 복수의 메모리 셀 어레이 블록을 포함함과 함께, k 개(k는 자연수)의 데이터 입출력선에 접속된 어레이 영역과,

상기 복수의 메모리 셀 어레이 블록에 공통으로 배치된 k+ m 개(m은 자연수)의 공통 내부 데이터선과,

상기 복수의 메모리 셀 어레이 블록마다 배치된 k+ n 개(n은 자연수)의 개별 내부 데이터선과,

상기 공통 내부 데이터선과 상기 개별 내부 데이터선과의 사이에, 상기 복수의 메모리 셀 어레이 블록마다 배치된 k 개의 중간 접속선과,

제1 불량 정보 신호에 따라서, 상기 k+ n 개의 개별 내부 데이터선 중 k 개를, 상기 k 개의 중간 접속선에 각각 접속시키는, 데이터선 리던던시용의 개별선 접속 회로와,

제2 불량 정보 신호에 따라서, 상기 k+ m 개의 공통 내부 데이터선 중 k 개를, 상기 k 개의 데이터 입출력선에 각각 접속시키는, 데이터선 리던던시용의 제1 공통선 접속 회로와,

상기 제2 불량 정보 신호에 따라서, 상기 k 개의 공통 내부 데이터선을 상기 k 개의 중간 접속선에 각각 접속시키는, 데이터선 리던던시용의 제2 공통선 접속 회로

를 포함하는 것을 특징으로 하는 반도체 기억 장치.

청구항 9.

제8항에 있어서,

상기 공통 내부 데이터선의 양단에 각각 접속된, 상기 공통 내부 데이터선을 검사하는 테스트 신호를 발생시키는 테스트 신호 발생 회로와, 상기 공통 내부 데이터선의 양부(良否)를 판정하는 테스트 판정 회로를 더 포함하며, 상기 테스트 판정 회로는 테스트 판정 결과를 유지함과 함께 이에 기초하여 상기 제2 불량 정보 신호를 생성하는 회로부를 포함하는 것을 특징으로 하는 반도체 기억 장치.

청구항 10.

제9항에 있어서,

상기 테스트 신호 발생 회로 및 상기 테스트 판정 회로는, 상기 반도체 기억 장치의 기동 시에 동작하도록 설정되는 것을 특징으로 하는 반도체 기억 장치.

청구항 11.

제8항에 있어서,

상기 중간 접속선은, 상기 제2 공통선 접속 회로 및 상기 개별선 접속 회로에 공통인 단자로부터 실질적으로 이루어지는 것을 특징으로 하는 반도체 기억 장치.

청구항 12.

제8항에 있어서,

상기 개별 내부 데이터선은, 상기 중간 접속선의 k 개의 배선에 대하여 배치된, k+ n 조의 상호 상보 관계를 갖는 배선쌍을 포함하는 것을 특징으로 하는 반도체 기억 장치.

청구항 13.

제12항에 있어서,

각 메모리 셀 어레이 블록에 접속된 복수의 상보 비트선쌍과, 메모리 셀의 데이터를 판독하기 위해서 각 상보 비트선쌍에 접속된 감지 증폭기를 더 포함하며, 상기 공통 내부 데이터선의 배선쌍의 각 배선은, 상기 상보 비트선쌍의 각 배선에 각각 접속되는 것을 특징으로 하는 반도체 기억 장치.

청구항 14.

제8항에 있어서,

상기 개별선 접속 회로는, 상기 공통 내부 데이터선의 각각에 대한 상기 개별 내부 데이터선의 접속을, 불량 배선으로부터 인접한 정상 배선으로 전환하는 시프트 스위치를 포함하는 것을 특징으로 하는 반도체 기억 장치.

청구항 15.

제8항에 있어서,

상기 제1 공통선 접속 회로는, 상기 데이터 입출력선의 각각에 대한 상기 공통 내부 데이터선의 접속을, 불량 배선으로부터 인접한 정상 배선으로 전환하는 시프트 스위치를 포함하는 것을 특징으로 하는 반도체 기억 장치.

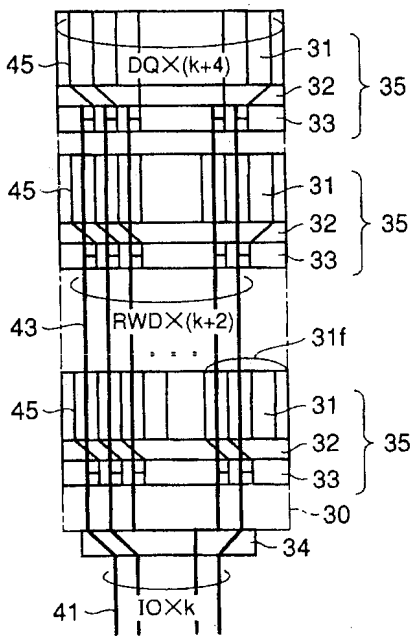
청구항 16.

제8항에 있어서,

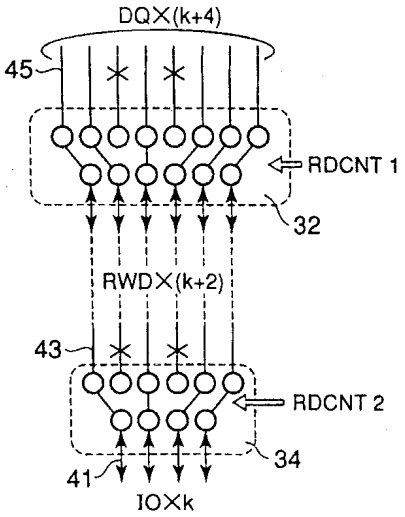
상기 제2 공통선 접속 회로는, 상기 중간 접속선의 각각에 대한 상기 공통 내부 데이터선의 접속을, 불량 배선으로부터 인접한 정상 배선으로 전환하는 시프트 스위치를 포함하는 것을 특징으로 하는 반도체 기억 장치.

도면

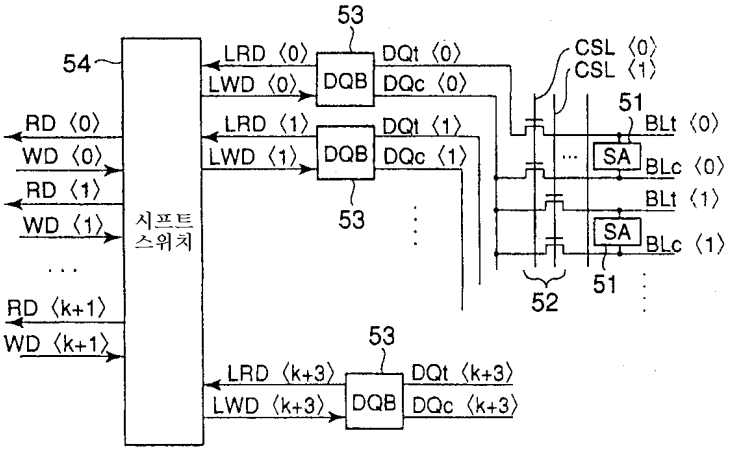
도면1


45
DQX(k+4)
31
32
33
35
45
31
32
33
35
43
RWDX(k+2)
31f
45
31
32
33
35
30
34
41
IOXk

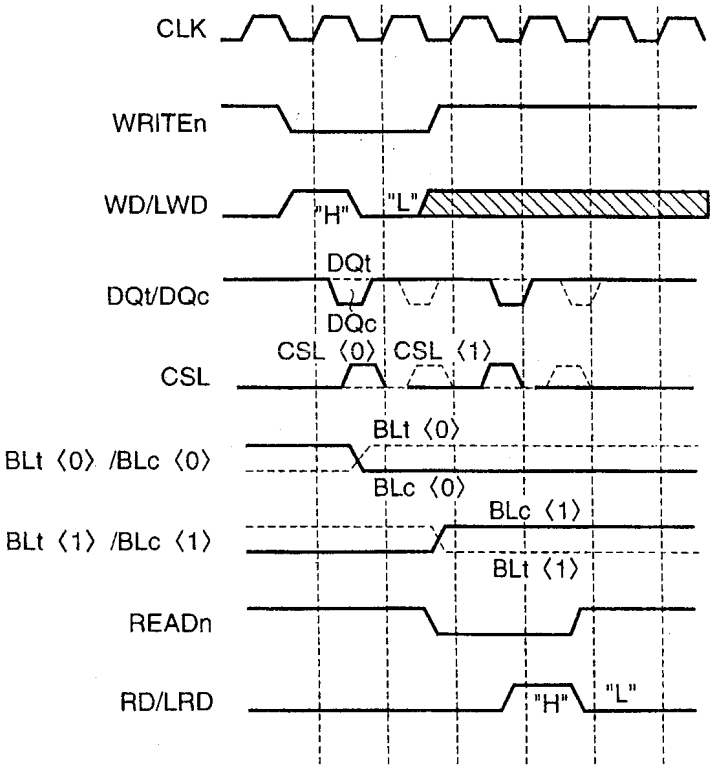
도면2


DQX(k+4)
45
RDCNT 1
32
RWDX(k+2)
43
RDCNT 2
34
41
IOXk

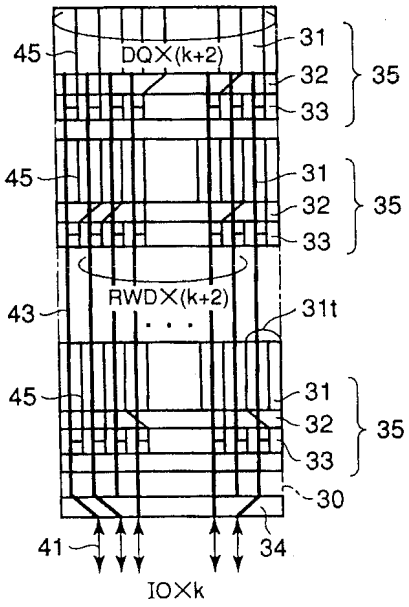
도면3


53
54
LRD 〈0〉
LWD 〈0〉
DQB
DQt 〈0〉
DQc 〈0〉
CSL 〈0〉
CSL 〈1〉
51
BLt 〈0〉
RD 〈0〉
WD 〈0〉
LRD 〈1〉
LWD 〈1〉
DQB
DQt 〈1〉
DQc 〈1〉
SA
BLc 〈0〉
RD 〈1〉
WD 〈1〉
시프트 스위치
53
BLt 〈1〉
SA
BLc 〈1〉
RD 〈k+1〉
WD 〈k+1〉
52
51
53
LRD 〈k+3〉
LWD 〈k+3〉
DQB
DQt 〈k+3〉
DQc 〈k+3〉

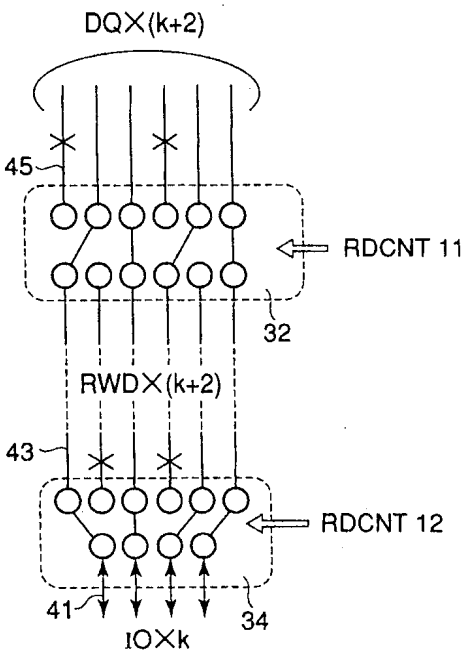
도면4


CLK
WRITEn
WD/LWD
"H"
"L"
DQt
DQt/DQc
DQc
CSL 〈0〉
CSL 〈1〉
CSL
BLt 〈0〉
BLt 〈0〉 /BLc 〈0〉
BLc 〈0〉
BLc 〈1〉
BLt 〈1〉 /BLc 〈1〉
BLt 〈1〉
READn
RD/LRD
"H"
"L"

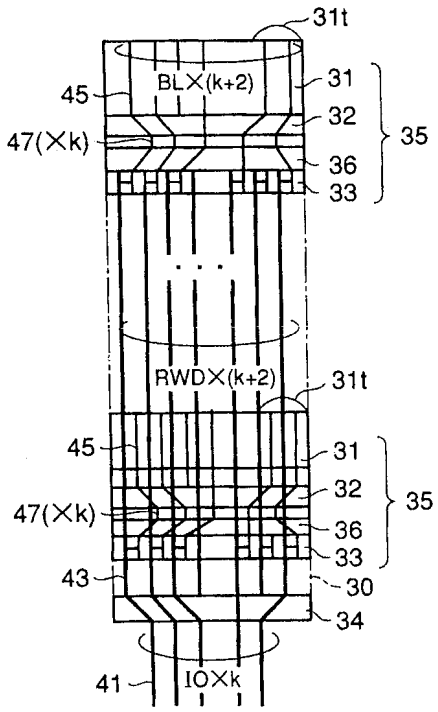
도면5


45
DQX(k+2)
31
32
33
35
45
31
32
33
35
RWDX(k+2)
43
31t
45
31
32
33
35
30
41
34
IOXk

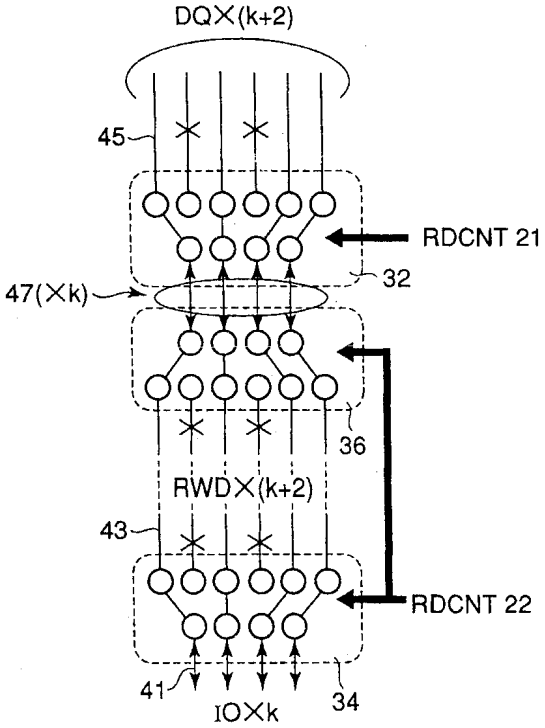
도면6


DQX(k+2)
45
RDCNT 11
32
RWDX(k+2)
43
RDCNT 12
41
34
IOXk

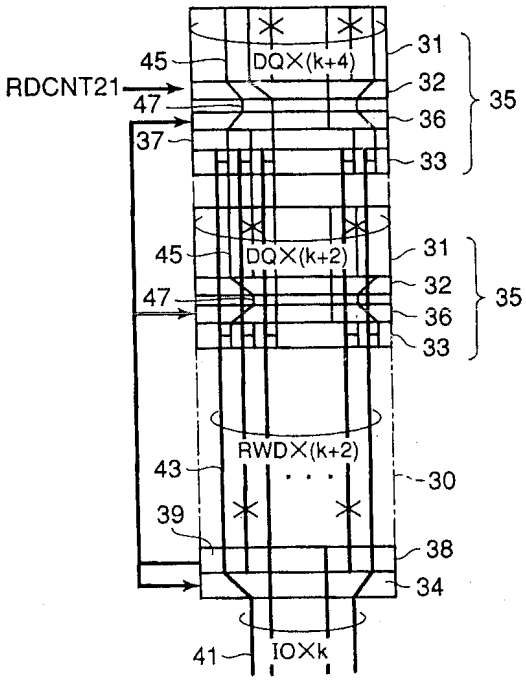
도면7


31t
BL×(k+2)
45
31
32
47(×k)
35
36
33
RWD×(k+2)
31t
45
31
32
47(×k)
35
36
33
43
30
34
41
IO×k

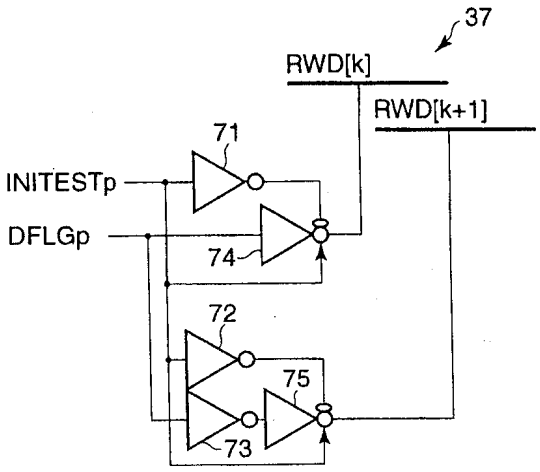
도면8


DQ×(k+2)
45
RDCNT 21
32
47(×k)
36
RWD×(k+2)
43
RDCNT 22
41
IO×k
34

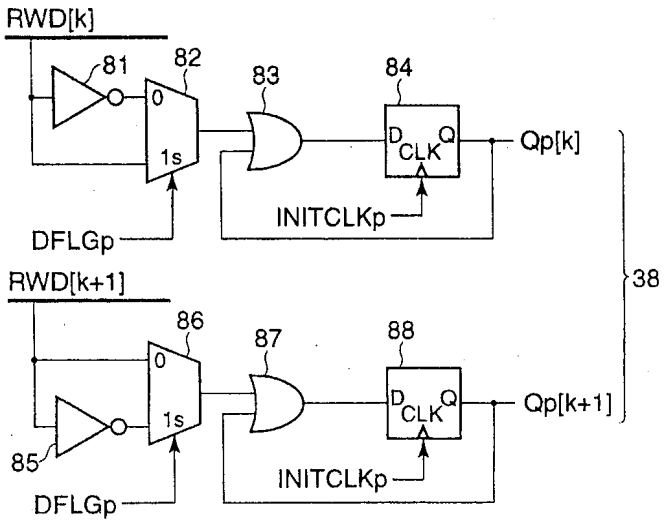
도면9


RDCNT21
45
47
37
DQX(k+4)
31
32
36
33
35
45
47
DQX(k+2)
31
32
36
33
35
RWDX(k+2)
43
30
39
38
34
41
IOXk

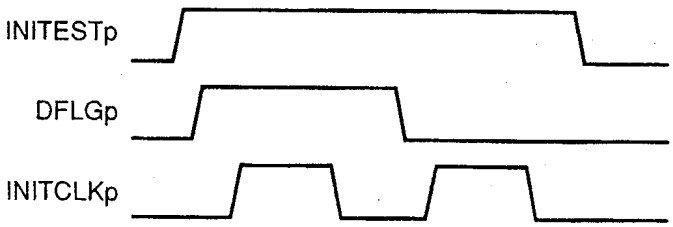
도면10


37
RWD[k]
RWD[k+1]
71
INITESTp
DFLGp
74
72
75
73

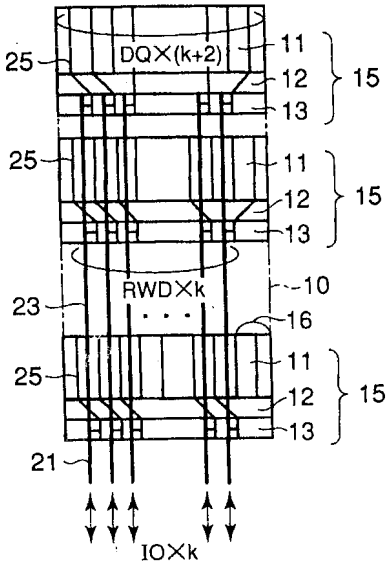
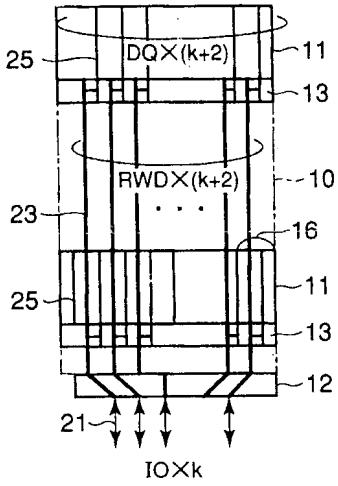
도면11



도면12



도면13



도면14