



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년03월09일
 (11) 등록번호 10-0945504
 (24) 등록일자 2010년02월25일

(51) Int. Cl.
H01L 23/12 (2006.01)
 (21) 출원번호 10-2007-0063181
 (22) 출원일자 2007년06월26일
 심사청구일자 2007년06월26일
 (65) 공개번호 10-2008-0114030
 (43) 공개일자 2008년12월31일
 (56) 선행기술조사문헌
 KR1020050021078 A*
 KR1020070063748 A*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
주식회사 하이닉스반도체
 경기 이천시 부발읍 아미리 산136-1
 (72) 발명자
정관호
 경기 이천시 부발읍 신하리 487-2 유승아파트 20
 1동 506호
 (74) 대리인
강성배

전체 청구항 수 : 총 47 항

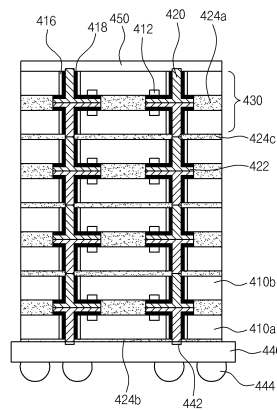
심사관 : 양희용

(54) 스택 패키지 및 그의 제조 방법

(57) 요약

본 발명에 따른 스택 패키지는, 적어도 둘 이상의 스택된 패키지 유닛들을 포함하고, 상기 각 패키지 유닛은, 제1본딩 패드가 구비된 제1반도체 칩; 상기 제1반도체 칩을 관통하는 제1관통 실리콘 비아; 상기 제1본딩 패드가 형성된 제1반도체 칩의 일면 상에 배치되며, 상기 제1관통 실리콘 비아 및 상기 제1본딩 패드를 연결하는 제1재배선; 상기 제1반도체 칩의 상기 일면과 마주하며, 제2본딩 패드가 구비된 제2반도체 칩; 상기 제2반도체 칩을 관통하는 제2관통 실리콘 비아; 및 상기 제1반도체 칩의 상기 일면과 마주하는 제2반도체 칩의 일면 상에 배치되고, 상기 제2관통 실리콘 비아 및 상기 제2본딩 패드를 연결하며, 상기 제1재배선과 콘택된 제2재배선;을 포함하며, 상기 패키지 유닛들은 관통 실리콘 비아들이 서로 콘택되도록 스택된 것을 특징으로 한다.

대표도 - 도5



특허청구의 범위

청구항 1

제1본딩 패드가 구비된 제1반도체 칩;

상기 제1반도체 칩을 관통하는 제1관통 실리콘 비아;

상기 제1본딩 패드가 형성된 제1반도체 칩의 일면 상에 배치되며, 상기 제1관통 실리콘 비아 및 상기 제1본딩 패드를 연결하는 제1재배선;

상기 제1반도체 칩의 상기 일면과 마주하며, 제2본딩 패드가 구비된 제2반도체 칩;

상기 제2반도체 칩을 관통하는 제2관통 실리콘 비아; 및

상기 제1반도체 칩의 상기 일면과 마주하는 제2반도체 칩의 일면 상에 배치되고, 상기 제2관통 실리콘 비아 및 상기 제2본딩 패드를 연결하며, 상기 제1재배선과 콘택된 제2재배선;

을 포함하는 스택 패키지.

청구항 2

제 1 항에 있어서,

상기 제1관통 실리콘 비아와 제1재배선은 일체형으로 이루어지며, 상기 제2관통 실리콘 비아와 제2재배선은 일체형으로 이루어진 것을 특징으로 하는 스택 패키지.

청구항 3

제 1 항에 있어서,

상기 제1 및 제2관통 실리콘 비아들 및 제1 및 제2재배선은 주석(Sn), 니켈(Ni), 구리(Cu), 금(Au) 및 알루미늄(Al) 중 어느 하나로 또는 이들 중 적어도 하나 이상으로 이루어진 합금으로 구성된 것을 특징으로 하는 스택 패키지.

청구항 4

제 1 항에 있어서,

상기 서로 콘택된 제1 및 제2재배선들 사이에 개재된 솔더 페이스트를 더 포함하는 것을 특징으로 하는 스택 패키지.

청구항 5

제 1 항에 있어서,

상기 제1 및 제2반도체 칩들 사이 공간에 개재된 매립재를 더 포함하는 것을 특징으로 하는 스택 패키지.

청구항 6

제 5 항에 있어서,

상기 매립재는 비전도성 페이스트(Non conductive paste)인 것을 특징으로 하는 스택 패키지.

청구항 7

제 1 항에 있어서,

상기 서로 콘택된 제1 및 제2재배선들 사이 부분을 포함한 상기 제1 및 제2반도체 칩 사이 공간에 개재된 이방성 도전 필름(Anisotropic conductivity film)을 더 포함하는 것을 특징으로 하는 스택 패키지.

청구항 8

제 1 항에 있어서,

상기 스택된 제1 및 제2반도체 칩들이 부착되는 기관을 더 포함하는 것을 특징으로 하는 스택 패키지.

청구항 9

제 8 항에 있어서,

상기 기관의 하면에 부착된 외부접속단자를 더 포함하는 것을 특징으로 하는 스택 패키지.

청구항 10

제 8 항에 있어서,

상기 스택된 제1 및 제2반도체 칩들 중 기관에 부착된 하나의 반도체 칩 상의 또 다른 하나의 반도체 칩의 노출된 관통 실리콘 비아 상에 형성된 캡핑막을 더 포함하는 것을 특징으로 하는 스택 패키지.

청구항 11

제 8 항에 있어서,

상기 스택된 제1 및 제2반도체 칩들과 기관 사이에 개재된 매립재를 더 포함하는 것을 특징으로 하는 스택 패키지.

청구항 12

제 11 항에 있어서,

상기 매립재는 비전도성 페이스트인 것을 특징으로 하는 스택 패키지.

청구항 13

제 8 항에 있어서,

상기 스택된 제1 및 제2반도체 칩들과 기관 사이에 개재된 이방성 도전 필름(Anisotropic conductivity film)을 더 포함하는 것을 특징으로 하는 스택 패키지.

청구항 14

적어도 둘 이상의 스택된 패키지 유닛들을 포함하고,

상기 각 패키지 유닛은,

제1분당 패드가 구비된 제1반도체 칩;

상기 제1반도체 칩을 관통하는 제1관통 실리콘 비아;

상기 제1분당 패드가 형성된 제1반도체 칩의 일면 상에 배치되며, 상기 제1관통 실리콘 비아 및 상기 제1분당 패드를 연결하는 제1재배선;

상기 제1반도체 칩의 상기 일면과 마주하며, 제2분당 패드가 구비된 제2반도체 칩;

상기 제2반도체 칩을 관통하는 제2관통 실리콘 비아; 및

상기 제1반도체 칩의 상기 일면과 마주하는 제2반도체 칩의 일면 상에 배치되고, 상기 제2관통 실리콘 비아 및 상기 제2분당 패드를 연결하며, 상기 제1재배선과 콘택된 제2재배선;을 포함하며,

상기 패키지 유닛들은 상기 각 패키지 유닛의 제1 및 제2관통 실리콘 비아들이 서로 콘택되도록 스택된 것을 특징으로 하는 스택 패키지.

청구항 15

제 14 항에 있어서,

상기 각 패키지 유닛의 콘택된 제1 및 제2재배선들 사이 및 패키지 유닛들의 제1 및 제2관통 실리콘 비아들 사이에 개재된 솔더 페이스트를 더 포함하는 것을 특징으로 하는 스택 패키지.

청구항 16

제 14 항에 있어서,

상기 스택된 패키지 유닛들의 사이 공간 및 상기 제1 및 제2반도체 칩들 사이 공간에 개재된 매립재를 더 포함하는 것을 특징으로 하는 스택 패키지.

청구항 17

제 16 항에 있어서,

상기 매립재는 비전도성 페이스트인 것을 특징으로 하는 스택 패키지.

청구항 18

제 14 항에 있어서,

상기 서로 콘택된 제1 및 제2재배선들 사이 부분을 포함한 상기 제1 및 제2반도체 칩 사이 공간 및 상기 제1 및 제2관통 실리콘 비아들을 포함한 패키지 유닛들 사이에 개재된 이방성 도전 필름을 더 포함하는 것을 특징으로 하는 스택 패키지.

청구항 19

제 14 항에 있어서,

상기 스택된 패키지 유닛들이 부착되는 기판을 더 포함하는 것을 특징으로 하는 스택 패키지.

청구항 20

제 19 항에 있어서,

상기 기판의 하면에 부착된 외부접속단자를 더 포함하는 것을 특징으로 하는 스택 패키지.

청구항 21

제 19 항에 있어서,

상기 최상부 패키지 유닛의 제1 및 제2반도체 칩들 중, 하부 패키지 유닛과 콘택된 하나의 반도체 칩 상의 또 다른 하나의 반도체 칩의 노출된 관통 실리콘 비아 상에 형성된 캠핑막을 더 포함하는 것을 특징으로 하는 스택 패키지.

청구항 22

제 19 항에 있어서,

상기 스택된 패키지 유닛들과 기판 사이에 개재된 매립재를 더 포함하는 것을 특징으로 하는 스택 패키지.

청구항 23

제 22 항에 있어서,

상기 매립재는 비전도성 페이스트인 것을 특징으로 하는 스택 패키지.

청구항 24

제 19 항에 있어서,

상기 스택된 패키지 유닛들과 기판 사이에 개재된 이방성 도전 필름을 더 포함하는 것을 특징으로 하는 스택 패키지.

청구항 25

다수의 본딩 패드가 구비된 반도체 칩들로 이루어진 제1 및 제2웨이퍼에 상기 각 제1 및 제2웨이퍼를 관통하지 않는 깊이로 다수의 홈을 형성하는 단계;

상기 제1 및 제2웨이퍼의 각 홈 내부를 매립하여 관통 실리콘 비아를 형성함과 아울러 상기 각 관통 실리콘 비아와 대응하는 본딩 패드를 연결하는 재배선을 형성하는 단계;

상기 제1 및 제2웨이퍼를 대응하는 재배선들이 서로 콘택하도록 부착하는 단계;

상기 제1 및 제2웨이퍼에 형성된 관통 실리콘 비아가 노출되도록 상기 제1 및 제2웨이퍼의 하면을 제거하는 단계;

상기 부착된 제1 및 제2웨이퍼를 칩 레벨로 절단하여 다수의 패키지 유닛을 형성하는 단계; 및

상기 패키지 유닛들을 관통 실리콘 비아가 서로 콘택하도록 스택하는 단계;

를 포함하는 것을 특징으로 하는 스택 패키지의 제조 방법.

청구항 26

제 25 항에 있어서,

상기 관통 실리콘 비아 및 재배선을 형성하는 단계는,

상기 제1 및 제2웨이퍼에 형성된 홈의 측벽에 절연막을 형성하는 단계;

상기 절연막을 포함한 각 웨이퍼 상에 금속씨드막을 형성하는 단계;

상기 각 홈의 내부가 매립되도록 상기 금속씨드막 상에 금속막을 형성하는 단계; 및

상기 금속막 및 금속씨드막을 패터닝하는 단계;

를 포함하는 것을 특징으로 하는 스택 패키지의 제조 방법.

청구항 27

제 26 항에 있어서,

상기 관통 실리콘 비아 및 재배선은 주석(Sn), 니켈(Ni), 구리(Cu), 금(Au) 및 알루미늄(Al) 중 어느 하나로 또는 이들 중 적어도 하나 이상으로 이루어진 합금으로 형성하는 것을 특징으로 하는 스택 패키지의 제조 방법.

청구항 28

제 26 항에 있어서,

상기 제1 및 제2웨이퍼는 상기 대응하는 재배선들 사이에 개재된 솔더 페이스트와 상기 제1 및 제2웨이퍼 사이 공간에 개재된 매립재를 매개로 서로 부착하는 것을 특징으로 하는 스택 패키지의 제조 방법.

청구항 29

제 26 항에 있어서,

상기 서로 스택된 패키지 유닛들은 상기 대응하는 관통 실리콘 비아에 개재된 솔더 페이스트와 상기 스택된 패키지 유닛들 사이 공간에 개재된 매립재를 매개로 서로 부착하는 것을 특징으로 하는 스택 패키지의 제조 방법.

청구항 30

제 28 항 또는 제 29 항에 있어서,

상기 매립재는 비전도성 페이스트로 형성하는 것을 특징으로 하는 스택 패키지의 제조 방법.

청구항 31

제 26 항에 있어서,

상기 제1 및 제2웨이퍼는 재배선을 포함한 상기 제1 및 제2웨이퍼 사이에 개재된 이방성 도전 필름으로 서로 부착하는 것을 특징으로 하는 스택 패키지의 제조 방법.

청구항 32

제 26 항에 있어서,

상기 패키지 유닛들은 관통 실리콘 비아를 포함한 패키지 유닛들 사이에 개재된 이방성 도전 필름으로 서로 부착하는 것을 특징으로 하는 스택 패키지의 제조 방법.

청구항 33

제 26 항에 있어서,

상기 제1 및 제2웨이퍼의 하면을 제거하는 단계는,

상기 제1웨이퍼의 하면에 테이프를 부착함과 아울러 상기 제2웨이퍼의 하면을 제거하는 단계;

상기 제1웨이퍼의 하면에 부착된 테이프를 제거하는 단계;

상기 제2웨이퍼의 하면에 테이프를 부착함과 아울러 상기 제1웨이퍼의 하면을 제거하는 단계; 및

상기 제2웨이퍼의 하면에 부착된 그라인딩 테이프를 제거하는 단계;

를 포함하는 것을 특징으로 하는 스택 패키지의 제조 방법.

청구항 34

제 33 항에 있어서,

상기 제1 및 제2웨이퍼 하면의 제거는 그라인딩 공정 및 식각 공정 중 적어도 어느 하나의 공정으로 수행하는 것을 특징으로 하는 스택 패키지의 제조 방법.

청구항 35

제 26 항에 있어서,

상기 패키지 유닛들을 스택하는 단계 후, 상기 스택된 패키지 유닛들을 상면에 다수의 접속 패드를 구비한 기관 상에 부착하는 단계를 더 포함하는 것을 특징으로 하는 스택 패키지의 제조 방법.

청구항 36

제 35 항에 있어서,

상기 패키지 유닛들을 기관 상에 부착하는 단계 후, 기관의 하면에 외부접속단자를 부착하는 단계를 더 포함하는 것을 특징으로 하는 스택 패키지의 제조 방법.

청구항 37

제 35 항에 있어서,

상기 패키지 유닛들을 기관 상에 부착하는 단계 후, 상기 최상부 패키지 유닛의 상부 반도체 칩 상에 캡핑막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 스택 패키지의 제조 방법.

청구항 38

제 35 항에 있어서,

상기 스택된 패키지 유닛은 최하부 패키지 유닛의 관통 실리콘 비아와 상기 기관의 접속 패드 간에 개재된 솔더 페이스트와 상기 최하부 패키지 유닛과 기관 간에 개재된 매립재를 매개로 서로 부착하는 것을 특징으로 하는 스택 패키지의 제조 방법.

청구항 39

제 38 항에 있어서,

상기 매립재는 비전도성 페이스트로 형성하는 것을 특징으로 하는 스택 패키지의 제조 방법.

청구항 40

제 35 항에 있어서,

상기 스택된 패키지 유닛은 최하부 패키지 유닛과 기판 간에 개재된 이방성 도전 필름으로 서로 부착하는 것을 특징으로 하는 스택 패키지의 제조 방법.

청구항 41

상면에 다수의 본딩 패드가 형성된 제1반도체 칩들을 구비한 제1웨이퍼에 상기 제1반도체 칩을 관통하는 제1관통 실리콘 비아와, 상기 제1관통 실리콘 비아와 본딩 패드를 연결하는 제1재배선을 형성하는 단계;

상면에 다수의 본딩 패드가 형성된 제2반도체 칩들을 구비한 제2웨이퍼에 상기 제2반도체 칩을 관통하는 제2관통 실리콘 비아와, 상기 제2관통 실리콘 비아와 본딩 패드를 연결하는 제2재배선을 형성하는 단계;

상기 제1 및 제2웨이퍼를 대응하는 제1 및 제2재배선들이 서로 콘택하도록 부착하는 단계;

상기 제1 및 제2웨이퍼에 형성된 제1 및 제2관통 실리콘 비아가 노출되도록 상기 제1 및 제2웨이퍼의 하면을 제거하는 단계;

상기 부착된 제1 및 제2웨이퍼를 칩 레벨의 패키지 유닛 단위로 절단하는 단계;

를 포함하는 것을 특징으로 하는 스택 패키지의 제조 방법.

청구항 42

제 41 항에 있어서,

상기 칩 레벨로 절단하는 단계 후, 적어도 둘 이상의 패키지 유닛을 각 패키지 유닛에 형성된 제1 및 제2관통 실리콘 비아가 콘택되도록 스택하는 단계를 더 포함하는 것을 특징으로 하는 스택 패키지의 제조 방법.

청구항 43

제 41 항에 있어서,

상기 제1 및 제2웨이퍼는 상기 대응하는 제1 및 제2재배선들 사이에 개재된 솔더 페이스트와 상기 제1 및 제2웨이퍼 사이 공간에 개재된 매립재를 매개로 서로 부착하는 것을 특징으로 하는 스택 패키지의 제조 방법.

청구항 44

제 41 항에 있어서,

상기 서로 스택된 패키지 유닛들은 상기 대응하는 제1 및 제2관통 실리콘 비아에 개재된 솔더 페이스트와 상기 스택된 패키지 유닛들 사이 공간에 개재된 매립재를 매개로 서로 부착하는 것을 특징으로 하는 스택 패키지의 제조 방법.

청구항 45

제 43 항 또는 제 44 항에 있어서,

상기 매립재는 비전도성 페이스트로 형성하는 것을 특징으로 하는 스택 패키지의 제조 방법.

청구항 46

제 41 항에 있어서,

상기 제1 및 제2웨이퍼는 제1 및 제2재배선을 포함한 상기 제1 및 제2웨이퍼 사이에 개재된 이방성 도전 필름으로 서로 부착하는 것을 특징으로 하는 스택 패키지의 제조 방법.

청구항 47

제 41 항에 있어서,

상기 패키지 유닛들은 제1 및 제2관통 실리콘 비아를 포함한 패키지 유닛들 사이에 개재된 이방성 도전 필름으

로 서로 부착하는 것을 특징으로 하는 스택 패키지의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0012] 본 발명은 스택 패키지 및 그의 제조 방법에 관한 것으로서, 스택 패키지의 제작 과정에서 발생하는 웨이퍼 및 반도체 칩의 휨 및 크랙을 방지하여 수율을 향상시킬 수 있는 스택 패키지 및 그의 제조방법에 관한 것이다.
- [0013] 반도체 집적 소자에 대한 패키징 기술은 소형화 및 고용량화에 대한 요구에 따라 지속적으로 발전하고 있으며, 최근에는 소형화 및 고용량화와 실장 효율성을 만족시킬 수 있는 스택 패키지(Stack package)에 대한 다양한 기술들이 개발되고 있다.
- [0014] 반도체 산업에서 말하는 "스택"이란 적어도 2개 이상의 반도체 칩 또는 패키지를 수직으로 쌓아 올리는 기술로서, 메모리 소자의 경우, 반도체 집적 공정에서 구현 가능한 메모리 용량보다 큰 메모리 용량을 갖는 제품을 구현할 수 있고, 실장 면적 사용의 효율성을 높일 수 있다.
- [0015] 스택 패키지는 제조 기술에 따라 개별 반도체 칩을 스택한 후, 한번에 스택된 반도체 칩들을 패키징해주는 방법과, 패키징된 개별 반도체 칩들을 스택하여 형성하는 방법으로 분류할 수 있으며, 상기 스택 패키지는 금속 와이어 또는 관통 실리콘 비아 등을 통하여 전기적으로 연결된다.
- [0016] 도 1은 종래의 금속 와이어를 이용한 스택 패키지를 도시한 단면도이다.
- [0017] 도시된 바와 같이, 금속 와이어를 이용한 스택 패키지(100)는 적어도 2개 이상의 반도체 칩(110)들이 기판(120) 상에 접착제(114)를 매개로 해서 스택되고, 상기 각 칩(110)과 기판(120)이 금속 와이어(116)를 통해 전기적으로 연결된다.
- [0018] 도 1에서, 미설명된 도면부호 112는 본딩 패드를, 122는 접속 패드를, 124는 볼랜드를, 170은 외부접속단자를, 그리고, 190은 봉지체를 각각 나타낸다.
- [0019] 그러나, 종래의 금속 와이어를 이용한 스택 패키지는 금속 와이어를 통하여 전기적인 신호 교환이 이루어지므로 속도가 느리고, 많은 수의 와이어가 사용되어 각 칩에 전기적 특성 열화가 발생한다. 또한, 금속 와이어를 형성하기 위해 기판에 추가 면적이 요구되어 패키지의 크기가 증가하고, 각 칩의 본딩 패드에 와이어 본딩을 하기 위한 갭(Gap)이 요구되므로 패키지의 전체 높이가 높아진다.
- [0020] 이에, 금속 와이어를 이용한 스택 패키지에서의 문제를 극복함과 아울러, 스택 패키지의 전기적인 특성 열화 방지 및 소형화가 가능하도록 관통 실리콘 비아(Through silicon via : TSV)를 이용한 스택 패키지 구조가 제안되었다.
- [0021] 도 2는 종래의 관통 실리콘 비아를 이용한 스택 패키지를 도시한 단면도이다.
- [0022] 도시된 바와 같이, 관통 실리콘 비아를 이용한 스택 패키지(200)는 기판(220) 상에 내부에 관통 실리콘 비아(230)가 형성된 반도체 칩(210)들이 상기 각 관통 실리콘 비아(230)들이 대응하도록 스택된다.
- [0023] 도 2에서, 미설명된 도면부호 212는 절연막을, 214는 금속씨드막을, 222는 접속 패드를, 224는 볼랜드를, 그리고, 270은 외부접속단자를 각각 나타낸다.
- [0024] 상기 관통 실리콘 비아를 이용한 스택 패키지는 전기적인 연결이 관통 실리콘 비아를 통하여 이루어짐으로써, 전기적인 열화 방지되어 반도체 칩의 동작 속도를 향상시킬 수 있고 소형화가 가능하다.
- [0025] 그러나, 웨이퍼 레벨 또는 칩 레벨에서 관통 실리콘 비아를 이용한 스택 패키지를 형성하는 경우, 스택되는 웨이퍼 및 반도체 칩은 관통 실리콘 비아를 형성하기 위한 그라인딩 공정으로 매우 얇은 두께를 갖기 때문에, 웨이퍼 및 반도체 칩의 스택시, 열 팽창 계수 차이에 의해 웨이퍼 및 반도체 칩 휨이 발생하여 스택이 어렵고, 픽업(Pick-up) 오류와 웨이퍼 및 반도체 칩에 크랙이 발생하여 스택 패키지의 수율이 낮아진다.

발명이 이루고자 하는 기술적 과제

[0026] 본 발명은 스택 패키지의 제작 과정에서 발생하는 웨이퍼 및 반도체 칩의 휨 및 크랙을 방지하여 수율을 향상시킬 수 있는 스택 패키지 및 그의 제조방법을 제공한다.

발명의 구성 및 작용

[0027] 본 발명에 따른 스택 패키지는, 제1본딩 패드가 구비된 제1반도체 칩; 상기 제1반도체 칩을 관통하는 제1관통 실리콘 비아; 상기 제1본딩 패드가 형성된 제1반도체 칩의 일면 상에 배치되며, 상기 제1관통 실리콘 비아 및 상기 제1본딩 패드를 연결하는 제1재배선; 상기 제1반도체 칩의 상기 일면과 마주하며, 제2본딩 패드가 구비된 제2반도체 칩; 상기 제2반도체 칩을 관통하는 제2관통 실리콘 비아; 및 상기 제1반도체 칩의 상기 일면과 마주하는 제2반도체 칩의 일면 상에 배치되고, 상기 제2관통 실리콘 비아 및 상기 제2본딩 패드를 연결하며, 상기 제1재배선과 콘택된 제2재배선을 포함한다.

[0028] 상기 제1관통 실리콘 비아와 제1재배선은 일체형으로 이루어지며, 상기 제2관통 실리콘 비아와 제2재배선은 일체형으로 이루어진 것을 특징으로 한다.

[0029] 상기 제1 및 제2관통 실리콘 비아들 및 제1 및 제2재배선은 주석(Sn), 니켈(Ni), 구리(Cu), 금(Au) 및 알루미늄(Al) 중 어느 하나로 또는 이들 중 적어도 하나 이상으로 이루어진 합금으로 구성된 것을 특징으로 한다.

[0030] 상기 서로 콘택된 제1 및 제2재배선들 사이에 개재된 솔더 페이스트를 더 포함하는 것을 특징으로 한다.

[0031] 상기 서로 콘택된 제1 및 제2반도체 칩 사이 공간에 개재된 매립재를 더 포함하는 것을 특징으로 한다.

[0032] 상기 매립재는 비전도성 페이스트(Non conductive paste)인 것을 특징으로 한다.

[0033] 상기 서로 콘택된 제1 및 제2재배선들 사이 부분을 포함한 상기 제1 및 제2반도체 칩 사이 공간에 개재된 이방성 도전 필름(Anisotropic conductivity film)을 더 포함하는 것을 특징으로 한다.

[0034] 상기 스택된 반도체 칩들이 부착되는 기판을 더 포함하는 것을 특징으로 한다.

[0035] 상기 기판의 하면에 부착된 외부접속단자를 더 포함하는 것을 특징으로 한다.

[0036] 상기 스택된 제1 및 제2반도체 칩들 중 기판에 부착된 하나의 반도체 칩 상의 또 다른 하나의 반도체 칩의 노출된 관통 실리콘 비아 상에 형성된 캡핑막을 더 포함하는 것을 특징으로 한다.

[0037] 상기 스택된 제1 및 제2반도체 칩들과 기판 사이에 개재된 매립재를 더 포함하는 것을 특징으로 한다.

[0038] 상기 매립재는 비전도성 페이스트인 것을 특징으로 한다.

[0039] 상기 스택된 제1 및 제2반도체 칩들과 기판 사이에 개재된 이방성 도전 필름을 더 포함하는 것을 특징으로 한다.

[0040] 또한, 본 발명에 따른 스택 패키지는, 적어도 둘 이상의 스택된 패키지 유닛들을 포함하고, 상기 각 패키지 유닛은, 제1본딩 패드가 구비된 제1반도체 칩; 상기 제1반도체 칩을 관통하는 제1관통 실리콘 비아; 상기 제1본딩 패드가 형성된 제1반도체 칩의 일면 상에 배치되며, 상기 제1관통 실리콘 비아 및 상기 제1본딩 패드를 연결하는 제1재배선; 상기 제1반도체 칩의 상기 일면과 마주하며, 제2본딩 패드가 구비된 제2반도체 칩; 상기 제2반도체 칩을 관통하는 제2관통 실리콘 비아; 및 상기 제1반도체 칩의 상기 일면과 마주하는 제2반도체 칩의 일면 상에 배치되고, 상기 제2관통 실리콘 비아 및 상기 제2본딩 패드를 연결하며, 상기 제1재배선과 콘택된 제2재배선;을 포함하며, 상기 패키지 유닛들은 관통 실리콘 비아들이 서로 콘택되도록 스택된 것을 특징으로 한다.

[0041] 상기 각 패키지 유닛의 콘택된 제1 및 제2재배선들 사이 및 패키지 유닛들의 제1 및 제2관통 실리콘 비아들 사이에 개재된 솔더 페이스트를 더 포함하는 것을 특징으로 한다.

[0042] 상기 스택된 패키지 유닛들의 사이 공간 및 상기 제1 및 제2반도체 칩들 사이 공간에 개재된 매립재를 더 포함하는 것을 특징으로 한다.

[0043] 상기 매립재는 비전도성 페이스트인 것을 특징으로 한다.

[0044] 상기 서로 콘택된 제1 및 제2재배선들 사이 부분을 포함한 상기 제1 및 제2반도체 칩 사이 공간 및 상기 제1 및 제2관통 실리콘 비아들을 포함한 패키지 유닛들 사이에 개재된 이방성 도전 필름을 더 포함하는 것을 특징으로 한다.

- [0045] 상기 스택된 패키지 유닛들이 부착되는 기관을 더 포함하는 것을 특징으로 한다.
- [0046] 상기 기관의 하면에 부착된 외부접속단자를 더 포함하는 것을 특징으로 한다.
- [0047] 상기 최상부 패키지 유닛의 제1 및 제2반도체 칩들 중, 하부 패키지 유닛과 콘택된 하나의 반도체 칩 상의 또 다른 하나의 반도체 칩의 노출된 관통 실리콘 비아 상에 형성된 캡핑막을 더 포함하는 것을 특징으로 한다.
- [0048] 상기 스택된 패키지 유닛과 기관 사이에 개재된 매립재를 더 포함하는 것을 특징으로 한다.
- [0049] 상기 매립재는 비전도성 페이스트인 것을 특징으로 한다.
- [0050] 상기 관통 실리콘 비아를 포함한 스택된 패키지 유닛과 기관 사이에 개재된 이방성 도전 필름을 더 포함하는 것을 특징으로 한다.
- [0051] 아울러, 본 발명에 따른 스택 패키지의 제조 방법은, 다수의 본딩 패드이 구비된 반도체 칩들로 이루어진 제1 및 제2웨이퍼에 상기 각 제1 및 제2웨이퍼를 관통하지 않는 깊이로 다수의 홈을 형성하는 단계; 상기 제1 및 제2웨이퍼의 각 홈 내부를 매립하여 관통 실리콘 비아를 형성함과 아울러 상기 각 관통 실리콘 비아와 대응하는 본딩 패드를 연결하는 재배선을 형성하는 단계; 상기 제1 및 제2웨이퍼를 대응하는 재배선들이 서로 콘택하도록 부착하는 단계; 상기 제1 및 제2웨이퍼에 형성된 관통 실리콘 비아가 노출되도록 상기 각 제1 및 제2웨이퍼의 하면을 제거하는 단계; 상기 부착된 제1 및 제2웨이퍼를 칩 레벨로 절단하여 다수의 패키지 유닛을 형성하는 단계; 및 상기 패키지 유닛들을 관통 실리콘 비아가 서로 콘택하도록 스택하는 단계를 포함하는 것을 특징으로 한다.
- [0052] 상기 관통 실리콘 비아 및 재배선을 형성하는 단계는, 상기 제1 및 제2웨이퍼에 형성된 홈의 측벽에 절연막을 형성하는 단계; 상기 절연막을 포함한 각 웨이퍼 상에 금속씨드막을 형성하는 단계; 상기 각 홈의 내부가 매립 되도록 상기 금속씨드막 상에 금속막을 형성하는 단계; 및 상기 금속막 및 금속씨드막을 패터닝하는 단계를 포함하는 것을 특징으로 한다.
- [0053] 상기 관통 실리콘 비아 및 재배선은 주석(Sn), 니켈(Ni), 구리(Cu), 금(Au) 및 알루미늄(Al) 중 어느 하나로 또는 이들 중 적어도 하나 이상으로 이루어진 합금으로 형성하는 것을 특징으로 한다.
- [0054] 상기 제1 및 제2웨이퍼는 상기 대응하는 재배선들 사이에 개재된 솔더 페이스트와 상기 제1 및 제2웨이퍼 사이 공간에 개재된 매립재를 매개로 서로 부착하는 것을 특징으로 한다.
- [0055] 상기 서로 스택된 패키지 유닛들은 상기 대응하는 관통 실리콘 비아에 개재된 솔더 페이스트와 상기 스택된 패키지 유닛들 사이 공간에 개재된 매립재를 매개로 서로 부착하는 것을 특징으로 한다.
- [0056] 상기 매립재는 비전도성 페이스트로 형성하는 것을 특징으로 한다.
- [0057] 상기 제1 및 제2웨이퍼는 재배선을 포함한 상기 제1 및 제2웨이퍼 사이에 개재된 이방성 도전 필름으로 서로 부착하는 것을 특징으로 한다.
- [0058] 상기 패키지 유닛들은 관통 실리콘 비아를 포함한 패키지 유닛들 사이에 개재된 이방성 도전 필름으로 서로 부착하는 것을 특징으로 한다.
- [0059] 상기 제1 및 제2웨이퍼의 하면을 제거하는 단계는, 상기 제1웨이퍼의 하면에 테이프를 부착함과 아울러 상기 제2웨이퍼의 하면을 제거하는 단계; 상기 제1웨이퍼의 하면에 부착된 테이프를 제거하는 단계; 상기 제2웨이퍼의 하면에 테이프를 부착함과 아울러 상기 제1웨이퍼의 하면을 제거하는 단계; 및 상기 제2웨이퍼의 하면에 부착된 그라인딩 테이프를 제거하는 단계를 포함하는 것을 특징으로 한다.
- [0060] 상기 제1 및 제2웨이퍼 하면의 제거는 그라인딩 공정 및 식각 공정 중 적어도 어느 하나의 공정으로 수행하는 것을 특징으로 한다.
- [0061] 상기 패키지 유닛들을 스택하는 단계 후, 상기 스택된 패키지 유닛들을 상면에 다수의 접속 패드를 구비한 기관 상에 부착하는 단계를 더 포함하는 것을 특징으로 한다.
- [0062] 상기 패키지 유닛들을 기관 상에 부착하는 단계 후, 기관의 하면에 외부접속단자를 부착하는 단계를 더 포함하는 것을 특징으로 한다.
- [0063] 상기 패키지 유닛들을 기관 상에 부착하는 단계 후, 상기 최상부 패키지 유닛의 상부 반도체 칩 상에 캡핑막을 형성하는 단계를 더 포함하는 것을 특징으로 한다.

- [0064] 상기 스택된 패키지 유닛은 최하부 패키지 유닛의 관통 실리콘 비아와 상기 기판의 접속 패드 간에 개재된 솔더 페이스트와 상기 최하부 패키지 유닛과 기판 간에 개재된 매립재를 매개로 서로 부착하는 것을 특징으로 한다.
- [0065] 상기 매립재는 비전도성 페이스트로 형성하는 것을 특징으로 한다.
- [0066] 상기 스택된 패키지 유닛은 최하부 패키지 유닛과 기판 간에 개재된 이방성 도전 필름으로 서로 부착하는 것을 특징으로 한다.
- [0067] 게다가, 본 발명에 따른 스택 패키지의 제조 방법은, 상면에 다수의 본딩 패드가 형성된 제1반도체 칩들을 구비한 제1웨이퍼에 상기 제1반도체 칩을 관통하는 제1관통 실리콘 비아와, 상기 제1관통 실리콘 비아와 본딩 패드를 연결하는 제1재배선을 형성하는 단계; 상면에 다수의 본딩 패드가 형성된 제2반도체 칩들을 구비한 제2웨이퍼에 상기 제2반도체 칩을 관통하는 제2관통 실리콘 비아와, 상기 제2관통 실리콘 비아와 본딩 패드를 연결하는 제2재배선을 형성하는 단계; 상기 제1 및 제2웨이퍼를 대응하는 제1 및 제2재배선들이 서로 콘택하도록 부착하는 단계; 상기 제1 및 제2웨이퍼에 형성된 제1 및 제2관통 실리콘 비아가 노출되도록 상기 제1 및 제2웨이퍼의 하면을 제거하는 단계; 및 상기 부착된 제1 및 제2웨이퍼를 칩 레벨의 패키지 유닛 단위로 절단하는 단계를 포함하는 것을 특징으로 한다.
- [0068] 상기 칩 레벨로 절단하는 단계 후, 적어도 둘 이상의 패키지 유닛을 각 패키지 유닛에 형성된 제1 및 제2관통 실리콘 비아가 콘택되도록 스택하는 단계를 더 포함하는 것을 특징으로 한다.
- [0069] 상기 제1 및 제2웨이퍼는 상기 대응하는 제1 및 제2재배선들 사이에 개재된 솔더 페이스트와 상기 제1 및 제2웨이퍼 사이 공간에 개재된 매립재를 매개로 서로 부착하는 것을 특징으로 한다.
- [0070] 상기 서로 스택된 패키지 유닛들은 상기 대응하는 제1 및 제2관통 실리콘 비아에 개재된 솔더 페이스트와 상기 스택된 패키지 유닛들 사이 공간에 개재된 매립재를 매개로 서로 부착하는 것을 특징으로 한다.
- [0071] 상기 매립재는 비전도성 페이스트로 형성하는 것을 특징으로 한다.
- [0072] 상기 제1 및 제2웨이퍼는 제1 및 제2재배선을 포함한 상기 제1 및 제2웨이퍼 사이에 개재된 이방성 도전 필름으로 서로 부착하는 것을 특징으로 한다.
- [0073] 상기 패키지 유닛들은 제1 및 제2관통 실리콘 비아를 포함한 패키지 유닛들 사이에 개재된 이방성 도전 필름으로 서로 부착하는 것을 특징으로 한다.
- [0074] (실시예)
- [0075] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세하게 설명하도록 한다.
- [0076] 본 발명은, 웨이퍼 레벨 또는 칩 레벨에서 관통 실리콘 비아를 이용한 스택 패키지를 형성할 때, 상기 웨이퍼 및 반도체 칩의 얇은 두께에 의해 발생하는 문제를 방지하기 위해 두장의 웨이퍼를 전기적 연결이 가능하도록 스택한 후, 각 웨이퍼의 하면을 제거하는 방법을 이용한다.
- [0077] 그리고, 상기 스택된 각 웨이퍼 하면의 제거로 노출된 관통 실리콘 비아를 이용하여 단일 형태 및 스택된 형태의 패키지를 기판을 포함하는 외부회로에 실장하는 방법으로 스택 패키지를 형성한다.
- [0078] 자세하게, 본 발명은 웨이퍼 레벨에서 관통 실리콘 비아와 상기 관통 실리콘 비아 및 본딩 패드를 연결하는 재배선이 형성된 제1 및 제2반도체 칩을 상기 본딩 패드가 상호 콘택되도록 부착하고 기판 상에 실장하여 스택 패키지를 형성한다.
- [0079] 또한, 상기 제1 및 제2반도체 칩이 부착된 패키지를 패키지 유닛으로 하여 상기 패키지 유닛을 다수 스택하고 기판 상에 실장하여 스택 패키지를 형성한다.
- [0080] 따라서, 본 발명은 두장의 웨이퍼를 전기적으로 연결되도록 스택한 후, 각 웨이퍼 하면으로 관통 실리콘 비아가 노출되도록 함과 아울러 웨이퍼의 두께가 얇아지도록 각 웨이퍼 하면을 제거하고 스택 패키지를 형성함으로써, 종래 웨이퍼의 얇은 두께에 의해 스택 패키지의 형성시 휨의 발생으로 인한 픽-업(Pick-up) 오류 및 크랙 등과 같은 스택 패키지의 형성 문제를 방지할 수 있다.
- [0081] 이에 따라, 용이하게 스택 패키지를 형성할 수 있어 스택 패키지의 수율을 향상시킬 수 있고, 얇은 두께의 스택 패키지를 형성할 수 있다.
- [0082] 이하에서는, 본 발명의 실시예에 따른 스택 패키지 및 그의 제조 방법을 상세히 설명하도록 한다.

- [0083] 도 3은 본 발명의 일 실시예에 따른 스택 패키지를 도시한 단면도이다.
- [0084] 도시된 바와 같이, 본딩 패드(312)의 형성면이 마주보도록 제1 및 제2반도체 칩(310a, 310b)이 배치되어 있다. 상기 제1 및 제2반도체 칩(310a, 310b) 내에는 각각 관통 실리콘 비아(320)가 형성되며, 상기 관통 실리콘 비아(320)와 본딩 패드(312) 간에는 재배선(322)이 형성된다. 상기 제1 및 제2반도체 칩(310a, 310b)은 상기 재배선(322)들 간에 형성된 솔더 페이스트(미도시) 및 제1 및 제2반도체 칩(310a, 310b)의 사이 공간에 개재된 비전도성 페이스트(Non conductive paste)와 같은 제1매립재(324a)를 매개로 전기적 및 물리적으로 스택된다.
- [0085] 상기 스택된 제1 및 제2반도체 칩(310a, 310b)은 상면에 접속 패드(342)를 구비한 기판(340) 상에 부착되며, 상기 기판(340)의 하면에는 솔더볼(344)이 부착된다. 상기 스택된 하부 제1반도체 칩(310a)과 기판(340)은 제1반도체 칩(310a)의 관통 실리콘 비아(320)와 기판의 접속 패드(342) 간에 형성된 솔더 페이스트(미도시) 및 제1반도체 칩(310a)과 기판 간의 사이 공간에 개재된 비전도성 페이스트와 같은 제2매립재(324b)를 매개로 전기적 및 물리적으로 부착된다.
- [0086] 상기 제1 및 제2반도체 칩(310a, 310b)의 스택 및 제1반도체 칩(310a)과 기판(340) 간의 부착은 이방성 도전 필름(Anisotropic conductive film)을 이용하여 형성할 수 있다.
- [0087] 상기 관통 실리콘 비아 및 재배선은 주석(Sn), 니켈(Ni), 구리(Cu), 금(Au) 및 알루미늄(Al) 중 어느 하나로 또는 이들 중 적어도 하나 이상으로 이루어진 합금으로 형성되며, 일체형으로 이루어진다.
- [0088] 상술한 본 발명의 일 실시예에 따른 스택 패키지는 도 4a 내지 도 4i에 도시된 공정 순서로 형성된다.
- [0089] 도 4a를 참조하면, 제조 공정이 완료되고 상면에 다수의 본딩 패드(312)가 구비된 반도체 칩(310)들로 이루어진 웨이퍼(300)에 마스크패턴(314)을 형성하고, 상기 웨이퍼(300)가 관통되지 않는 깊이로 각 반도체 칩(310)에 다수의 홈(T)을 형성한다.
- [0090] 도 4b를 참조하면, 상기 홈(T)의 표면을 포함한 상기 웨이퍼(300)의 상면에 절연막(316)을 형성한 후, 에치백 공정을 진행하여 상기 홈(T)의 측벽에만 절연막(316)을 잔류시킨다.
- [0091] 도 4c를 참조하면, 상기 홈(T) 측벽의 절연막(316)을 포함하여 상기 웨이퍼(300) 상에 금속 씨드막(318)을 형성한다. 그런 다음, 상기 금속 씨드막(318) 상에 도금 공정을 진행하여 상기 홈(T)의 내부가 매립되도록 금속막(320a)을 형성한다. 상기 금속막(320a)은 주석(Sn), 니켈(Ni), 구리(Cu), 금(Au) 및 알루미늄(Al) 중 어느 하나로 또는 이들 중 적어도 하나 이상으로 이루어진 합금으로 형성한다.
- [0092] 도 4d를 참조하면, 상기 금속막에 에치백 공정을 진행하여 스택 패키지를 형성하기 위하여 요구되는 두께로 금속막의 높이를 낮춘다. 그런 다음, 패터닝 공정으로 상기 금속막 및 그 하부 금속 씨드막(318)을 제거하여 상기 본딩 패드(312) 및 관통 실리콘 비아(320)를 연결하는 재배선(318)을 형성한다.
- [0093] 도 4e를 참조하면, 상술한 도 4d와 동일한 구조를 갖는 제2웨이퍼(300b)를 형성한 후, 상기 제1 및 제2웨이퍼(300a, 300b)의 대응하는 재배선(322)들이 상호 콘택되도록 부착한다. 상기 제1 및 제2웨이퍼(300a, 300b)는 상기 부착되는 재배선(322) 사이에 개재된 솔더 페이스트(미도시)와 상기 재배선(322)을 제외한 제1 및 제2웨이퍼(300a, 300b) 사이 공간에 개재된 제1매립재(324a)를 매개로 전기적 및 물리적으로 부착된다.
- [0094] 아울러, 상기 제1 및 제2웨이퍼(300a, 300b)는 상기 재배선(322)을 포함한 제1 및 제2웨이퍼(300a, 300b) 사이 공간에 개재된 이방성 도전 필름을 매개로 전기적 및 물리적으로 부착될 수 있다.
- [0095] 도 4f를 참조하면, 하부에 위치하는 상기 제1웨이퍼(300a)의 하면에 그라인딩 라미네이트 테이프(326)를 부착한 후, 그라인딩(Grinding) 공정 및 식각 공정 중 적어도 어느 하나 이상의 공정으로 상기 제2웨이퍼(300b)의 하면을 제거하여 제2웨이퍼(300b)의 관통 실리콘 비아(320)를 노출시킨다.
- [0096] 도 4g를 참조하면, 상기 제1웨이퍼(300a)의 하면에 그라인딩 라미네이트 테이프를 제거한 후, 상기 도 4f와 동일한 방법으로 상기 제1웨이퍼(300a)의 관통 실리콘 비아(320)를 노출시킨다.
- [0097] 도 4h를 참조하면, 상기 제1웨이퍼(300a) 또는 제2웨이퍼(300b)의 하면에 소잉 공정을 수행하기 위한 테이프(미도시)를 부착한 후, 상기 상호 부착된 제1 및 제2웨이퍼(300a, 300b)를 소잉하여 칩 레벨로 분리한다. 이때, 상기 칩 레벨로 스택된 반도체 칩들(310a, 310b)은 패키지 유닛(330) 단위로 분류되고, 상기 패키지 유닛(330)을 다수 스택하여 스택 패키지를 형성할 수 있다.
- [0098] 도 4i를 참조하면, 상기 칩 레벨의 스택된 제1반도체 칩 및 제2반도체 칩(310a, 310b)를 상면에 접속 패드(34

2)를 구비한 기판(340) 상에 부착한다. 그런 다음, 상기 기판의 하부에 솔더볼(344)을 부착하고, 상기 상부 제2 반도체 칩(310b)의 하면에 캡핑막을 형성하여 상기 제2반도체 칩(310b)를 보호한다.

- [0099] 상기 하부 제1반도체 칩(310a)과 기판(400)은 상기 하부 제1반도체 칩(310a)의 관통 실리콘 비아(350)와 기판(340)의 접속 패드(342) 사이에 개재된 솔더 페이스트(미도시)와 상기 제1반도체 칩(310a)과 기판 사이 공간에 개재된 제2매립재(324b)를 매개로 전기적 및 물리적으로 부착된다.
- [0100] 아울러, 상기 제1반도체 칩(310a)과 기판(340)은 상기 관통 실리콘 비아(350)와 기판(340)의 접속 패드(342)를 포함한 제1반도체 칩(310a)과 기판(340) 사이 공간에 개재된 이방성 도전 필름을 매개로 전기적 및 물리적으로 부착될 수 있다.
- [0101] 이와 같이, 본 발명은 두장의 웨이퍼를 전기적으로 연결되도록 스택한 후, 각 웨이퍼 하면으로 관통 실리콘 비아가 노출되도록 각 웨이퍼의 하면을 제거하여 스택 패키지를 형성함으로써, 웨이퍼의 얇은 두께에 의한 휨으로 인한 스택 패키지의 형성 문제를 방지할 수 있어, 용이하게 스택 패키지를 형성할 수 있고, 스택 패키지의 수율을 향상시킬 수 있으며, 얇은 두께의 스택 패키지를 형성할 수 있다.
- [0102] 한편, 본 발명은 상술한 도 4h에서와 같이 형성된 패키지 유닛들을 상호 스택하여 스택 패키지를 형성할 수 있다.
- [0103] 도 5는 본 발명의 다른 실시예에 따른 스택 패키지를 설명하기 위하여 도시한 단면도이다.
- [0104] 도시된 바와 같이, 상술한 도 4h에서와 같은 구조를 갖는 적어도 둘 이상의 패키지 유닛(430)이 상기 각 패키지 유닛(430)에 구비된 관통 실리콘 비아가 상호 콘택되도록 스택된다. 상기 스택된 패키지 유닛(430)들은 상면에 다수의 접속 패드(442)를 구비한 기판(440) 상에 부착되며, 상기 스택된 최상부 패키지 유닛(430) 상에는 캡핑막(450)이 형성되고, 상기 기판(440)의 하부에는 솔더볼(444)이 부착된다.
- [0105] 상기 패키지 유닛(430)들은 각 패키지 유닛(430)에 형성된 관통 실리콘 비아(450)들 사이에 개재된 솔더 페이스트(미도시)와 상기 관통 실리콘 비아(450)를 제외한 패키지 유닛(430)들 사이 공간에 개재된 비전도성 페이스트와 같은 제3매립재(424c)를 매개로 전기적 및 물리적으로 부착된다.
- [0106] 아울러, 상기 패키지 유닛(430)들은 상기 관통 실리콘 비아(450)를 포함한 제1 및 제2웨이퍼(300a, 300b) 사이 공간에 개재된 이방성 도전 필름을 매개로 전기적 및 물리적으로 부착될 수 있다.
- [0107] 상기 스택 패키지를 형성하기 위한 패키지 유닛의 제조 방법은 상술한 도 4a 내지 도 4f의 제조 방법과 동일하며, 후속 기판 상의 부착 공정은 도 4i의 방법과 동일하다.
- [0108] 이상, 여기에서는 본 발명을 특정 실시예에 관련하여 도시하고 설명하였지만, 본 발명이 그에 한정되는 것은 아니며, 이하의 특허청구의 범위는 본 발명의 정신과 분야를 이탈하지 않는 한도 내에서 본 발명이 다양하게 개조 및 변형될 수 있다는 것을 당업계에서 통상의 지식을 가진 자가 용이하게 알 수 있다.

발명의 효과

- [0109] 이상에서와 같이, 본 발명은 두장의 웨이퍼를 전기적 연결이 가능하도록 스택한 후, 각 웨이퍼의 하면을 제거하는 방법으로 스택 패키지를 형성함으로써, 얇은 두께의 웨이퍼 및 반도체 칩을 사용하여 스택 패키지를 형성시 발생하는 휨에 의한 픽-업 오류 및 크랙 등과 같은 스택 패키지의 형성 문제를 방지할 수 있다.
- [0110] 이에 따라, 용이하게 스택 패키지를 형성할 수 있어 스택 패키지의 수율을 향상시킬 수 있고, 얇은 두께의 스택 패키지를 형성할 수 있다.
- [0111] 또한, 두장의 웨이퍼를 스택한 후, 웨이퍼 쏘잉 공정을 진행함으로써, 크랙 방지를 위한 레이저(Laser) 쏘잉 공정이 불필요하고, 기존 장비를 사용하여 쏘잉 공정을 진행할 수 있다.

도면의 간단한 설명

- [0001] 도 1은 종래의 금속 와이어를 이용한 스택 패키지를 도시한 단면도.
- [0002] 도 2는 종래의 관통 실리콘 비아를 이용한 스택 패키지를 도시한 단면도.
- [0003] 도 3은 본 발명의 일 실시예에 따른 스택 패키지를 도시한 단면도.
- [0004] 도 4a 내지 도 4i는 본 발명의 일 실시예에 따른 스택 패키지의 제조 방법을 설명하기 위한 공정별 단면도.

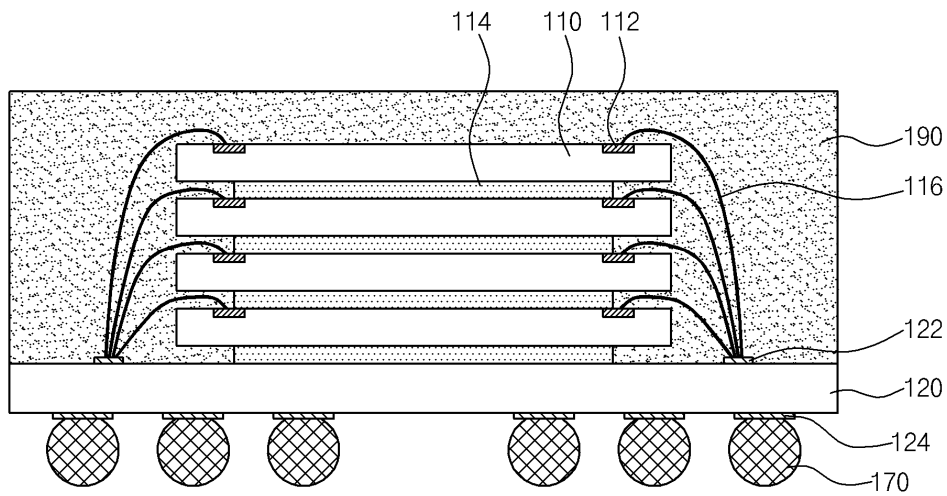
[0005] 도 5는 본 발명의 다른 실시예에 따른 스택 패키지를 설명하기 위하여 도시한 단면도.

[0006] * 도면의 주요 부분에 대한 부호의 설명 *

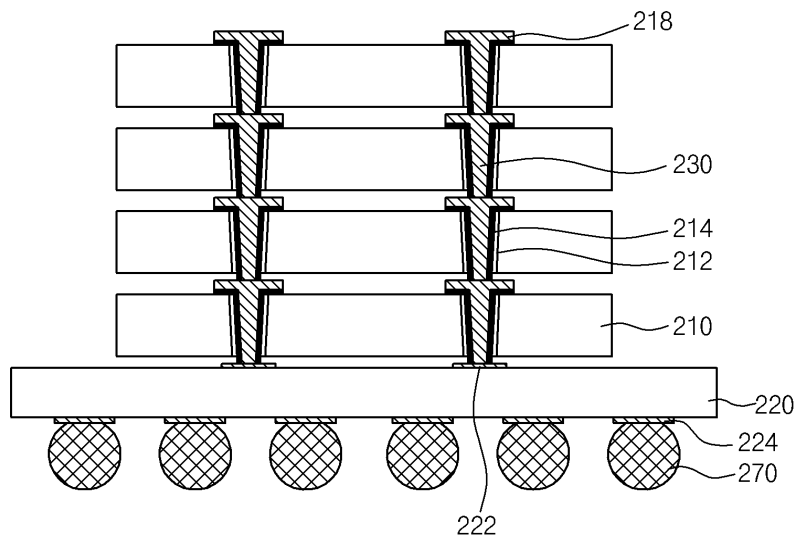
- | | | |
|--------|--------------------------------|--------------|
| [0007] | 410a, 410b : 제1 및 제2반도체 칩 | 412 : 본딩 패드 |
| [0008] | 416 : 절연막 | 418 : 금속 씨드막 |
| [0009] | 424a, 424b, 424c : 제1 내지 제3매립재 | 430 : 패키지 유닛 |
| [0010] | 440 : 기판 | 442 : 접속 패드 |
| [0011] | 444 : 외부접속단자 | 450 : 캡핑막 |

도면

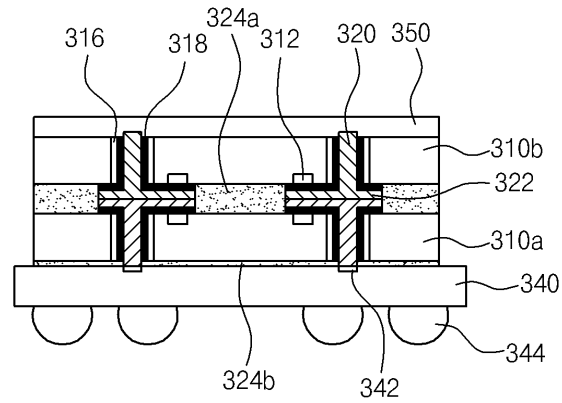
도면1



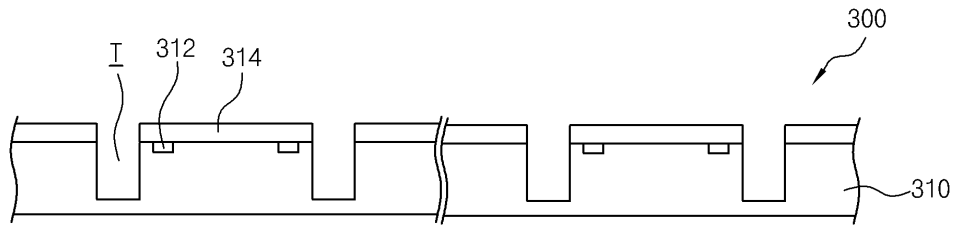
도면2



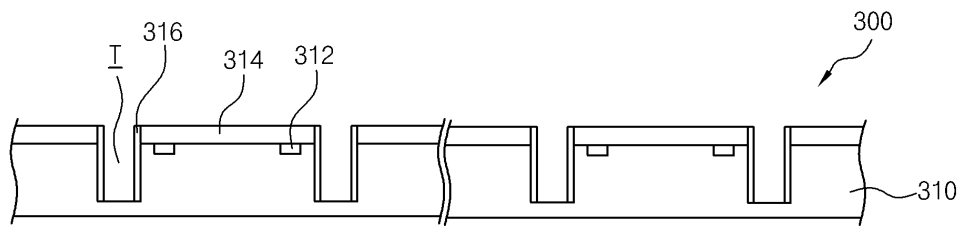
도면3



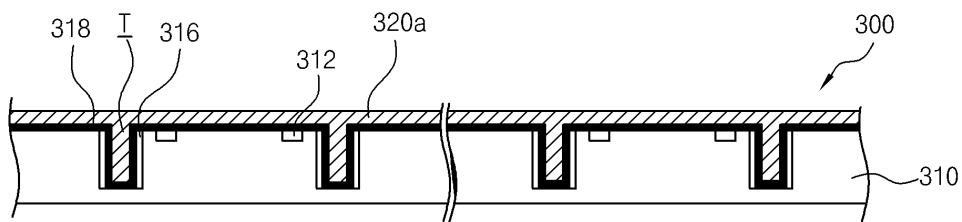
도면4a



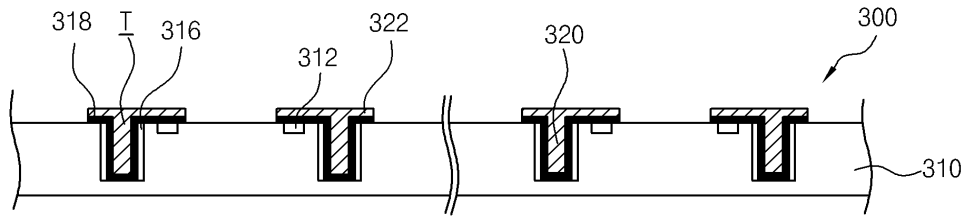
도면4b



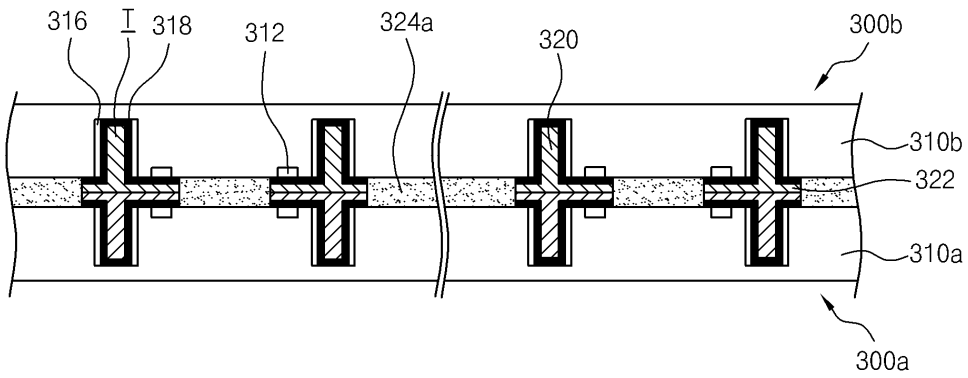
도면4c



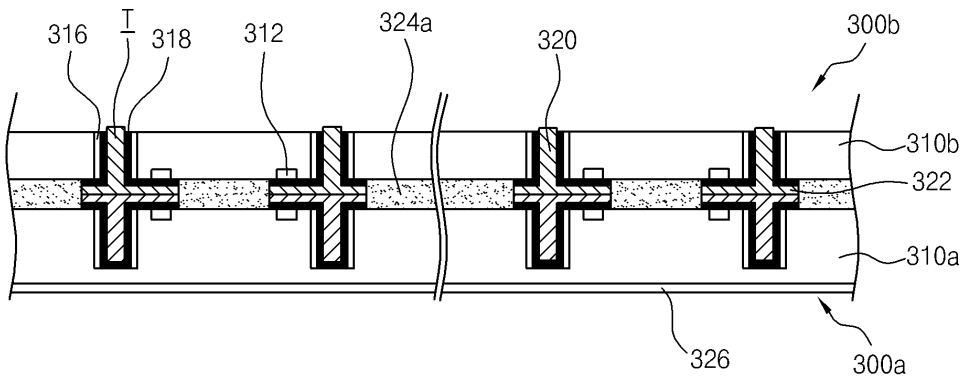
도면4d



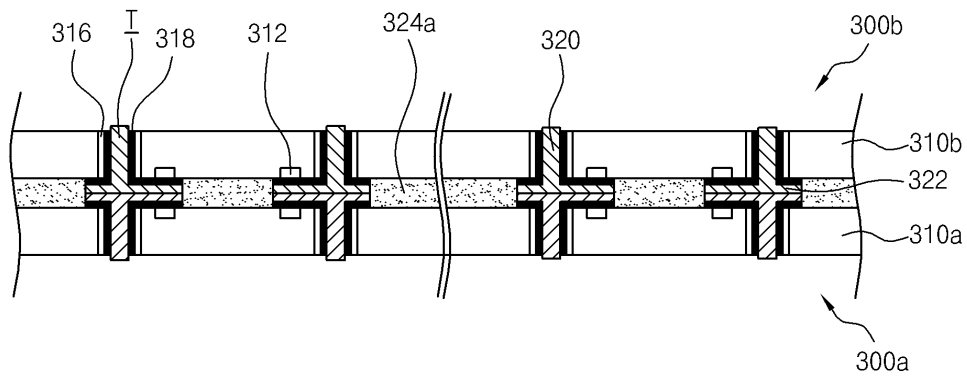
도면4e



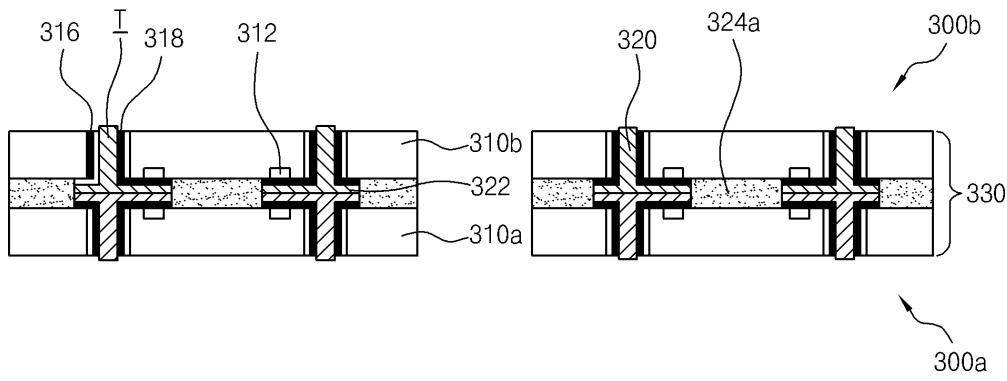
도면4f



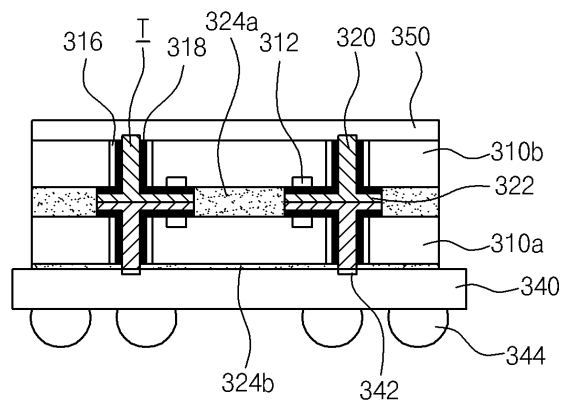
도면4g



도면4h



도면4i



도면5

