

활성 영역 내에 소스/드레인 영역들을 형성하는 단계와, 상기 소스/드레인 영역들 상에 몰드 절연막을 형성하는 단계와, 상기 더미 게이트 스택들을 제거하여 상기 제 1 활성 영역에 제 1 트렌치를 형성하고, 상기 제 2 활성 영역에 제 2 트렌치를 형성하는 단계와, 상기 제 1 트렌치와 제 2 트렌치를 포함하는 상기 기판의 전면에서 게이트 절연막을 형성하는 단계와, 상기 제 1 트렌치와 제 2 트렌치의 하부에 제 1 금속 패턴들을 형성하는 단계와, 상기 제 2 트렌치 내의 상기 제 1 금속 패턴을 제거하는 단계와, 상기 제 1 트렌치와 상기 제 2 트렌치 내에 제 2 금속 층을 형성하여 상기 제 1 활성 영역 상에 제 1 게이트 전극과, 상기 제 2 활성 영역 상에 제 2 게이트 전극을 형성하는 단계를 포함할 수 있다.

(72) 발명자

신유균

경기도 성남시 분당구 내정로 152, APT 130-1401
(수내동, 파크타운)

박홍배

서울특별시 송파구 송파대로 567, 잠실 주공 아파트
522동 1006호 (잠실동)

이후용

서울특별시 성동구 독서당로 272, 대우아파트 105
동 601호 (금호동4가)

홍형석

경기도 안산시 상록구 화랑로 527, 주공10단지아파트
1010동 803호 (성포동)

명세서

청구범위

청구항 1

기판 상에 더미 게이트 스택을 형성하는 단계;

상기 더미 게이트 스택의 양측 측벽들 상에 스페이서들을 형성하는 단계;

상기 더미 게이트 스택 및 상기 스페이서들의 바깥으로 몰드 절연막을 형성하는 단계;

상기 더미 게이트 스택을 제거하여 트렌치를 형성하는 단계;

상기 트렌치 내에 U자 모양의 제 1 일함수 금속 패턴을 형성하는 단계;

상기 제 1 일함수 금속 패턴과 상기 트렌치의 양측 측벽들 상에 제 2 일함수 금속 층을 형성하는 단계; 및

상기 제 2 일함수 금속 층 상에 제 3 금속 층을 형성하는 단계를 포함하되,

상기 제 1 일함수 금속 패턴을 형성하는 단계는:

상기 트렌치 내부와 상기 몰드 절연막 상에 게이트 절연막, 장벽 금속 층들, 제 1 일함수 금속 층, 및 필러 층을 형성하는 단계;

상기 필러 층 내지 게이트 절연막을 연마하여 상기 트렌치 내에 게이트 절연 패턴, 장벽 금속 패턴들, 상기 제 1 일함수 금속 패턴, 및 필러 패턴을 형성하는 단계;

상기 제 1 일함수 금속 패턴의 일부를 식각하여 상기 게이트 절연 패턴보다 아래로 상기 제 1 일함수 금속 패턴을 리세스하는 단계; 및

상기 필러 패턴을 제거하는 단계를 포함하는 모오스 트랜지스터의 제조방법.

청구항 2

제 1 항에 있어서,

상기 게이트 절연 패턴은 상기 제 3 금속 층의 상부면과 동일한 높이의 상부 면을 갖고, 상기 트렌치 내의 상기 기판으로부터 450Å의 높이를 갖도록 형성되되,

상기 제 1 일함수 금속 패턴은 상기 게이트 절연 패턴의 높이보다 낮은 150Å 내지 350Å의 높이를 갖도록 형성되는 모오스 트랜지스터의 제조방법.

청구항 3

제 1 항에 있어서,

상기 필러 패턴은 폴리 실리콘을 더 포함하는 모오스 트랜지스터의 제조방법.

청구항 4

삭제

청구항 5

제 1 항에 있어서,

상기 장벽 금속 층들은:

상기 게이트 절연막 상에 형성되고, 상기 제 1 일함수 금속 층의 금속과 동일한 금속으로 형성된 제 1 장벽 금속 층; 및

상기 제 1 장벽 금속 층 상에 형성되고, 상기 제 1 장벽 금속 층의 상기 금속과 다른 금속으로 형성된 제 2 장

벽 금속 층을 포함하는 모오스 트랜지스터의 제조방법.

청구항 6

제 3 항에 있어서,

상기 제 1 일함수 금속 패턴을 형성하는 단계는,

상기 제 1 일함수 금속 층이 상기 트렌치 내의 상부에 오버행을 가질 때, 상기 오버 행을 제거하는 단계를 더 포함하는 모오스 트랜지스터의 제조방법.

청구항 7

제 1 항에 있어서,

상기 제 3 금속 층은 알루미늄 또는 텅스텐을 포함하되,

상기 제 1 일함수 금속 패턴은 티타늄 나이트라이드를 포함하되,

상기 제 2 일함수 금속 층은 상기 제 1 일함수 금속 패턴과 상기 제 3 금속 층과 다른 알루미늄 티타늄을 포함하는 모오스 트랜지스터의 제조방법.

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

발명의 설명

기술 분야

[0001] 본 발명은 반도체 소자의 제조방법에 관한 것으로, 보다 구체적으로 모오스 트랜지스터의 제조방법에 관한 것이다.

배경 기술

[0002] 모오스(MOS) 트랜지스터는 스위칭 소자로서 널리 사용되고 있다. 모오스 트랜지스터의 게이트 전극은 기존의 폴리 실리콘 대신 전기전도도가 우수한 금속물질로 대체되고 있는 추세에 있다. 모오스 트랜지스터는 게이트 전극의 하부에서 유도되는 채널의 종류에 따라 n 모오스 트랜지스터와 p 모오스 트랜지스터로 구분될 수 있다. n 모오스 트랜지스터와 p 모오스 트랜지스터는 서로 다른 문턱전압을 갖도록 하기 위해 게이트 전극의 금속 물질이 서로 다르게 형성될 수 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명이 이루고자 하는 일 기술적 과제는 서로 다른 종류의 금속 층으로 이루어지는 게이트 전극을 형성하는 모오스 트랜지스터의 제조방법을 제공하는 데 있다.

[0004] 또한, 다른 기술적 과제는 p 모오스 트랜지스터의 문턱 전압을 최소화할 수 있는 모오스 트랜지스터의 제조방법을 제공하는 데 있다.

[0005] 그리고, 또 다른 기술적 과제는 p 모오스 트랜지스터의 게이트 라인 저항을 최소화할 수 있는 모오스 트랜지스

터의 제조방법을 제공하는 데 있다.

과제의 해결 수단

[0006] 상기 기술적 과제를 달성하기 위하여, 본 발명은 더미 게이트 전극을 제거하여 게이트 전극을 형성할 수 있는 모오스 트랜지스터의 제조방법을 포함할 수 있다. 그의 방법은, 기판 상에 더미 게이트 스택을 형성하는 단계; 상기 더미 게이트 스택의 양측 측벽들 상에 스페이서들을 형성하는 단계; 상기 더미 게이트 스택 및 상기 스페이서들의 바깥에 몰드 절연막을 형성하는 단계; 상기 더미 게이트 스택을 제거하여 트렌치를 형성하는 단계; 상기 트렌치 내에 게이트 절연 패턴을 형성하는 단계, 상기 게이트 절연 패턴은 상기 트렌치의 상부로 노출되되; 상기 트렌치 내의 게이트 절연 패턴 상에 U자 모양의 단면을 갖는 제 1 일함수 금속 패턴을 형성하는 단계, 상기 제 1 일함수 금속 패턴은 상기 게이트 절연 패턴의 높이와 다른 높이를 갖도록 형성되되; 상기 제 1 일함수 금속 패턴과, 상기 트렌치 내의 상기 게이트 절연 패턴의 측벽 상에 제 2 일함수 금속 층을 형성하는 단계, 상기 제 2 일함수 금속 층은 상기 제 1 일함수 금속 패턴의 일함수보다 낮은 일함수를 갖고 상기 게이트 절연 패턴의 측벽들을 따라 형성되되; 및 상기 제 2 일함수 금속 층 상의 상기 트렌치 내에 제 3 금속 층을 증진하여 상기 제 1 일함수 금속 패턴, 상기 제 2 일함수 금속 층, 및 제 3 금속 층들을 포함하는 게이트 전극을 형성하는 단계를 포함한다.

[0007] 본 발명의 일 실시예에 따르면, 상기 게이트 절연 패턴은 상기 제 3 금속 층의 상부면과 동일한 높이의 상부 면을 갖고, 상기 트렌치 내의 상기 기판으로부터 450Å의 높이를 갖도록 형성될 수 있다. 상기 제 1 일함수 금속 패턴은 상기 게이트 절연 패턴의 높이보다 낮은 150Å 내지 350Å의 높이를 갖도록 형성될 수 있다.

[0008] 본 발명의 다른 실시예에 따르면, 상기 게이트 절연 패턴을 형성하는 단계는: 상기 트렌치 내부와 상기 몰드 절연막 상에 게이트 절연막을 형성하는 단계; 상기 게이트 절연막 상에 제 1 일함수 금속 층을 형성하는 단계; 상기 트렌치 내에 더미 필러 층을 형성하는 단계, 상기 더미 필러 층은 폴리 실리콘을 포함하되; 및 상기 몰드 절연막이 노출될 때까지 상기 더미 필러 층, 상기 제 1 일함수 금속 층, 및 상기 게이트 절연막을 평탄화하는 단계를 포함할 수 있다. 상기 제 1 일함수 금속 패턴을 형성하는 단계는: 상기 트렌치의 상부 측벽들과 상기 더미 필러 층들 사이의 상기 제 1 일함수 금속 층을 선택적으로 제거하는 단계, 상기 제 1 일함수 금속 패턴은 상기 트렌치 하부 측벽들 상에 형성되되; 및 상기 더미 필러 층을 제거하여 상기 제 1 일함수 금속 패턴을 노출하는 단계를 포함할 수 있다.

[0009] 본 발명의 다른 실시예에 따르면, 상기 게이트 절연 패턴을 형성하는 단계는 상기 게이트 절연막과 상기 제 1 일함수 금속 층 사이에 장벽 금속 층을 형성하는 단계를 더 포함할 수 있다. 상기 장벽 금속 층은 상기 제 1 일함수 금속 패턴과 다른 금속을 포함할 수 있다. 상기 제 1 일함수 금속 패턴을 형성하는 단계는, 상기 제 1 일함수 금속 층이 상기 트렌치 내의 상부에 오버행을 가질 때, 상기 오버행을 제거하는 단계를 더 포함할 수 있다.

[0010] 본 발명의 일 실시예에 따르면, 상기 제 3 금속 층은 알루미늄 또는 텅스텐을 포함할 수 있다. 상기 제 1 일함수 금속 패턴은 티타늄 나이트라이드를 포함할 수 있다. 상기 제 2 일함수 금속 층은 상기 제 1 일함수 금속 패턴과 상기 제 3 금속 패턴과 다른 알루미늄 티타늄을 포함할 수 있다.

발명의 효과

[0011] 본 발명의 실시예적 구성에 따르면, 제 1 활성 영역 상에서 제 1 일함수 금속 패턴, 제 2 일함수 금속 층, 및 제 3 금속 층을 포함하는 제 1 게이트 전극과, 제 2 활성 영역 상에서 제 2 일함수 금속 층, 및 제 3 금속 층을 포함하는 제 2 게이트 전극을 형성할 수 있다. 따라서, 제 1 게이트 전극과 제 2 게이트 전극을 서로 다른 적층 구조의 금속 층으로 형성할 수 있는 효과가 있다.

[0012] 또한, 제 1 게이트 전극은 제 1 활성 영역 상에서 일함수가 높은 제 1 일함수 금속 층을 포함하기 때문에 p 모오스 트랜지스터의 문턱 전압을 최소화할 수 있는 효과가 있다.

[0013] 그리고, 제 1 일함수 금속 층을 몰드 산화막의 상부 표면 이하로 리세스시킬 수 있기 때문에 게이트 라인 저항을 최소화할 수 있는 효과가 있다.

도면의 간단한 설명

[0014] 도 1 내지 도 21은 본 발명의 일 실시예에 따른 모오스 트랜지스터의 제조방법을 나타내는 공정 단면도들.

도 22는 P 모오스 트랜지스터들을 나타내는 단면도들.

도 23은 도 22의 p 모오스 트랜지스터들에서 게이트 선평의 변화에 따른 p 모오스 트랜지스터의 게이트 라인 저항을 나타내는 그래프.

도 24 내지 도 34는 본 발명의 다른 실시예에 따른 모오스 트랜지스터의 제조방법을 나타내는 공정 단면도들.

발명을 실시하기 위한 구체적인 내용

- [0015] 이상의 본 발명의 목적들, 다른 목적들, 특징들 및 이점들은 첨부된 도면과 관련된 이하의 바람직한 실시예들을 통해서 쉽게 이해될 것이다. 그러나 본 발명은 여기서 설명되는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다.
- [0016] 본 명세서에서, 어떤 층이 다른 층과, 기판 상에 있다고 언급되는 경우에 그것은 다른 층과, 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 층 또는 막이 개재될 수도 있다는 것을 의미한다. 또한, 도면들에 있어서, 층과 어떤 영역들의 두께는 기술적 내용의 효과적인 설명을 위해 과장된 것이다. 또한, 본 명세서의 다양한 실시예들에서 제 1, 제 2, 제 3 등의 용어가 다양한 영역, 층들 등을 기술하기 위해서 사용되었지만, 이들 영역, 층들이 같은 용어들에 의해서 한정되어서는 안 된다. 이들 용어들은 단지 어느 소정 영역, 층을 다른 영역, 층과 구별시키기 위해서 사용되었을 뿐이다. 여기에 설명되고 예시되는 각 실시예는 그것의 상보적인 실시예도 포함한다.
- [0017] 본 발명의 실시예에 따른 모오스 트랜지스터의 제조방법은 폴리 실리콘의 더미 게이트 전극을 금속 게이트 전극으로 대체(replacement)시키는 방법을 포함할 수 있다. 이하, 도면을 참조하여 본 발명의 실시예들에 따른 모오스 트랜지스터의 제조방법을 설명한다.
- [0018] (제 1 실시예)
- [0019] 도 1 내지 도 21은 본 발명의 일 실시예에 따른 모오스 트랜지스터의 제조방법을 나타내는 공정 단면도들이다.
- [0020] 도 1을 참조하여, 기판(10) 상의 소자 분리막들(12)에 의해 정의되는 제 1 활성 영역(14) 및 제 2 활성 영역(16)에 제 1 웰과 제 2 웰을 각각 형성할 수 있다. 제 1 웰은 제 1 도전형 불순물로 이온주입되어 형성될 수 있다. 제 1 도전형 불순물은 인(P) 또는 아세닉(As)과 같은 도너를 포함할 수 있다. 예를 들어, 제 1 웰에는 제 1 도전형 불순물이 약 100KeV 내지 약 300KeV 에너지에서 약 1×10^{13} EA/cm³ 내지 약 1×10^{16} EA/cm³ 정도의 농도로 이온주입될 수 있다. 제 2 웰은 제 1 도전형 불순물과 반대되는 제 2 도전형 불순물로 이온주입되어 형성될 수 있다. 제 2 도전형 불순물은 보론(B)와 같은 억셉터를 포함할 수 있다. 예를 들어, 제 2 웰에는 제 2 도전형 불순물이 약 70KeV 내지 약 200KeV 에너지에서 약 1×10^{13} EA/cm³ 내지 약 1×10^{16} EA/cm³ 정도의 농도로 이온주입될 수 있다. 소자 분리막(12)은 제 1 웰과, 제 2 웰이 형성된 이후에 형성될 수 있다. 소자 분리막들(12)은 기판(10)을 소정 깊이로 제거되는 트렌치 내에 플라즈마화학기상증착(PECVD)방법으로 형성된 실리콘 산화막을 포함할 수 있다.
- [0021] 도 2를 참조하여, 기판(10) 상에 더미 게이트 절연막(22) 및 더미 게이트 전극(24)을 적층할 수 있다. 더미 게이트 절연막(22)은 실리콘 산화막(SiO₂)을 포함할 수 있다. 예를 들어, 더미 게이트 절연막(22)은 화학기상증착(CVD)방법, 원자층증착(ALD)방법, 급속열처리(RTP)방법에 의해 약 30Å 내지 약 200Å 정도의 두께로 형성될 수 있다. 더미 게이트 전극(24)은 화학기상증착방법으로 형성된 폴리 실리콘을 포함할 수 있다.
- [0022] 도 3을 참조하여, 제 1 활성 영역(14) 및 제 2 활성 영역(16) 상에 더미 게이트 절연막들(22), 더미 게이트 전극들(24)을 포함하는 더미 게이트 스택들(20)을 형성할 수 있다. 더미 게이트 스택들(20)은 포토리소그래피 공정 및 식각 공정에 의해 패터닝될 수 있다. 예를 들어, 포토리소그래피 공정 및 식각공정은 다음과 같이 이루어질 수 있다. 먼저, 더미 게이트 전극들(24) 상에 제 1 포토레지스트 패턴(미도시)을 형성할 수 있다. 다음, 제 1 포토레지스트 패턴을 식각 마스크로 사용하여 더미 게이트 전극들(24), 및 더미 게이트 절연막들(22)을 순차적으로 식각할 수 있다.
- [0023] 도 4를 참조하여, 제 2 활성 영역(16)을 덮는 제 2 포토레지스트 패턴(26)을 형성하고, 상기 제 2 포토레지스트 패턴(26)과, 제 1 활성 영역(14)의 더미 게이트 스택(20)을, 이온주입 마스크로 사용하여 제 1 활성 영역(14)에 LDD(lightly doped drain, 32)를 형성한다. 여기서, 제 1 활성 영역(14)에 제 2 도전형 불순물이 이온주입될

수 있다. 예를 들어, 제 2 도전형 불순물은 약 1KeV 내지 약 20KeV 에너지에서 약 1×10^{13} EA/cm³ 내지 약 1×10^{16} EA/cm³ 정도의 농도로 이온주입될 수 있다. 이후, 제 2 포토레지스트 패턴(26)을 제거한다.

[0024] 도 5를 참조하여, 제 1 활성 영역(14)을 덮는 제 3 포토레지스트 패턴(28)을 형성하고, 상기 제 3 포토레지스트 패턴(28)과, 제 2 활성 영역(16)의 더미 게이트 스택(20)을, 이온주입마스크로 사용하여 제 2 활성 영역(16)에 LDD(32)를 형성한다. 제 2 활성 영역(16)에 제 1 도전형 불순물이 이온주입될 수 있다. 제 1 도전형 불순물은 약 5KeV 내지 약 30KeV 에너지에서 약 1×10^{13} EA/cm³ 내지 약 1×10^{16} EA/cm³ 정도의 농도로 이온주입될 수 있다. LDD들(26)은 제 1 활성 영역(14)과 제 2 활성 영역(16)에서 동일한 깊이로 형성되고, 더미 게이트 스택들(20)의 하부로 동일한 거리로 확산되게 형성될 수 있다. 제 3 포토레지스트 패턴(28)을 제거한다.

[0025] 도 6을 참조하여, 더미 게이트 스택들(20)의 측벽에 스페이서들(30)을 형성한다. 스페이서들(30)은 자기정렬(self align)방법으로 형성될 수 있다. 예를 들어, 스페이서들(30)은 화학기상증착방법으로 형성된 실리콘 질화막을 포함할 수 있다. 자기정렬방법은 더미 게이트 스택들(20)을 덮는 실리콘 질화막을 비등방적으로 제거하는 건식식각방법을 포함할 수 있다. 따라서, 스페이서들(30)은 건식식각방법으로부터 더미 게이트 스택들(20)의 측벽에 잔존되는 상기 실리콘 질화막을 포함할 수 있다.

[0026] 도 7을 참조하여, 제 2 활성 영역(16)을 덮는 제 4 포토레지스트 패턴(36)을 형성하고, 상기 제 4 포토레지스트 패턴(36)과, 제 1 활성 영역(14)의 더미 게이트 전극(24) 및 스페이서들(30)을 이온주입마스크로 사용하여 제 1 활성 영역(14)에 소스/드레인 불순물 영역(34)을 형성할 수 있다. 제 1 활성 영역(14)의 소스/드레인 불순물 영역(34)은 제 2 도전형 불순물을 포함할 수 있다. 예를 들어, 제 1 활성 영역(14)에 제 2 도전형 불순물이 약 10KeV 내지 약 40KeV 에너지에서 약 1×10^{16} EA/cm³ 내지 약 1×10^{17} EA/cm³ 정도 농도로 이온주입될 수 있다. 제 2 활성 영역(16)에 형성된 제 4 포토레지스트 패턴(36)을 제거한다.

[0027] 도 8을 참조하여, 제 1 활성 영역(14)을 덮는 제 5 포토레지스트 패턴(38)을 형성하고, 상기 제 5 포토레지스트 패턴(38)과, 제 2 활성 영역(16)의 더미 게이트 전극(24) 및 스페이서들(30)을 이온주입마스크로 사용하여 제 2 활성 영역(16)에 소스/드레인 불순물 영역(34)을 형성할 수 있다. 제 2 활성 영역(16)의 소스/드레인 불순물 영역(34)은 제 1 도전형 불순물을 포함할 수 있다. 예를 들어, 제 2 활성 영역(16)에 제 1 도전형 불순물이 약 10KeV 내지 약 50KeV 에너지에서 약 1×10^{16} EA/cm³ 내지 약 1×10^{17} EA/cm³ 정도 농도로 이온주입될 수 있다. 소스/드레인 불순물 영역들(34)은 제 1 활성 영역(14)과 제 2 활성 영역(16)에서 동일한 깊이로 형성될 수 있다. 이후, 기판(10) 상에 형성된 제 5 포토레지스트 패턴(38)을 제거할 수 있다.

[0028] 도시되지는 않았지만, 소스/드레인 불순물 영역들(34)은 더미 게이트 스택들(20) 양측의 제 1 활성 영역(14) 및 제 2 활성 영역(16)의 일부가 제거되고, 제거된 부분에 각각의 도전형 불순물들을 포함하는 에피 실리콘 저마늄(e-SiGe)이 채워져 형성될 수도 있다.

[0029] 도 9를 참조하여, 소자 분리막들(12)과, 소스/드레인 불순물 영역들(34) 상에 몰드 절연막(40)을 형성한다. 몰드 절연막(40)은 실리콘 산화막을 포함할 수 있다. 몰드 절연막(40)은 소자 분리막들(12)과, 소스/드레인 불순물 영역들(34), 및 더미 게이트 스택들(20) 상에 형성될 수 있다. 몰드 절연막(40)은 저압화학기상증착(LPCVD) 방법 또는 플라즈마화학기상증착(PECVD)방법으로 형성될 수 있다. 몰드 절연막(40)은 평탄화되어 더미 게이트 전극들(24)을 노출시킬 수 있다. 몰드 절연막(40)의 평탄화는 화학적물리적연마(CMP) 공정 또는 에치백(etch back) 공정에 의해 수행될 수 있다.

[0030] 도 10을 참조하여, 제 1 활성 영역(14) 및 제 2 활성 영역(16) 상의 더미 게이트 스택들(20)을 제거하여 제 1 트렌치(42) 및 제 2 트렌치(44)를 형성할 수 있다. 더미 게이트 스택들(20)은 습식식각방법 또는 건식식각방법으로 제거될 수 있다. 몰드 절연막(40) 및 스페이서들(30)은 더미 게이트 스택들(20)의 제거 시에 식각마스크로 사용될 수 있다.

[0031] 도 11을 참조하여, 제 1 트렌치(42) 및 제 2 트렌치(44)를 포함하는 기판(10)의 전면에 게이트 절연막(46), 제 1 장벽 금속 층(52), 및 제 2 장벽 금속 층(54)을 적층할 수 있다. 게이트 절연막(46)은 높은 유전 상수(high k)를 갖는 유전체를 포함할 수 있다. 예를 들어, 게이트 절연막(46)은 하프늄 산화막(HfO₂), 하프늄 실리콘 산화막(HfSiO), 하프늄 실리콘 산화질화막(HfSiON), 하프늄 산화질화막(HfON), 하프늄 알루미늄 산화막(HfAlO), 하프늄 란타늄 산화막(HfLaO), 지르코늄 산화막(ZrO₂), 탄탈륨 산화막(TaO₂), 지르코늄 실리콘 산화막(ZrSiO), 란타늄 산화막(La₂O₃), 프라세디움 산화막(Pr₂O₃), 디스프로슘 산화막(Dy₂O₃), BST 산화막(Ba_xSr_{1-x}TiO₃), PZT

산화막(Pb(Zr_xTi_{1-x})O₃) 중 적어도 하나를 포함할 수 있다.

[0032] 제 1 장벽 금속 층(52)은 게이트 절연막(46)을 보호할 수 있다. 제 1 장벽 금속 층(52)과 제 2 장벽 금속 층(54)은 게이트 절연막(46)상에서 인시츄(in-situ)로 형성될 수 있다. 제 2 장벽 금속 층(54)은 후속의 식각 공정으로부터 제 1 장벽 금속 층(52) 및 게이트 절연막(46)을 보호할 수 있다. 제 1 장벽 금속 층(52)과 제 2 장벽 금속 층(54)는 서로 동일하거나 서로 다른 금속 층들을 포함할 수 있다. 제 1 장벽 금속 층(52) 및 제 2 장벽 금속 층(54)은 티타늄 질화막(TiN), 탄탈륨 질화막(TaN), 텅스텐 질화막(WN), 하프늄 질화막(HfN)과 같은 이원계 금속 질화막(binary metal nitride)과, 티타늄 알루미늄 질화막(TiAlN), 탄탈륨 알루미늄 질화막(TaAlN), 하프늄 알루미늄 질화막(HfAlN)과 같은 삼원계 금속 질화막(ternary metal nitride)을 포함할 수 있다. 예를 들어, 제 1 장벽 금속 층(52)은 티타늄 질화막(TiN)을 포함하고, 제 2 장벽 금속 층(54)은 탄탈륨 질화막(TaN)을 포함할 수 있다.

[0033] 도 12를 참조하여, 제 2 장벽 금속 층(54) 상에 제 1 일함수 금속 층(56)을 형성할 수 있다. 제 1 일함수 금속 층(56)은 티타늄(Ti), 탄탈륨(Ta), 하프늄(Hf), 텅스텐(W), 몰리브덴(Mo)과 같은 금속 성분과, 상기 금속 성분을 포함하는 질화막(nitride), 탄화막(carbide), 실리콘 질화막(silicon-nitride), 실리사이드막(silicide)을 포함하고, 백금(pt), 루비듐(Ru), 이리듐 산화막(IrO), 루비듐 산화막(RuO)을 포함할 수 있다. 예를 들어, 제 1 일함수 금속 층(56)은 화학기상증착(CVD)방법 또는 원자층증착(ALD)방법으로 형성된 티타늄 질화막(TiN)을 포함할 수 있다. 티타늄 질화막(TiN)은 약 5.0eV 내지 5.2eV정도의 일함수를 가질 수 있다. 제 1 일함수 금속 층(56)은 몰드 절연막(40) 상부에서뿐만 아니라, 제 1 트렌치(42)의 바닥 및 측벽에서도 동일한 두께로 형성될 수 있다. 제 1 일함수 금속 층(56)은 약 50Å 내지 약 100Å정도의 두께로 형성될 수 있다.

[0034] 도 13을 참조하여, 제 1 일함수 금속 층(56) 상에 더미 필러 층(58)을 형성할 수 있다. 더미 필러 층(58)은 제 1 트렌치(42) 및 제 2 트렌치(44)의 내부와, 몰드 절연막(40) 상에 형성될 수 있다. 더미 필러 층(58)은 탄소를 포함하는 유기 화합물(organic compound)을 포함할 수 있다. 유기 화합물은 스핀 코팅 방법으로 기판(10)의 전면에 형성될 수 있다. 더미 필러 층(58)은 제 1 트렌치(42) 및 제 2 트렌치(44)를 매립할 수 있다. 또한, 더미 필러 층(58)은 실리콘 산화막 또는 폴리 실리콘막을 포함할 수 있다. 실리콘 산화막 또는 폴리 실리콘막은 화학 기상증착 방법으로 형성될 수 있다. 여기서, 몰드 산화막(40)은 더미 필러 층(58)의 실리콘 산화막보다 높은 밀도를 가질 수 있다.

[0035] 도 14를 참조하여, 더미 필러 층(58), 제 1 일함수 금속 층(56), 제 1 장벽 금속 층(52), 제 2 장벽 금속 층(54), 및 게이트 절연막(46)을 평탄화하여 몰드 절연막(40)을 노출시킬 수 있다. 더미 필러 층(58) 및 제 1 일함수 금속 층(56)의 평탄화는 에치백 공정 또는 화학적 기계적 연마(CMP) 공정에 의해 수행될 수 있다. 예를 들어, 유기 화합물의 더미 필러 층(58)은 건식식각방법을 포함하는 에치백 공정에 의해 평탄화될 수 있다. 또한, 실리콘 산화막 또는 폴리 실리콘막의 더미 필러 층(58)은 화학적 기계적 연마 공정에 의해 평탄화될 수 있다. 따라서, 더미 필러 층들(58) 및 제 1 일함수 금속 층들(56)은 제 1 트렌치(42) 및 제 2 트렌치(44) 내에서만 잔존할 수 있다.

[0036] 도 15를 참조하여, 제 1 트렌치(42) 및 제 2 트렌치(44) 상부의 제 1 일함수 금속 층(56)을 제거한다. 제 1 일함수 금속 층(56)은 몰드 절연막(40)과 더미 필러 층(58) 사이의 상부에서 리세스(recess)될 수 있다. 여기서, 제 1 일함수 금속 층들(56)의 리세스 공정은 더미 필러 층(58) 및 상기 몰드 절연막(40)에 대해 2 : 1 이상의 식각선택비를 갖는 건식식각방법 또는 습식식각방법으로 수행될 수 있다. 제 1 일함수 금속 층들(56)은 제 1 트렌치(42) 및 제 2 트렌치(44)의 바닥면과, 측벽하부에서 잔존할 수 있다. 제 1 일함수 금속 층들(56)은 제 1 트렌치(42) 및 제 2 트렌치 내에서 형성되는 제 1 일함수 금속 패턴들로서, L자의 단면을 가질 수 있다. 예를 들어, 제 1 일함수 금속 층들(56)은 약 450Å정도 깊이의 제 1 트렌치(42) 및 제 2 트렌치(44) 측벽에서 약 100Å 내지 약 300Å정도의 리세스될 수 있다.

[0037] 도 16을 참조하여, 제 1 트렌치(42) 및 제 2 트렌치(44) 내에서 더미 필러 층들(58)을 제거할 수 있다. 제 1 일함수 금속 층들(56)은 제 1 트렌치(42) 및 제 2 트렌치(44) 내에서 노출될 수 있다. 더미 필러 층(58)은 에싱(ashing), 건식식각방법, 또는 습식식각방법에 의해 제거될 수 있다. 예를 들어, 유기 화합물의 더미 필러 층들(58)은 에싱에 의해 제거될 수 있다. 실리콘 산화막 또는 폴리 실리콘막의 더미 필러 층들(58)은 건식식각방법 또는 습식식각방법에 의해 제거될 수 있다. 제 2 장벽 금속 층들(54)은 더미 필러 층들(58)의 제거 시 식각 가스 또는 식각액(etchant)으로부터 제 1 장벽 금속 층들(52) 및 게이트 절연막들(46)을 보호할 수 있다.

[0038] 도 17을 참조하여, 몰드 절연막(40) 상의 일부와, 제 1 트렌치(42) 내에 희생 산화막(62)과 제 6 포토레지스트

패턴(64)을 형성할 수 있다. 희생 산화막(62)과 제 6 포토레지스트 패턴(64)은 제 2 트렌치(44) 내의 제 1 일함수 금속 층(56)을 노출시킬 수 있다. 희생 산화막(62)은 제 1 트렌치(42) 및 제 2 트렌치(44)를 포함하는 기관(10)의 전면에서 형성될 수 있다. 제 6 포토레지스트 패턴(64)은 희생 산화막(62) 상에 형성되는 포토레지스트(미도시)의 포토리소그래피 공정에 의해 몰드 절연막(40) 상의 일부와, 제 1 트렌치(42) 내에 형성될 수 있다. 또한, 제 6 포토레지스트 패턴(64)으로부터 노출되는 희생 산화막(62)은 건식식각방법 또는 습식식각방법에 의해 제거될 수 있다. 희생 산화막(62)은 제 1 활성 영역(14) 상의 제 1 일함수 금속 층(56) 및 제 2 장벽 금속 층(54)과, 제 6 포토레지스트 패턴(64)의 접착(adhesion)을 강화시킬 수 있다.

[0039] 도 18을 참조하여, 제 2 트렌치(44) 내의 제 1 일함수 금속 층(56)을 제거할 수 있다. 2 트렌치(44) 내의 제 1 일함수 금속 층(56)은 제 6 포토레지스트 패턴(64)을 식각 마스크로 사용한 건식식각방법 또는 습식식각방법에 의해 제거될 수 있다. 이후, 희생 산화막(62)과, 제 6 포토레지스트 패턴(64)은 제거될 수 있다.

[0040] 도 19를 참조하여, 제 1 트렌치(42) 및 제 2 트렌치(44)의 내부와, 몰드 절연막(40)의 전면에서 제 2 일함수 금속 층(66)을 형성할 수 있다. 제 2 일함수 금속 층(66)은 제 1 일함수 금속 층(56)보다 낮은 일함수를 가질 수 있다. 예를 들어, 제 2 일함수 금속 층(66)은 약 4.0eV 내지 약 4.2eV 정도의 일함수를 갖는 티타늄 알루미늄을 포함할 수 있다. 티타늄 알루미늄은 화학기상증착방법 또는 스퍼터링 방법으로 형성될 수 있다.

[0041] 도 20을 참조하여, 제 1 트렌치(42) 및 제 2 트렌치(44)의 내부와, 몰드 절연막(40) 상에서 제 3 금속 층(68)을 형성할 수 있다. 제 3 금속 층(68)은 물리기상증착(PVD)방법, 또는 화학기상증착(CVD)방법으로 형성될 수 있다. 제 3 금속 층(68)은 알루미늄(Al), 텅스텐(W), 티타늄(Ti), 탄탈륨(Ta) 중 적어도 어느 하나의 저저항 금속을 포함할 수 있다. 제 3 금속 층(68)은 제 1 트렌치(42) 내에서 보이드를 발생시키지 않고 형성될 수 있다. 여기서, 제 2 일함수 금속 층(66)은 제 3 금속 층(68)의 저저항 금속 성분이 일정 두께 이상의 제 2 장벽 금속 층(54) 내부로 확산된 확산 금속 층을 포함할 수 있다. 따라서, 제 2 일함수 금속 층(66)은 제 2 장벽 금속 층(54)과 제 3 금속 층(68)의 안정화 공정(annealing process)에 의해 형성될 수 있다.

[0042] 도 21을 참조하여, 제 3 금속 층(68)을 평탄화하여 몰드 절연막(40)을 노출시킬 수 있다. 제 1 활성 영역(14)에 제 1 게이트 전극(70)과, 제 2 활성 영역(16)에 제 2 게이트 전극(80)을 형성할 수 있다. 제 1 게이트 전극(70) 및 제 2 게이트 전극(80)은 소스/드레인 불순물 영역들(34)이 배열되는 방향에 수직하는 방향으로 연장되는 게이트 라인들이 될 수 있다. 제 3 금속 층(68)은 화학적 기계적 연마(CMP) 공정 또는 에치 백 공정에 의해 평탄화 될 수 있다. 제 3 금속 층(68)의 평탄화를 통해 제 1 게이트 전극(70)과 제 2 게이트 전극(80)이 분리될 수 있다. 제 1 게이트 전극(70)과 제 2 게이트 전극(80)은 서로 동일 또는 유사한 높이의 상부 면을 가질 수 있다. 제 1 게이트 전극(70)은 제 1 장벽 금속 층(52), 제 2 장벽 금속 층(54), 제 1 일함수 금속 층(56), 제 2 일함수 금속 층(66), 및 제 3 금속 층(68)을 포함할 수 있다. 제 1 게이트 전극(70)은 제 1 활성 영역(14)의 p 모오스 트랜지스터를 구성할 수 있다. 제 2 게이트 전극(80)은 제 1 장벽 금속 층(52), 제 2 장벽 금속 층(54), 제 2 일함수 금속 층(66), 및 제 3 금속 층(68)을 포함할 수 있다. 제 2 게이트 전극(80)은 제 2 활성 영역(16)의 n 모오스 트랜지스터를 구성할 수 있다. 제 1 게이트 전극(70)과 제 2 게이트 전극(80)은 약 450Å 정도의 높이를 가질 수 있다.

[0043] n 모오스 트랜지스터와 p 모오스 트랜지스터의 동작 특성은 일반적으로 서로 다를 수 있다. n 모오스 트랜지스터는 게이트 절연막(46) 상의 금속 층들의 일함수(work function)가 작을 때, 문턱 전압(threshold voltage)이 낮아질 수 있다. n 모오스 트랜지스터는 낮은 일함수의 금속 성분을 갖는 제 2 게이트 전극(80)을 포함할 수 있다. 제 2 게이트 전극(80)은 제 1 장벽 금속 층(52), 제 2 장벽 금속 층(54), 제 2 일함수 금속 층(66), 및 제 3 금속 층(68)을 포함할 수 있다. 여기서, 제 2 일함수 금속 층(66)은 제 3 금속 층(68)과 동일한 금속을 포함할 수 있다. 따라서, 본 발명의 일 실시예에 따른 모오스 트랜지스터의 제조방법은 제 2 일함수 금속 층(66)의 형성 공정이 생략될 수도 있다.

[0044] p 모오스 트랜지스터는 게이트 절연막(46)상의 금속 층들의 일함수가 클 때, 문턱 전압이 낮아질 수 있다. 예를 들어, 제 1 게이트 전극(70)은 제 1 장벽 금속 층(52), 제 2 장벽 금속 층(54), 제 1 일함수 금속 층(56), 제 2 일함수 금속 층(66), 및 제 3 금속 층(68)을 포함할 수 있다. 제 2 게이트 전극(80)이 제 2 일함수 금속 층(66)을 포함하지 않을 경우, 제 1 게이트 전극(70)은 제 2 일함수 금속 층(66)을 포함하지 않을 수 있다.

[0045] 도 22는 P 모오스 트랜지스터들을 나타내는 단면도들이고, 도 23은 도 22의 p 모오스 트랜지스터들에서 게이트 선포의 변화에 따른 p 모오스 트랜지스터의 게이트 라인 저항을 나타내는 그래프이다.

[0046] 도 22 및 도 23을 참조하면, 게이트 라인의 저항은 소스/드레인 불순물 영역들(34)사이의 게이트 선포(width)이

줄어듦에 따라 증가될 수 있다. 또한, 게이트 라인의 저항은 금속 층의 종류 및 금속 층의 적층 구조에 따라 달라질 수 있다. 예를 들어, 약 35nm 정도의 게이트 선폭과, 약 450nm 정도의 높이를, 갖는 게이트 라인의 저항은 금속 층의 재질에 따라 비교되면 다음과 같을 수 있다. 알루미늄 재질의 게이트 라인(a)은 약 20Ω/cm² 정도의 저항을 가질 수 있다. 알루미늄 재질의 게이트 라인(a)은 제 1 트렌치(42) 내에서 제 1 일함수 금속 층(56) 없이 제 1 장벽 금속 층(52), 제 2 장벽 금속 층(54), 및 제 3 금속 층(68)을 포함할 수 있다. 제 3 금속 층(68)은 알루미늄을 포함할 수 있다. 알루미늄 재질의 게이트 라인(92)은 게이트 라인의 저항이 낮아질 수 있다. 그러나, 알루미늄 재질의 게이트 라인(92)은 알루미늄의 일함수가 4.26eV 정도로 낮기 때문에 p 모오스 트랜지스터에서 문턱 전압이 높아질 수 있다.

[0047] 티타늄 질화막 재질의 게이트 라인(b)은 약 400Ω/cm² 정도의 저항을 가질 수 있다. 티타늄 질화막 재질의 게이트 라인(b)은 제 1 장벽 금속 층(52), 제 2 장벽 금속 층(54), 및 제 3 금속 층(68)을 포함할 수 있다. 제 3 금속 층(68)은 티타늄 질화막을 포함할 수 있다. 티타늄 질화막은 약 5.2eV 정도의 높은 일함수를 가질 수 있다. 따라서, 티타늄 질화막 재질의 게이트 라인(b)은 p 모오스 트랜지스터의 문턱 전압이 낮아질 수 있다. 그러나, 티타늄 질화막 재질의 게이트 라인(b)은 저항이 높아질 수 있다.

[0048] 알루미늄/티타늄 질화막 재질의 게이트 라인(c)은 약 60Ω/cm² 정도의 저항을 가질 수 있다. 알루미늄/티타늄 질화막 재질의 게이트 라인(c)은 제 1 트렌치(42) 내에서 게이트 절연막(46) 상에 제 1 장벽 금속 층(52), 제 2 장벽 금속 층(54), 제 1 일함수 금속 층(56), 및 제 3 금속 층(68)을 포함할 수 있다. 여기서, 제 3 금속 층(68) 및 제 1 일함수 금속 층(56)은 각각 알루미늄과 티타늄 질화막을 포함할 수 있다. 제 1 일함수 금속 층(56)은 몰드 산화막(40)과 동일한 높이를 가질 수 있다. 제 1 일함수 금속 층(56)은 제 1 트렌치(42)의 하부뿐만 아니라 상부까지 형성될 수 있다.

[0049] 알루미늄/리세스된 티타늄 질화막 재질의 게이트 라인(d)은 알루미늄/티타늄 질화막 재질의 게이트 라인(c)보다 저항이 개선될 수 있다. 예를 들어, 알루미늄/리세스된 티타늄 질화막 재질의 게이트 라인(d)은 약 35Ω/cm² 정도의 저항을 가질 수 있다. 알루미늄/리세스된 티타늄 질화막 재질의 게이트 라인(d)은 제 1 트렌치(42) 내에서 게이트 절연막(46) 상에 제 1 장벽 금속 층(52), 제 2 장벽 금속 층(54), 제 1 일함수 금속 층(56), 및 제 3 금속 층(68)을 포함할 수 있다. 제 1 일함수 금속 층(56)은 몰드 산화막(40)의 상부 표면 이하로 리세스될 수 있다. 제 1 일함수 금속 층(56)은 제 1 트렌치(42)의 하부에서만 존재할 수 있다. 알루미늄/리세스된 티타늄 질화막 재질의 게이트 라인(d)은 알루미늄/티타늄 질화막 재질의 게이트 라인(c)과 동일한 문턱 전압을 가질 수 있다. 알루미늄/리세스된 티타늄 질화막 재질의 게이트 라인(d)은 알루미늄/티타늄 질화막 재질의 게이트 라인(c)보다 저항이 줄어들 수 있다. 알루미늄/리세스된 티타늄 질화막 재질의 게이트 라인(d)은 p 모오스 트랜지스터의 문턱 전압과 저항을 줄일 수 있다.

[0050] 따라서, 본 발명의 일 실시예에 따른 모오스 트랜지스터의 제조방법은 p 모오스 트랜지스터의 문턱 전압과, 게이트 라인의 저항을 최소화할 수 있다.

[0051] 도시되지는 않았지만, 소스/드레인 불순물 영역(34) 상의 몰드 절연막(40)을 제거하여 콘택 홀을 형성하고, 콘택 홀 내에 소스/드레인 전극을 형성하여 모오스 트랜지스터의 제조공정을 완료할 수 있다.

[0052] (제 2 실시예)

[0053] 본 발명의 다른 실시예에 따른 모오스 트랜지스터의 제조방법은 도 1 내지 도 11까지의 제 1 트렌치(42)와 제 2 트렌치(44)를 포함하는 기판의 전면에 게이트 절연막(46), 제 1 장벽 금속 층(52), 및 제 2 장벽 금속 층(54)을 형성하는 단계를 포함할 수 있다.

[0054] 도 24 내지 도 34는 본 발명의 다른 실시예에 따른 모오스 트랜지스터의 제조방법을 나타내는 공정 단면도들이다. 여기서, 본 발명의 다른 실시예에 따른 모오스 트랜지스터의 제조방법은 본 발명의 일 실시예와 중복되는 도면에서 그의 설명이 생략될 수 있다.

[0055] 도 24를 참조하여, 제 2 장벽 금속 층(54) 상에 제 1 일함수 금속 층(56)을 형성할 수 있다. 제 1 일함수 금속 층(56)은 티타늄(Ti), 탄탈륨(Ta), 하프늄(Hf), 텅스텐(W), 몰리브덴(Mo)과 같은 금속 성분과, 상기 금속 성분을 포함하는 질화막(nitride), 탄화막(carbide), 실리콘 질화막(silicon-nitride), 실리사이드막(silicide)을 포함하고, 백금(pt), 루비듐(Ru), 이리듐 산화막(IrO), 루비듐 산화막(RuO)을 포함할 수 있다. 예를 들어, 제 1 일함수 금속 층(56)은 티타늄 질화막(TiN)을 포함할 수 있다. 티타늄 질화막(TiN)은 약 5.0eV 내지 5.2 eV 정도의 일함수를 가질 수 있다. 제 1 일함수 금속 층(56)은 제 1 트렌치(42) 및 제 2 트렌치(42) 내에서 약 50Å 내지 약 100Å 정도의 두께로 형성될 수 있다.

- [0056] 제 1 일함수 금속 층(56)은 물리기상증착방법으로 형성될 수 있다. 물리기상증착방법은 스퍼터링 방법을 포함할 수 있다. 스퍼터링 방법은 제 1 트렌치(42) 및 제 2 트렌치(42)의 상부 또는 입구에서 제 1 일함수 금속 층(56)의 오버행들(overhangs, 60)을 만들 수 있다. 스퍼터링 방법은 제 1 일함수 금속 층(56)으로 증착되는 금속 성분의 직진성이 높은 금속 증착 방법이다. 금속 성분은 제 1 트렌치(42) 및 제 2 트렌치(42)의 상부 또는 입구에서 몰드 절연막(40)의 상부와 측벽에 다량이 증착될 수 있다. 때문에, 제 1 트렌치(42) 및 제 2 트렌치(42)의 상부 또는 입구가 좁아지는 오버행(60)이 발생할 수 있다. 오버행(60)은 제 1 트렌치(42) 및 제 2 트렌치(42)의 상부 또는 입구에서 몰드 절연막(40)의 측벽으로부터 돌출되는 제 1 일함수 금속 층(56)을 포함할 수 있다. 따라서, 스퍼터링 방법으로 형성된 제 1 일함수 금속 층(56)은 제 1 트렌치(42) 및 제 2 트렌치(44)의 상부 또는 입구에 오버행들(60)을 가질 수 있다. 제 1 일함수 금속 층(56)은 제 1 트렌치(42) 및 제 2 트렌치(44)의 바닥과, 몰드 절연막(40)의 상부면에서 평탄하게 형성될 수 있다.
- [0057] 도 25를 참조하여, 제 1 트렌치(42) 및 제 2 트렌치(42) 상부 또는 입구의 오버행들(60)을 제거할 수 있다. 오버행들(60)은 건식식각방법에 의해 제거될 수 있다. 몰드 절연막(40) 상부의 제 1 일함수 금속 층(60)은 오버행들(60)의 제거 시에 건식식각방법에 의해 식각되기 때문에 두께가 줄어들 수 있다. 제 1 트렌치(42) 및 제 2 트렌치(42)하부의 제 1 일함수 금속 층(60)은 일정한 두께를 유지한 채로 잔존할 수 있다.
- [0058] 도 26을 참조하여, 제 1 일함수 금속 층(56) 상에 더미 필러 층(58)을 형성할 수 있다. 더미 필러 층(58)은 제 1 트렌치(42) 및 제 2 트렌치(44)의 내부와, 몰드 절연막(40) 상에 형성될 수 있다. 더미 필러 층(58)은 탄소를 포함하는 유기 화합물(organic compound)을 포함할 수 있다. 유기 화합물은 스핀 코팅 방법으로 기판(10)의 전면에 형성될 수 있다. 더미 필러 층(58)은 제 1 트렌치(42) 및 제 2 트렌치(44)를 매립할 수 있다. 또한, 더미 필러 층(58)은 실리콘 산화막 또는 폴리 실리콘막을 포함할 수 있다. 실리콘 산화막 또는 폴리 실리콘막은 화학 기상증착 방법으로 형성될 수 있다. 여기서, 몰드 절연막(40)은 더미 필러 층(58)의 실리콘 산화막보다 높은 밀도를 가질 수 있다.
- [0059] 도 27을 참조하여, 더미 필러 층(58) 및 제 1 일함수 금속 층(56)을 평탄화하여 몰드 절연막(40)을 노출시킬 수 있다. 더미 필러 층(58) 및 제 1 일함수 금속 층(56)의 평탄화는 에치백 공정 또는 화학적 기계적 연마(CMP) 공정에 의해 수행될 수 있다. 예를 들어, 유기 화합물의 더미 필러 층(58)은 건식식각방법을 포함하는 에치백 공정에 의해 평탄화될 수 있다. 또한, 실리콘 산화막 또는 폴리 실리콘막의 더미 필러 층(58)은 화학적 기계적 연마 공정에 의해 평탄화될 수 있다. 따라서, 더미 필러 층들(58) 및 제 1 일함수 금속 층들(56)은 제 1 트렌치(42) 및 제 2 트렌치(44) 내에서만 잔존할 수 있다.
- [0060] 도 28을 참조하여, 제 1 트렌치(42) 및 제 2 트렌치(44) 상부의 제 1 일함수 금속 층들(56)을 제거한다. 제 1 일함수 금속 층들(56)은 몰드 절연막(40)과 더미 필러 층(58) 사이의 상부에서 리세스(recess)될 수 있다. 제 1 일함수 금속 층들(56)의 리세스 공정은 더미 필러 층(58) 및 상기 몰드 절연막(40)에 대해 2 : 1 이상의 식각선택비를 갖는 건식식각방법 또는 습식식각방법으로 수행될 수 있다. 제 1 일함수 금속 층들(56)은 제 1 트렌치(42) 및 제 2 트렌치(44)의 바닥면과, 측벽하부에서 잔존할 수 있다.
- [0061] 본 발명의 다른 실시예에 따른 모오스 트랜지스터의 제조방법은 몰드 절연막(40)과 더미 필러 층들(58) 사이의 제 1 일함수 금속 층(56)을 본 발명의 일 실시예보다 용이하게 제거할 수 있다. 몰드 절연막(40)과 더미 필러 층들(58) 사이의 제 1 일함수 금속 층들(56)은 제 1 트렌치(42) 및 제 2 트렌치(44) 바닥에서보다 작은 두께를 가질 수 있기 때문이다. 제 1 일함수 금속 층들(56)은 제 1 트렌치(42) 및 제 2 트렌치의 하부에서 형성되는 제 1 일함수 금속 패턴들로서, \sqcup 자의 단면을 가질 수 있다. 예를 들어, 제 1 일함수 금속 층들(56)은 약 450Å 정도 깊이의 제 1 트렌치(42) 및 제 2 트렌치(44) 측벽에서 약 100Å 내지 약 300Å 정도의 리세스될 수 있다.
- [0062] 도 29를 참조하여, 제 1 트렌치(42) 및 제 2 트렌치(44) 내에서 더미 필러 층들(58)을 제거할 수 있다. 제 1 일함수 금속 층들(56)은 제 1 트렌치(42) 및 제 2 트렌치(44) 내에서 노출될 수 있다. 더미 필러 층(58)은 에싱(ashing), 건식식각방법, 또는 습식식각방법에 의해 제거될 수 있다. 예를 들어, 유기 화합물의 더미 필러 층(58)은 에싱에 의해 제거될 수 있다. 실리콘 산화막 또는 폴리 실리콘막의 더미 필러 층(58)은 건식식각방법 또는 습식식각방법에 의해 제거될 수 있다. 제 2 장벽 금속 층들(54)은 더미 필러 층들(58)의 제거 시 식각 가스 또는 식각액(etchant)으로부터 제 1 장벽 금속 층(52) 및 게이트 절연막(46)을 보호할 수 있다.
- [0063] 도 30을 참조하여, 몰드 절연막(40) 상의 일부와, 제 1 트렌치(42) 내에 희생 산화막(62)과 제 6 포토레지스트 패턴(64)을 형성할 수 있다. 희생 산화막(62)과 제 6 포토레지스트 패턴(64)은 제 2 트렌치(44) 내의 제 1 일함수 금속 층(56)을 노출시킬 수 있다. 희생 산화막(62)은 제 1 트렌치(42) 및 제 2 트렌치(44)를 포함하는 기판

(10)의 전면에서 형성될 수 있다. 제 6 포토레지스트 패턴(64)은 희생 산화막(62) 상에 형성되는 포토레지스트 (미도시)의 포토리소그래피 공정에 의해 몰드 절연막(40)상의 일부와, 제 1 트렌치(42) 내에 형성될 수 있다. 또한, 제 6 포토레지스트 패턴(64)으로부터 노출되는 희생 산화막(62)은 건식식각방법 또는 습식식각방법에 의해 제거될 수 있다. 희생 산화막(62)은 제 1 활성 영역(14) 상의 제 1 일함수 금속 층(56) 및 제 2 장벽 금속 층(54)과, 제 6 포토레지스트 패턴(64)의 접착(adhesion)을 강화시킬 수 있다.

[0064] 도 31을 참조하여, 제 2 트렌치(44) 내의 제 1 일함수 금속 층(56)을 제거할 수 있다. 2 트렌치(44) 내의 제 1 일함수 금속 층(56)은 제 6 포토레지스트 패턴(64)을 식각 마스크로 사용한 건식식각방법 또는 습식식각방법에 의해 제거될 수 있다. 이후, 희생 산화막(62)과, 제 6 포토레지스트 패턴(64)은 제거될 수 있다.

[0065] 도 32를 참조하여, 제 1 트렌치(42) 및 제 2 트렌치(44)의 내부와, 몰드 절연막(40)의 전면에 제 2 일함수 금속 층(66)을 형성할 수 있다. 제 2 일함수 금속 층(66)은 제 1 일함수 금속 층(56)보다 낮은 일함수를 가질 수 있다. 제 2 일함수 금속 층(66)은 알루미늄(Al), 텅스텐(W), 몰리브덴(Mo), 티타늄 알루미늄(TiAl), 티타늄 텅스텐(TiW), 티타늄 몰리브덴(TiMo), 탄탈륨 알루미늄(TaAl), 탄탈륨 텅스텐(TaW), 탄탈륨 몰리브덴(TaMo)을 포함할 수 있다. 예를 들어, 티타늄 알루미늄(TiAl)은 티타늄 질화막(TiN)보다 약 1.0eV 정도 낮은 일함수를 가질 수 있다. 티타늄 알루미늄은 화학기상증착방법 또는 물리기상증착방법으로 형성될 수 있다.

[0066] 도 33을 참조하여, 제 1 트렌치(42) 및 제 2 트렌치(44)의 내부와, 몰드 절연막(40) 상에 제 3 금속 층(68)을 형성할 수 있다. 제 3 금속 층(68)은 물리기상증착방법, 또는 화학기상증착(CVD)방법으로 형성될 수 있다. 제 3 금속 층(68)은 알루미늄(Al), 텅스텐(W), 티타늄(Ti), 탄탈륨(Ta) 중 적어도 어느 하나의 저저항 금속을 포함할 수 있다. 제 3 금속 층(68)은 제 1 트렌치(42) 내에서 보이드를 발생시키지 않고 형성될 수 있다. 여기서, 제 2 일함수 금속 층(66)은 제 3 금속 층(68)의 저저항 금속 성분이 일정 두께 이상의 제 2 장벽 금속 층(54) 내부로 확산된 확산 금속 층을 포함할 수 있다. 따라서, 제 2 일함수 금속 층(66)은 제 2 장벽 금속 층(54)과 제 3 금속 층(68)의 안정화 공정(annealing process)에 의해 형성될 수 있다.

[0067] 도 34를 참조하여, 제 3 금속 층(68)을 평탄화하여 몰드 절연막(40)을 노출시킬 수 있다. 제 1 활성 영역(14)에 제 1 게이트 전극(70)과, 제 2 활성 영역(16)에 제 2 게이트 전극(80)을 형성할 수 있다. 제 1 게이트 전극(70) 및 제 2 게이트 전극(80)은 소스/드레인 불순물 영역(34)이 배열되는 방향에 수직하는 방향으로 연장되는 게이트 라인들이 될 수 있다. 제 3 금속 층(68)은 화학적 기계적 연마(CMP) 공정 또는 에치 백 공정에 의해 평탄화될 수 있다. 제 3 금속 층(68)의 평탄화를 통해 제 1 게이트 전극(70)과 제 2 게이트 전극(80)이 분리될 수 있다. 제 1 게이트 전극(70)과 제 2 게이트 전극(80)은 서로 동일 또는 유사한 높이의 상부 면을 가질 수 있다. 제 1 게이트 전극(70)은 제 1 장벽 금속 층(52), 제 2 장벽 금속 층(54), 제 1 일함수 금속 층(56), 제 2 일함수 금속 층(66), 및 제 3 금속 층(68)을 포함할 수 있다. 제 1 게이트 전극(70)은 제 1 활성 영역(14)의 p 모오스 트랜지스터를 구성할 수 있다. 제 2 게이트 전극(80)은 제 1 장벽 금속 층(52), 제 2 장벽 금속 층(54), 제 2 일함수 금속 층(66), 및 제 3 금속 층(68)을 포함할 수 있다. 제 2 게이트 전극(80)은 제 2 활성 영역(16)의 n 모오스 트랜지스터를 구성할 수 있다. 제 1 게이트 전극(70)과 제 2 게이트 전극(80)은 약 450Å 정도의 높이를 가질 수 있다.

[0068] n 모오스 트랜지스터는 게이트 절연막(46) 상의 금속 층들의 일함수(work function)가 작을 때, 문턱 전압(threshold voltage)이 낮아질 수 있다. n 모오스 트랜지스터는 낮은 일함수의 금속 성분을 갖는 제 2 게이트 전극(80)을 포함할 수 있다. 제 2 게이트 전극(80)은 제 1 장벽 금속 층(52), 제 2 장벽 금속 층(54), 제 2 일함수 금속 층(66), 및 제 3 금속 층(68)을 포함할 수 있다. 여기서, 제 2 일함수 금속 층(66)은 제 3 금속 층(68)과 동일한 금속을 포함할 수 있다.

[0069] p 모오스 트랜지스터는 게이트 절연막(46)상의 금속 층들의 일함수가 클 때, 문턱 전압이 낮아질 수 있다. p 모오스 트랜지스터는 높은 일함수의 금속 성분을 갖는 제 1 게이트 전극(70)을 포함할 수 있다.

[0070] 예를 들어, 제 1 게이트 전극(70)은 제 1 장벽 금속 층(52), 제 2 장벽 금속 층(54), 제 1 일함수 금속 층(56), 제 2 일함수 금속 층(66), 및 제 3 금속 층(68)을 포함할 수 있다. 제 2 게이트 전극(80)이 제 2 일함수 금속 층(66)을 포함하지 않을 경우, 제 1 게이트 전극(70)은 제 2 일함수 금속 층(66)을 포함하지 않을 수 있다.

[0071] 도 31 및 도 34를 참조하여, 제 1 일함수 금속 층(56)은 제 1 트렌치(42)의 상부에서 제거될 수 있다. 제 1 트렌치(42)의 측벽에 형성된 제 1 일함수 금속 층(56)은 제 1 트렌치(42)의 바닥에서보다 작은 두께를 가질 수 있다. 게이트 라인의 저항은 본 발명의 일 실시예에서보다 줄어들 수 있다. 본 발명의 다른 실시예에 따른 모오스 트랜지스터의 제조방법은 p 모오스 트랜지스터의 게이트 라인의 저항을 최소화할 수 있다.

[0072] 도시되지는 않았지만, 소스/드레인 불순물 영역(34) 상의 몰드 절연막(40)을 제거하여 콘택 홀을 형성하고, 콘택 홀 내에 소스/드레인 전극을 형성하여 모오스 트랜지스터의 제조공정을 완료할 수 있다.

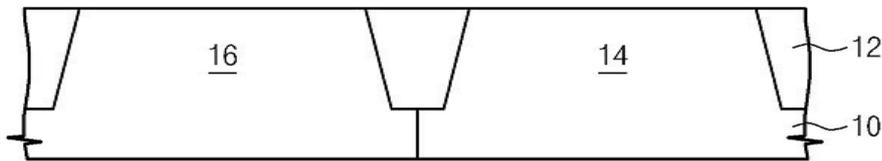
[0073] 이 분야에 종사하는 통상의 지식을 가진 자라면, 상술한 본 발명의 기술적 사상에 기초하여 용이하게 이러한 변형된 실시예를 구현할 수 있을 것이다.

부호의 설명

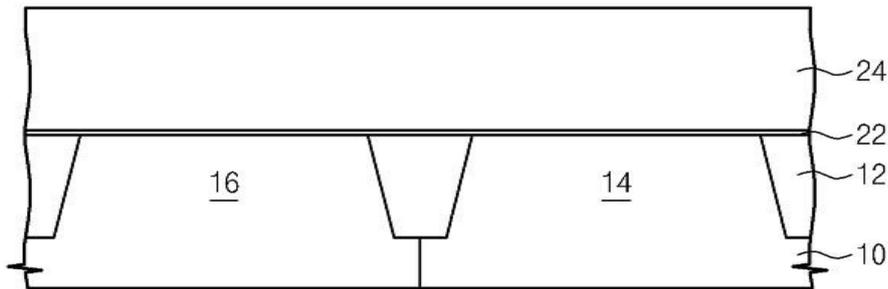
- [0074]
- | | |
|----------------|----------------|
| 10: 기판 | 20: 더미 게이트 스택 |
| 30: 스페이서 | 40: 몰드 절연막 |
| 60: 오버행 | 70: 제 1 게이트 전극 |
| 80: 제 2 게이트 전극 | |

도면

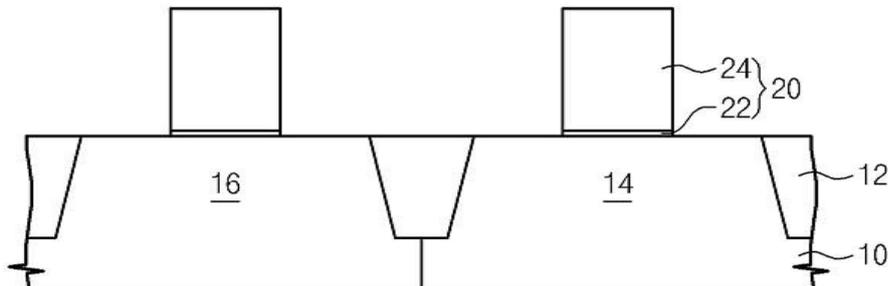
도면1



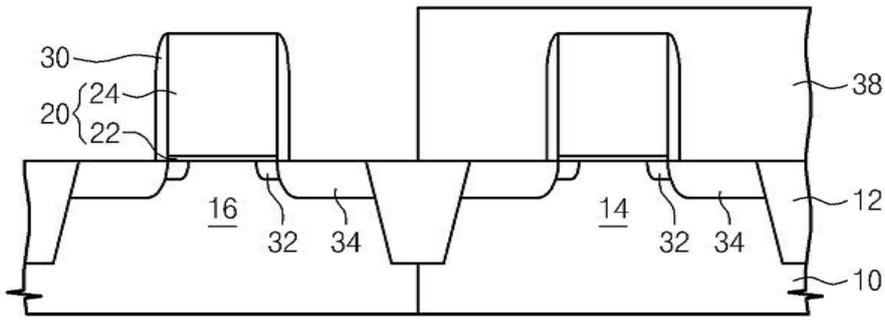
도면2



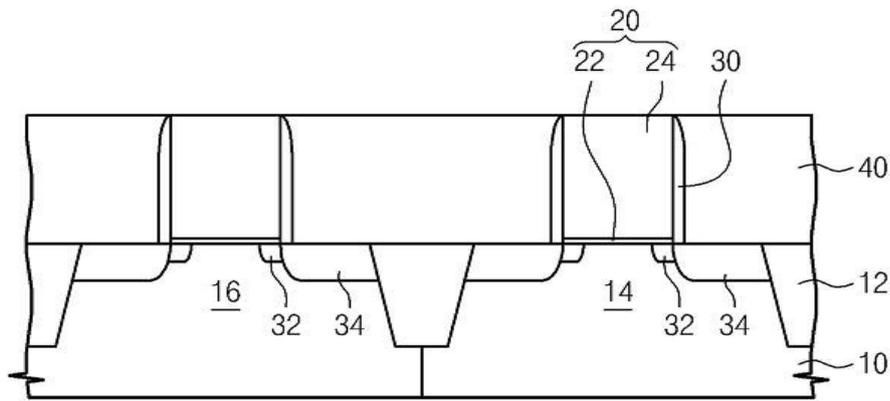
도면3



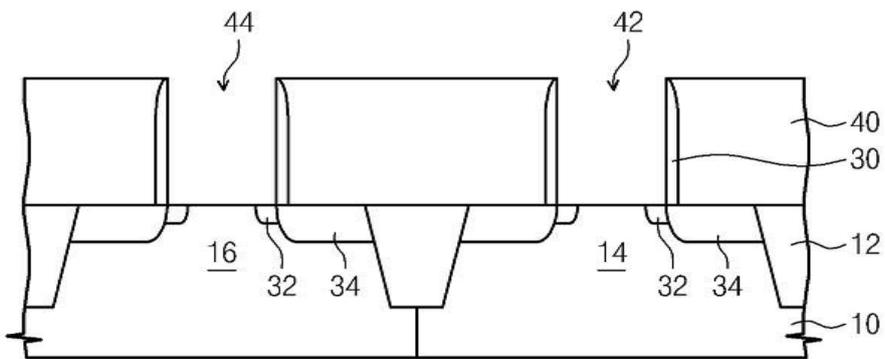
도면8



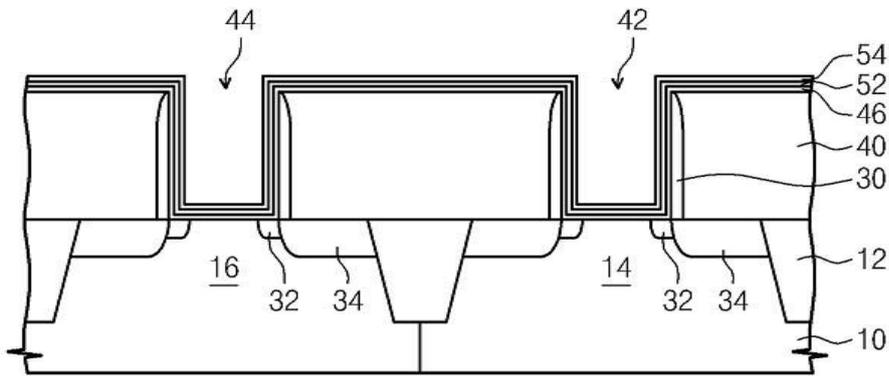
도면9



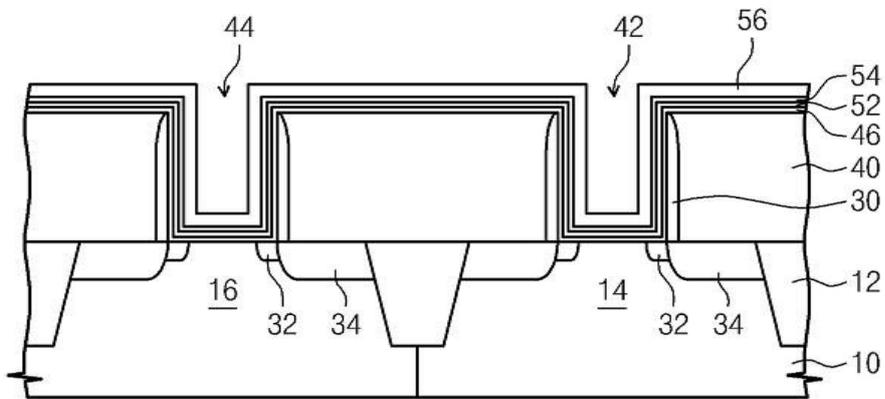
도면10



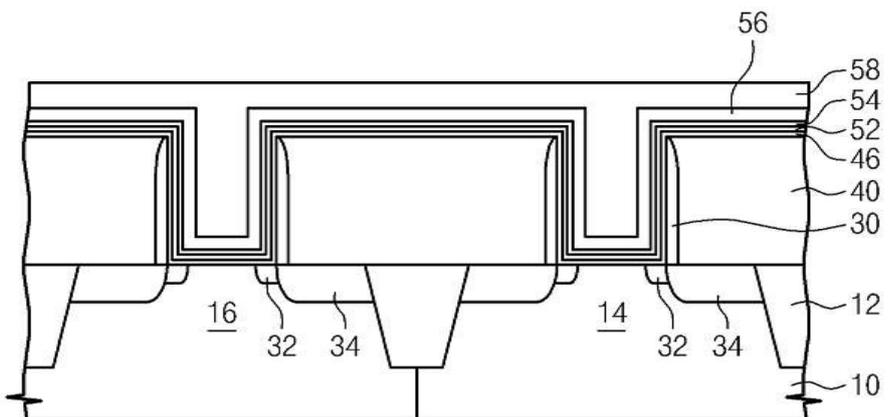
도면11



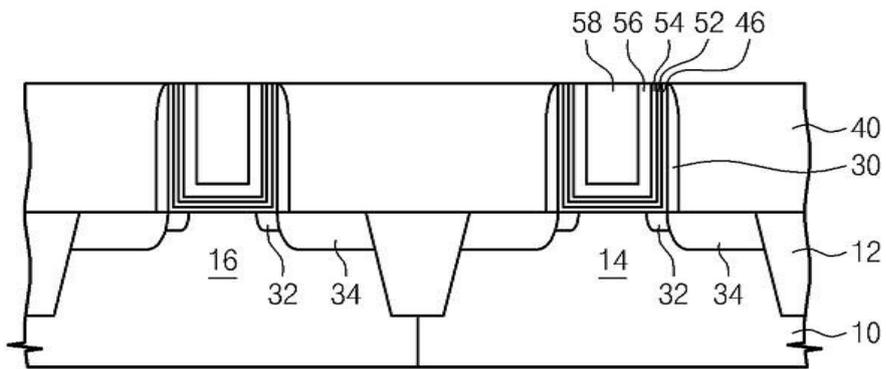
도면12



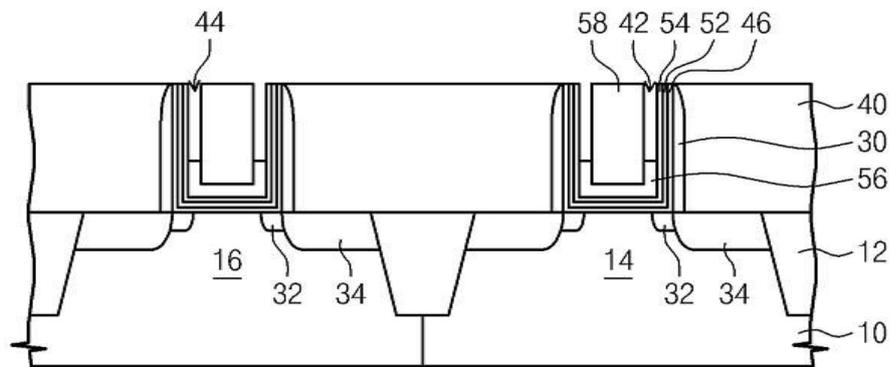
도면13



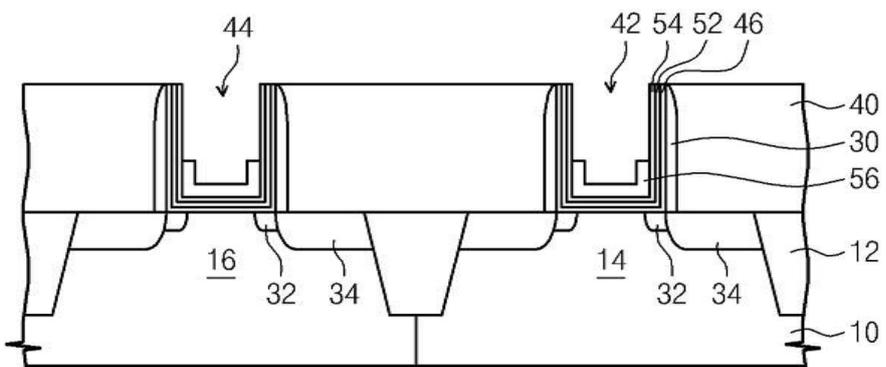
도면14



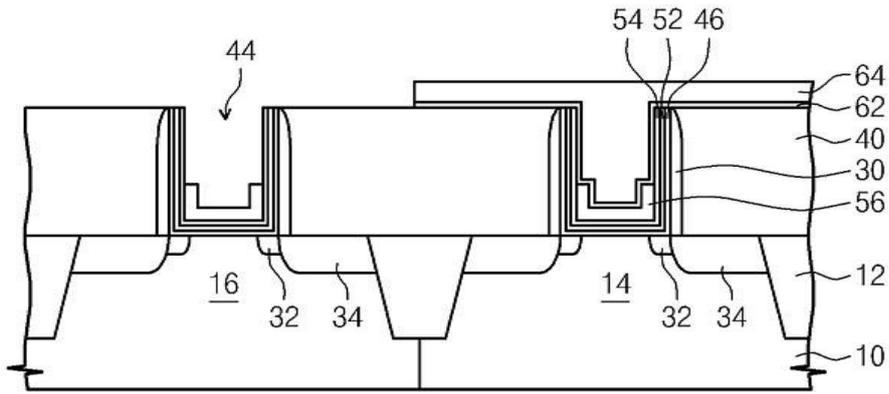
도면15



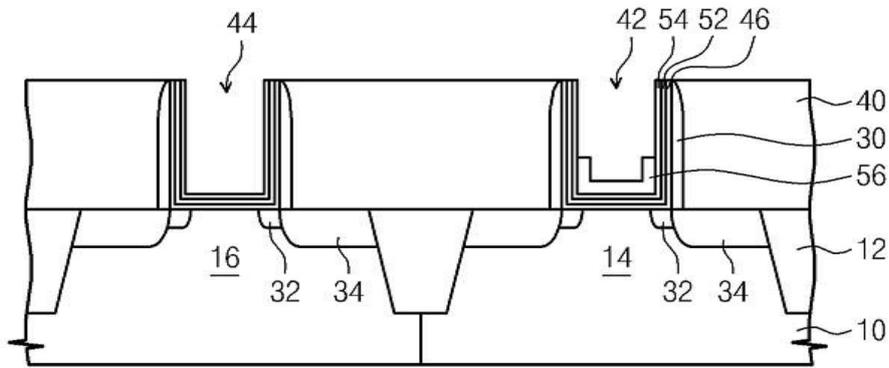
도면16



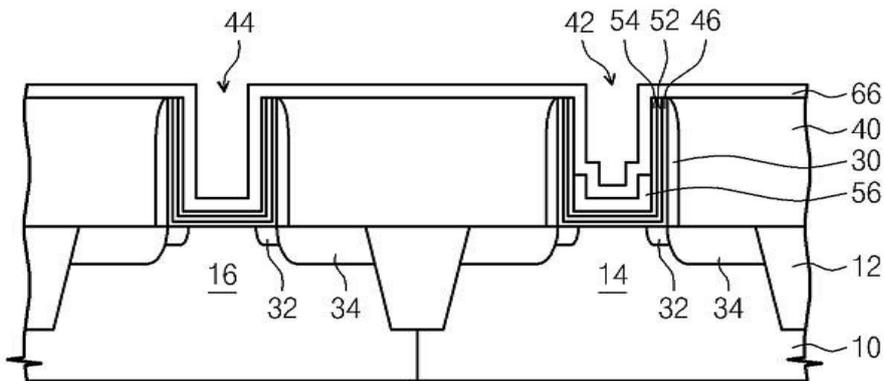
도면17



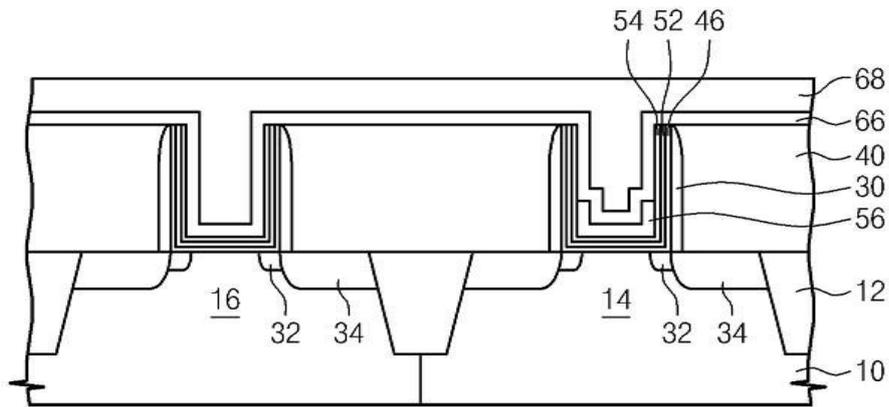
도면18



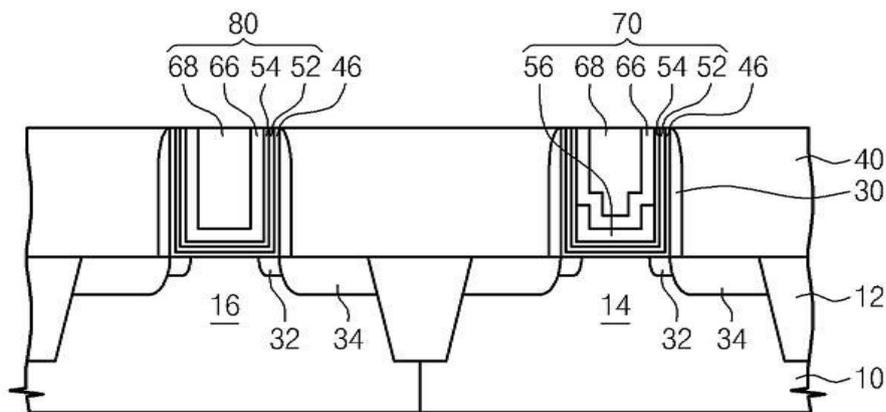
도면19



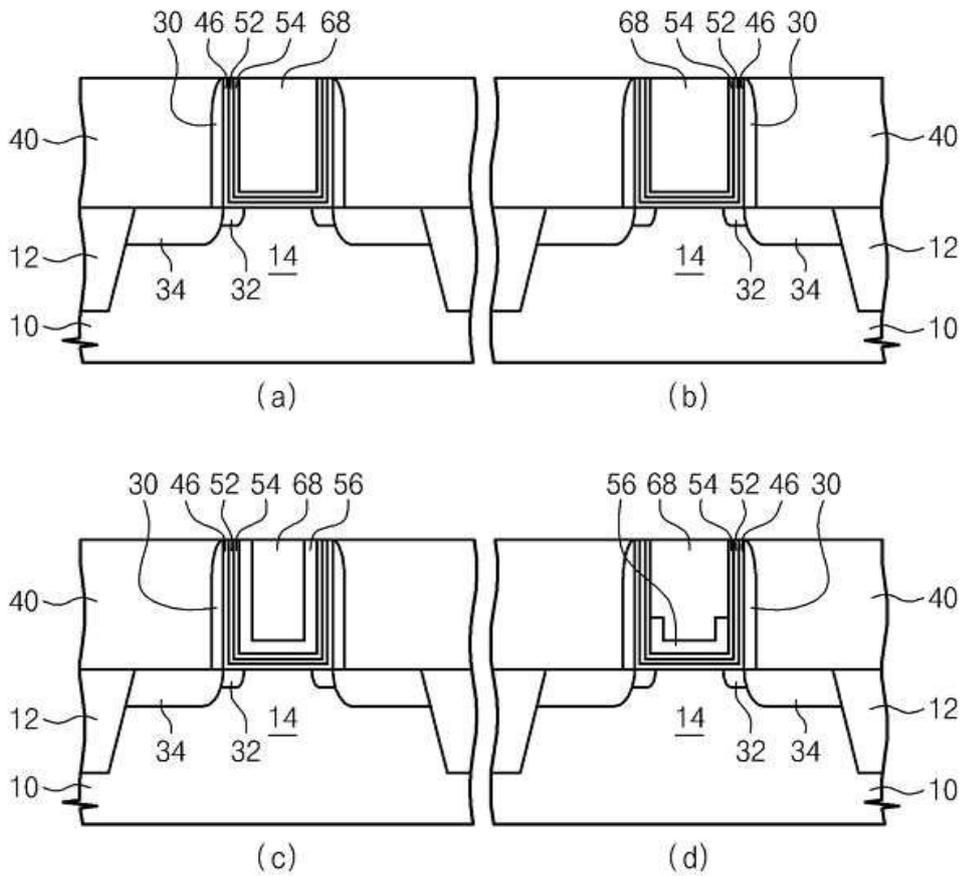
도면20



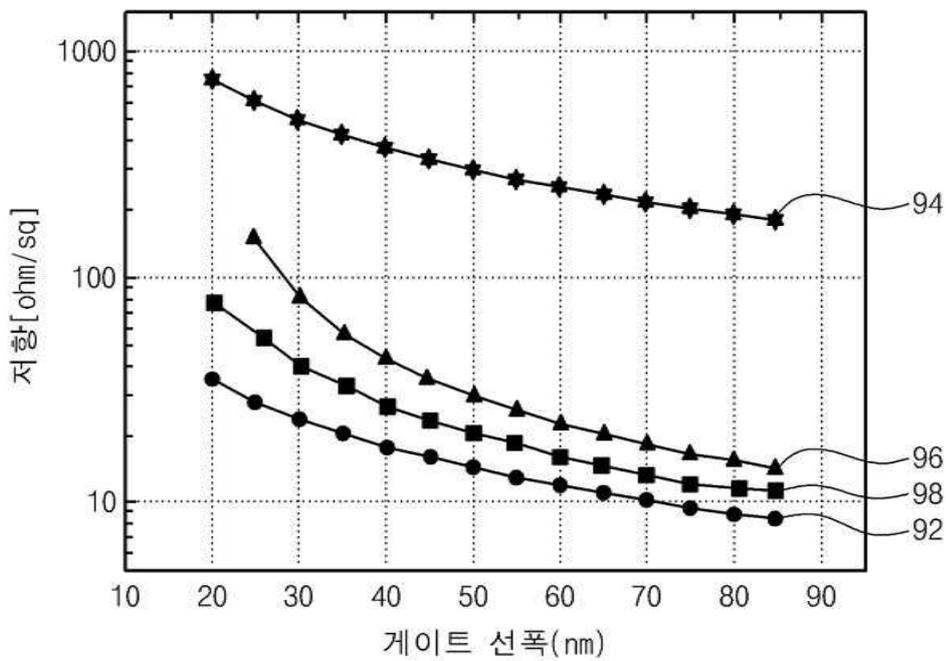
도면21



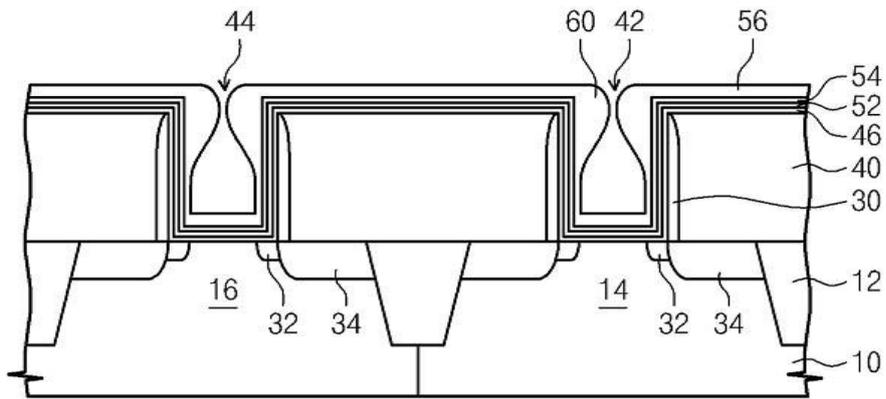
도면22



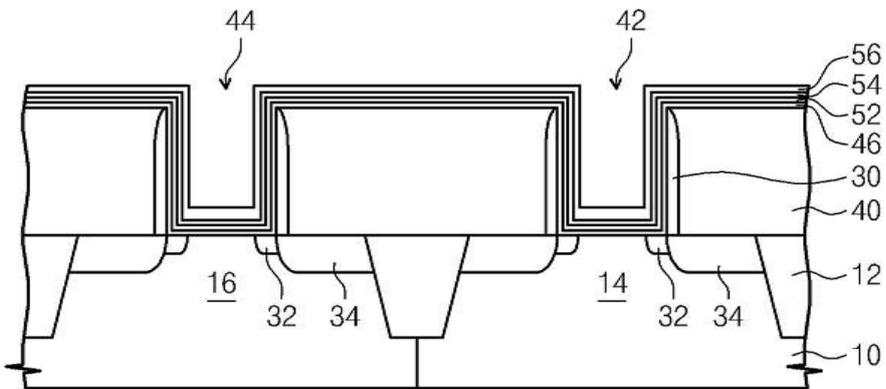
도면23



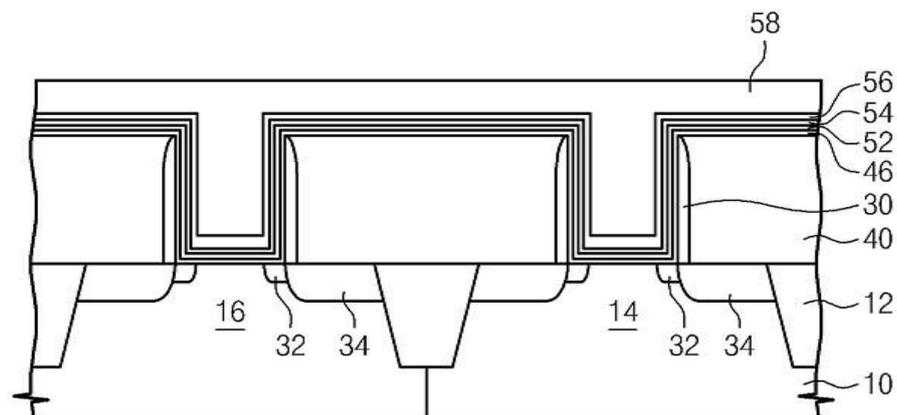
도면24



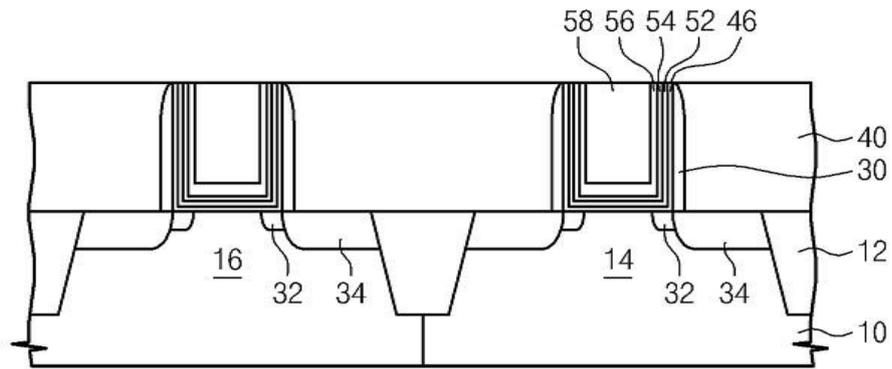
도면25



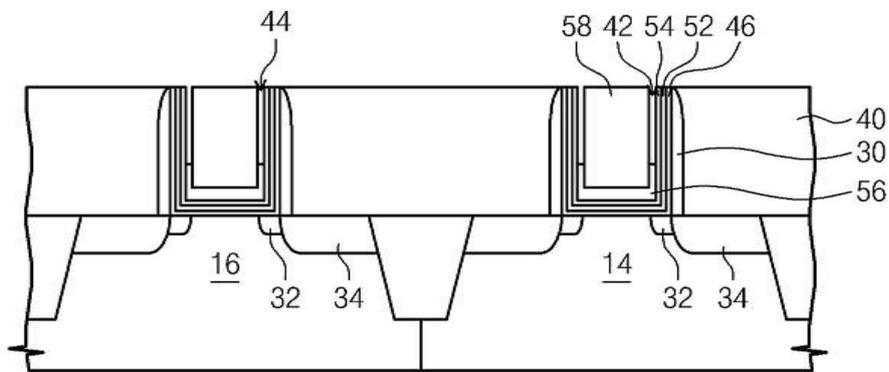
도면26



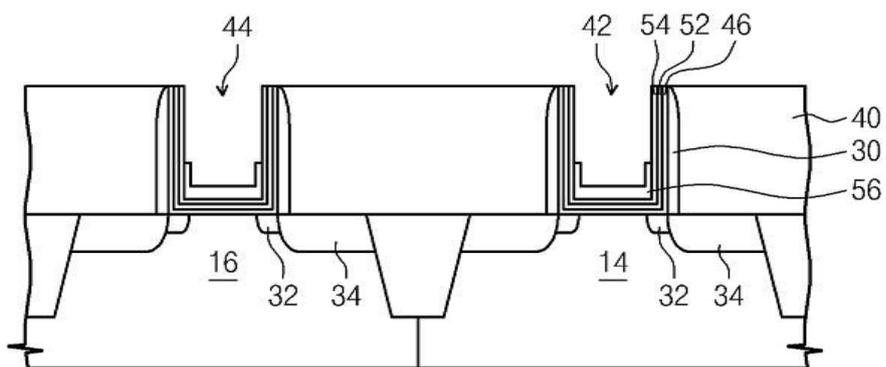
도면27



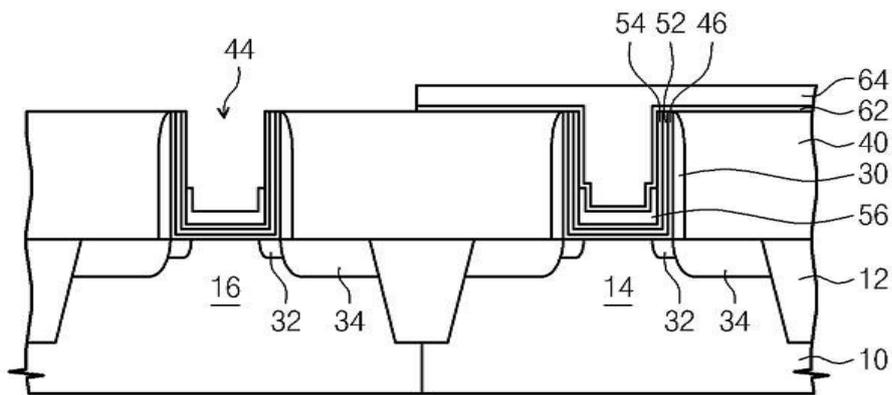
도면28



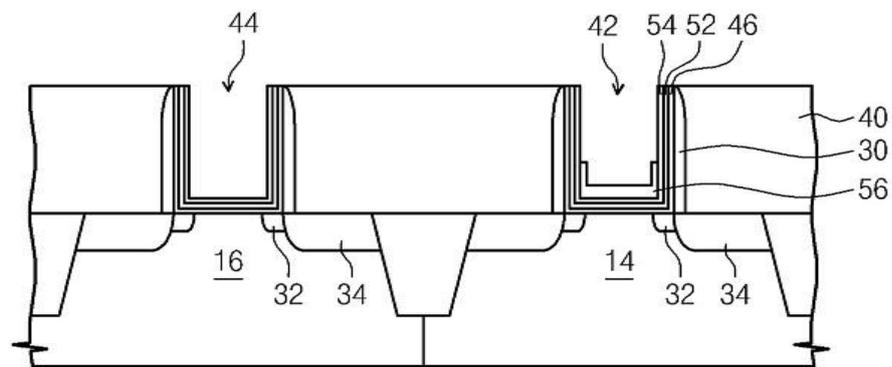
도면29



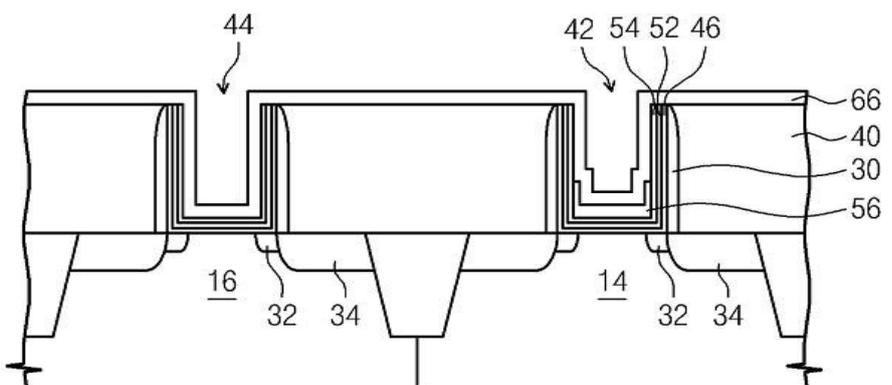
도면30



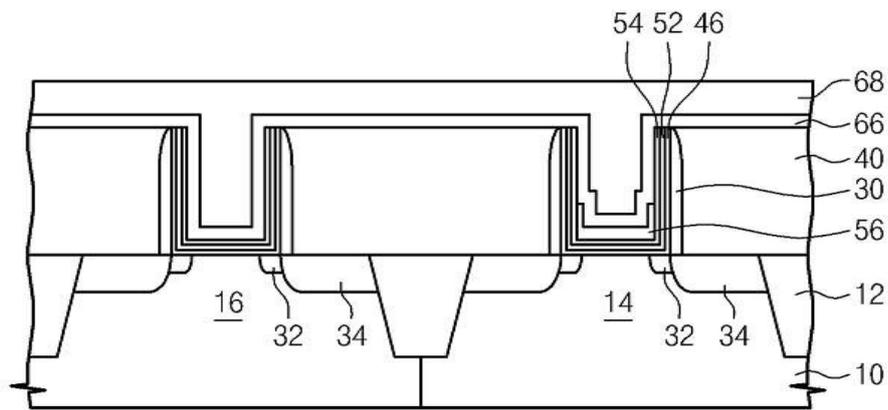
도면31



도면32



도면33



도면34

