

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-110803

(P2007-110803A)

(43) 公開日 平成19年4月26日(2007.4.26)

(51) Int. Cl.

H02M 3/28 (2006.01)

F I

H02M 3/28

L

テーマコード(参考)

5H730

審査請求 有 請求項の数 6 O L (全 27 頁)

(21) 出願番号 特願2005-297576 (P2005-297576)
 (22) 出願日 平成17年10月12日(2005.10.12)

(71) 出願人 000005821
 松下電器産業株式会社
 大阪府門真市大字門真1006番地
 (74) 代理人 100112128
 弁理士 村山 光威
 (72) 発明者 林 和治
 大阪府門真市大字門真1006番地 松下電器産業株式会社内
 (72) 発明者 山下 哲司
 大阪府門真市大字門真1006番地 松下電器産業株式会社内
 (72) 発明者 村田 一大
 大阪府門真市大字門真1006番地 松下電器産業株式会社内

最終頁に続く

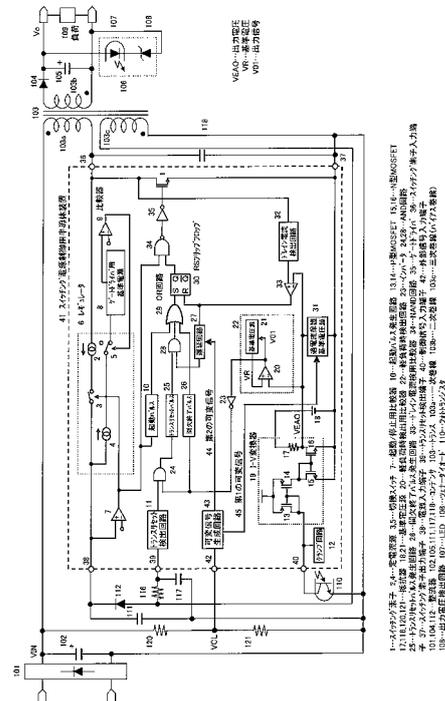
(54) 【発明の名称】 スイッチング電源制御用半導体装置およびスイッチング電源装置

(57) 【要約】

【課題】 軽負荷時に高周波数動作することを抑制してスイッチングロスを低減し、電源効率を改善して消費電力を削減する。

【解決手段】 外部抵抗と接続の外部信号入力端子42を備え、入力電圧VINを抵抗器120, 121で分割して可変信号生成回路43に入力し、出力の第1の可変信号45を受けた過電流保護基準電圧源31でドレイン電流検出回路32の出力電圧と比較する基準電圧の上限を可変し、また出力の第2の可変信号44を受けた遅延回路27は遅延時間を可変する。軽負荷時に間欠制御を行ってスイッチング素子1のスイッチングロスを抑えて電源効率を改善し、さらにドレイン電流検出信号に対して、遅延回路27により一定の遅延時間を与え、トランス103の三次巻線103cからの信号に基づくスイッチングオン制御を制限して、スイッチング素子1の動作を停止しタイミングを遅らせる。軽負荷時の動作を制御し、コストパフォーマンスを向上させる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

直流の入力電圧をトランスの一次巻線を介してスイッチング素子に印加し、前記スイッチング素子のスイッチング動作により、前記トランスの二次巻線に発生した交流電流を整流平滑して得られた直流電圧を制御して負荷に電力供給するため、前記スイッチング素子のスイッチング動作を制御する制御回路を有するスイッチング電源制御用半導体装置であって、

前記制御回路に、前記スイッチング素子を流れる電流を検出するドレイン電流検出回路と、前記トランスの三次巻線に発生した交流電圧から、前記スイッチング素子のスイッチング動作により発生する前記トランスのリセット状態を検出して、前記リセット状態を示すトランスリセット検出信号を出力するトランスリセット検出回路と、前記ドレイン電流検出回路の出力信号に対して所定の遅延時間を与える遅延回路と、前記トランスの二次巻線に発生した交流電流に基づく直流電圧の変化を示す制御電流の電流値を電圧値に変換する I - V 変換器と、前記 I - V 変換器の出力信号と前記ドレイン電流検出回路の出力信号を比較するドレイン電流検出用比較器と、前記ドレイン電流検出用比較器の基準電圧となる前記 I - V 変換器の出力信号の上限を決める過電流保護基準電圧源と、外部接続端子からの入力信号を受けて、出力として前記過電流保護基準電圧源の入力に外部可変信号を供給する可変信号生成回路とを備え、

前記トランスリセット検出回路のトランスリセット検出信号および前記ドレイン電流検出回路の出力信号に基づいた前記スイッチング動作の制御において、前記過電流保護基準電圧源が前記外部可変信号を受けて、前記ドレイン電流検出回路の出力信号と比較する基準電圧の上限となる過電流保護レベルを可変し、前記遅延回路から所定時間遅延したドレイン電流検出信号を出力するまで、前記トランスリセット検出回路のトランスリセット検出信号をマスクして、前記スイッチング動作を停止するように前記スイッチング素子の制御電極を駆動することを特徴とするスイッチング電源制御用半導体装置。

【請求項 2】

直流の入力電圧をトランスの一次巻線を介してスイッチング素子に印加し、前記スイッチング素子のスイッチング動作により、前記トランスの二次巻線に発生した交流電流を整流平滑して得られた直流電圧を制御して負荷に電力供給するため、前記スイッチング素子のスイッチング動作を制御する制御回路を有するスイッチング電源制御用半導体装置であって、

前記制御回路に、前記スイッチング素子を流れる電流を検出するドレイン電流検出回路と、前記トランスの三次巻線に発生した交流電圧から、前記スイッチング素子のスイッチング動作により発生する前記トランスのリセット状態を検出して、前記リセット状態を示すトランスリセット検出信号を出力するトランスリセット検出回路と、前記ドレイン電流検出回路の出力信号に対して所定の遅延時間を与える遅延回路と、前記トランスの二次巻線に発生した交流電流に基づく直流電圧の変化を示す制御電流の電流値を電圧値に変換する I - V 変換器と、前記 I - V 変換器の出力信号と前記ドレイン電流検出回路の出力信号とを比較するドレイン電流検出用比較器と、前記ドレイン電流検出用比較器の基準電圧となる前記 I - V 変換器の出力信号の上限を決める過電流保護基準電圧源と、外部接続端子からの入力信号を受けて、出力として前記過電流保護基準電圧源および前記遅延回路の入力に外部可変信号を供給する可変信号生成回路とを備え、

前記トランスリセット検出回路のトランスリセット検出信号および前記ドレイン電流検出回路の出力信号に基づいた前記スイッチング動作の制御において、前記過電流保護基準電圧源および前記遅延回路が前記外部可変信号を受けて、前記ドレイン電流検出回路の出力信号と比較する基準電圧の上限となる過電流保護レベルおよび前記遅延時間を可変し、前記遅延回路から所定時間遅延したドレイン電流検出信号を出力するまで、前記トランスリセット検出回路のトランスリセット検出信号をマスクして、前記スイッチング動作を停止するように前記スイッチング素子の制御電極を駆動することを特徴とするスイッチング電源制御用半導体装置。

10

20

30

40

50

【請求項 3】

前記外部接続端子からの入力信号が設定値以下である場合、スイッチング素子のスイッチング動作を停止させることを特徴とする請求項 1 または 2 記載のスイッチング電源制御用半導体装置。

【請求項 4】

前記外部接続端子からの入力信号が設定値以上である場合、スイッチング素子のスイッチング動作を停止させることを特徴とする請求項 1 または 2 記載のスイッチング電源制御用半導体装置。

【請求項 5】

前記制御回路とスイッチング素子を同一基板上に集積化した半導体基板に、入力電圧をトランスの一次巻線を介して前記スイッチング素子に印加するためのスイッチング素子入力端子と、前記スイッチング素子のスイッチング動作により得られたスイッチング電流を出力するためのスイッチング素子出力端子と、前記スイッチング素子のスイッチング動作により前記トランスの三次巻線に発生した電流に基づく直流電圧を供給するための電源入力端子と、前記スイッチング素子の間欠スイッチング動作を制御する制御信号を入力するための制御信号入力端子と、トランスリセット検出回路にトランスリセット検出信号を入力するためのトランスリセット検出端子と、過電流保護基準電圧源および遅延回路に外部可変信号を供給する可変信号生成回路の外部信号を入力するための外部信号入力端子とを備えたことを特徴とする請求項 1 ~ 4 のいずれか 1 項に記載のスイッチング電源制御用半導体装置。

10

20

【請求項 6】

請求項 1 ~ 5 のいずれか 1 項に記載のスイッチング電源制御用半導体装置を用いて、直流の入力電圧をトランスの一次巻線を介してスイッチング素子に印加し、前記スイッチング素子のスイッチング動作を行うことにより、前記トランスの二次巻線に発生した交流電流を整流平滑して得られた直流電圧を制御して、負荷に電力供給することを特徴とするスイッチング電源装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、スイッチング電源の出力電圧をスイッチング動作により制御するスイッチング電源制御用半導体装置およびスイッチング電源装置に関するものである。

30

【背景技術】**【0002】**

従来から、家電製品等の一般家庭用機器には、その電源装置として、消費電力の低減化による電力効率の向上等を図る目的から、半導体（トランジスタなどのスイッチング素子）によるスイッチング動作を利用して出力電圧を制御（安定化など）するスイッチング電源制御用半導体装置を有するスイッチング電源装置が広く用いられている。

【0003】

特に近年では、地球温暖化防止対策の見地から、家電製品等の機器においては、それらの動作待機（スタンバイ）時における消費電力削減が注目され、スタンバイ時における消費電力がより低いスイッチング電源装置が強く要求されている。

40

【0004】

この要求に応えるため、例えば、機器の通常動作状態（通常モード）における定格負荷時に電源供給するため、1つの主電源用スイッチング電源装置（コンバータ）で、機器の待機動作状態（待機モード）のスタンバイ時におけるスイッチング素子の電流損失を低減して軽負荷時における消費電力を削減し、待機モードを含む広範囲な負荷領域で、十分に高い電力効率を容易に得ることができる電源システム等が開発されつつある。この場合、このスイッチング電源装置としては、電源の効率およびノイズの面から部分共振型が多く用いられてきた（特許文献 1 参照）。

【0005】

50

しかし前記のようなスイッチング電源制御用半導体装置では、電源の待機時の省電力化という要望を実現できるようになってきているが、全世界での様々な入力電圧に対し、低入力電圧時と高入力電圧時とで電源の最大出力が同じではなく、入力電圧によって電源設計を変更したり、高入力電圧時に電源の各部品にかかるストレスが大きくなることを見越した部品選定をしたりする必要があり、コストアップにつながるといった問題がある。

【0006】

また、全世界での商用電源電圧は、地域により電圧の変動も様々であり、極端な低入力電圧状態および極端な高入力電圧状態も考えられる。極端な低入力電圧状態において、ある一定電圧以上で電源が起動するようにしたり、ある一定電圧以下になったときに電源を停止させたりする場合や、極端な高入力電圧状態において、スイッチング素子の耐圧以上の電圧に跳ね上がることによるスイッチング素子の耐圧破壊を防止したい場合に、入力電圧を検出し保護をかける回路を別途構成する必要があり、外付け部品が増加するといった課題もある。

10

【0007】

図14は従来のスイッチング電源装置の一構成例を示す回路図である。このスイッチング電源装置は、図14に示すように、商用の交流電源が、ダイオードブリッジなどの整流器101により整流されて入力コンデンサ102にて平滑化されることにより、直流の入力電圧VINとしてトランス103の一次巻線103aを介してスイッチング素子1に印加する。スイッチング素子1のスイッチング動作により、トランス103の二次巻線103bに発生した交流電流を整流器104およびコンデンサ105により整流平滑して得られた直流の出力電圧Voを制御して、負荷109に電力供給する。

20

【0008】

また、スイッチング電源装置は、トランス103の三次巻線103cに発生した交流電圧から、スイッチング素子1のスイッチング動作により発生するトランス103のリセット状態を検出して、そのリセット状態を示すトランスリセット検出信号を出力するトランスリセット検出回路11と、トランス103の二次巻線103bに発生した出力電圧Voの変化を基にして出力電圧検出回路106およびフォトランジスタ110を通じて得られた制御電流の変化を、その電流値に対応した電圧値に変換するI-V変換器19と、I-V変換器19からの出力電圧VEAOの変化に基づいて、負荷109への電力供給の大きさを示す負荷状態として軽負荷時を検出した場合に、スイッチング素子1による間欠スイッチング動作を制御するための制御信号を出力する軽負荷時検出回路22とを有しており、これらによって、スイッチング素子1の制御電極(ゲート電極)を駆動する制御回路の一部を構成している。

30

【0009】

そして、軽負荷時検出回路22は、I-V変換器19からの出力電圧VEAOが軽負荷時を検出するための軽負荷時検出下限電圧VR1よりも小さくなったときに、スイッチング素子1のスイッチング動作を停止し、I-V変換器19からの出力電圧VEAOが軽負荷時を検出するための軽負荷時検出上限電圧VR2よりも大きくなったときに、スイッチング素子1のスイッチング動作を再開するように、間欠スイッチング動作を制御するための制御信号を出力する。

40

【0010】

また、トランスリセット検出回路11からのトランスリセット検出信号および軽負荷時検出回路22からの制御信号に基づいて、スイッチング素子1の制御電極(ゲート電極)を駆動し、軽負荷時の間欠スイッチング動作を制御するように構成されている。

【0011】

以上のように構成されたスイッチング電源装置の概略動作を説明する。ここでは、軽負荷を検出した場合に、スイッチング素子による間欠スイッチング動作を行うスイッチング電源制御用半導体装置の動作を説明する。

【0012】

図14において、内部回路が基準電圧まで上昇すると制御回路が起動し、その後、スイ

50

ツチング素子入力端子 36 とスイッチング素子出力端子 37 の間に接続されたコンデンサ 118 により入力端子 36 の電圧が上昇し起動電圧になると、パワー MOSFET 等のスイッチング素子 1 がターンオンしてオン状態となり、そのドレイン電流が、トランス 103 の二次巻線 103b に接続された出力電圧検出回路 106 からフォトトランジスタ 110 へのフォトカプラ電流によるフィードバック電流で決定される過電流検出レベルに達すると、スイッチング素子 1 はターンオフしてオフ状態になる。スイッチング素子 1 がオフすると、そのドレイン電圧は、トランス 103 のインダクタンスとスイッチング素子 1 のドレイン-ソース間容量およびコンデンサ 118 の容量との共振により、リングング動作を行う。

【0013】

10

このようにして、一端スイッチング電源制御用半導体装置が起動すると、次のオン信号はトランス 103 の三次巻線（バイアス巻線）103c により検出されるが、制御回路内部で三次巻線電圧（トランスリセット検出信号）が設定値以下になると、オン信号を出力する。また、トランスリセット（三次巻線）検出端子 39 には抵抗器 116 とコンデンサ 117 を接続し、スイッチング素子 1 のドレイン電圧のボトムでスイッチング素子 1 がオンするようなタイミングが得られるように、抵抗器 116 とコンデンサ 117 の各値による時定数が調整されている。

【0014】

以上の動作を繰り返し、所望の出力電圧 V_o を得るようにしているが、軽負荷時の電源効率を改善するため、フィードバック電流がある一定値以上流れるとスイッチング素子 1 によるスイッチング動作を停止し、フィードバック電流がある一定値以下になるとスイッチング素子 1 によるスイッチング動作を再開するといった間欠発振制御（間欠スイッチング動作）を行うことにより、軽負荷時の電源効率を改善し消費電力を削減している。

20

【0015】

また、スイッチング素子 1 によるスイッチング動作の制御方法としては、擬似共振型のリングングチョークコンバータ（RCC）制御であり、擬似共振型制御の基本は自励であるので、負荷が軽くなればなるほど発振周波数は高くなる。そのため、さらに遅延回路 27 がスイッチングオフ時のドレイン電流検出信号を受けた後に、そのドレイン電流検出信号に対して、遅延回路 27 によりある一定の遅延時間を与えることにより、その遅延時間に対応するブランキング時間内には、トランス 103 の三次巻線 103c からの信号に基づいてトランスリセットパルス発生回路 25 で得られたトランスリセットパルスによるスイッチングオン制御を受け付けないうようにして、スイッチング素子 1 へオン信号を与えないようにし、スイッチング素子 1 のスイッチング動作を停止してスイッチングオンのタイミングを遅らせるように構成する。

30

【0016】

これにより、軽負荷時に発振周波数が高くならないようにし、スイッチング動作に伴うスイッチングロスの増加を抑え、周波数が一定以上高くならないように制限することで軽負荷時の電源効率をさらに改善し消費電力を削減している。

【0017】

また、擬似共振型の制御であるため、スイッチング素子オン時のスイッチングロスが低減できるとともに、低ノイズが実現できるため、低ノイズ、高効率および高出力が要求される市場に適している。また、軽負荷時には間欠発振制御による間欠スイッチング動作となるため、一般的に RCC で問題となる軽負荷時のスイッチング周波数の上昇は抑えられ、軽負荷時のスイッチングロスについてはある程度低減している。

40

【特許文献 1】特開 2002-315330 号公報

【発明の開示】

【発明が解決しようとする課題】

【0018】

しかしながら、このような構成のスイッチング電源装置は、図 14 に示すスイッチング素子 1 に流れる最大電流は過電流保護基準電圧源 31 により規定され、スイッチング電源

50

制御用半導体装置 41 により固定された値となっている。ただし、各回路の反応遅れ時間、スイッチング素子 1 のスイッチング時間等により、一定の遅れ時間を有し、実際にスイッチング素子 1 に流れる最大電流は内部回路で規定された過電流保護レベルよりも若干大きな値となる。そして、過電流保護遅れ時間を有するために、高入力電圧時は、低入力電圧時に比べて、スイッチング素子 1 に流れる最大ドレイン電流が大きくなる。

【0019】

また、単位スイッチング動作あたりの入力電力 P_{IN} は、スイッチング素子 1 への最大電流を I_{PEAK} とすると、入力電圧 V_{IN} に対して (数 1)

【0020】

【数 1】

$$P_{IN} = V_{IN} \times I_{PEAK}$$

となり、高入力電圧時には、仮に低入力電圧時と同じ最大電流 I_{PEAK} となるようにした場合にも入力電力 P_{IN} が大きくなり、出力電力 P_O が同一の負荷条件においてはより軽負荷状態となるため、擬似共振型制御では発振周波数が高くなってしまふ。そのため、高入力電圧時に電源としての最大出力電力が大きくなるという課題がある。

【0021】

本発明は、前記従来技術の問題を解決することに指向するものであり、軽負荷時に高周波数動作となることを抑制してスイッチングロスを低減し、また軽負荷時の電源効率を改善し、軽負荷時の消費電力を削減することともに、軽負荷時から重負荷時までの全負荷領域で高効率化および低ノイズ化を実現して、また入力電圧に依存せず最大出力電力を一定レベルに保つことができるスイッチング電源制御用半導体装置およびスイッチング電源装置を提供することを目的とする。

【課題を解決するための手段】

【0022】

前記の目的を達成するために、本発明に係る請求項 1 に記載したスイッチング電源制御用半導体装置は、直流の入力電圧をトランスの一次巻線を介してスイッチング素子に印加し、スイッチング素子のスイッチング動作により、トランスの二次巻線に発生した交流電流を整流平滑して得られた直流電圧を制御して負荷に電力供給するため、スイッチング素子のスイッチング動作を制御する制御回路を有するスイッチング電源制御用半導体装置であって、制御回路に、スイッチング素子を流れる電流を検出するドレイン電流検出回路と、トランスの三次巻線に発生した交流電圧から、スイッチング素子のスイッチング動作により発生するトランスのリセット状態を検出して、リセット状態を示すトランスリセット検出信号を出力するトランスリセット検出回路と、ドレイン電流検出回路の出力信号に対して所定の遅延時間を与える遅延回路と、トランスの二次巻線に発生した交流電流に基づく直流電圧の変化を示す制御電流の電流値を電圧値に変換する I-V 変換器と、I-V 変換器の出力信号とドレイン電流検出回路の出力信号を比較するドレイン電流検出用比較器と、ドレイン電流検出用比較器の基準電圧となる I-V 変換器の出力信号の上限を決める過電流保護基準電圧源と、外部接続端子からの入力信号を受けて、出力として過電流保護基準電圧源の入力に外部可変信号を供給する可変信号生成回路とを備え、トランスリセット検出回路のトランスリセット検出信号およびドレイン電流検出回路の出力信号に基づいたスイッチング動作の制御において、過電流保護基準電圧源が外部可変信号を受けて、ドレイン電流検出回路の出力信号と比較する基準電圧の上限となる過電流保護レベルを可変し、遅延回路から所定時間遅延したドレイン電流検出信号を出力するまで、トランスリセット検出回路のトランスリセット検出信号をマスクして、スイッチング動作を停止するようにスイッチング素子の制御電極を駆動することを特徴とする。

【0023】

また、請求項 2 に記載したスイッチング電源制御用半導体装置は、直流の入力電圧をトランスの一次巻線を介してスイッチング素子に印加し、スイッチング素子のスイッチング動作により、トランスの二次巻線に発生した交流電流を整流平滑して得られた直流電圧を

制御して負荷に電力供給するため、スイッチング素子のスイッチング動作を制御する制御回路を有するスイッチング電源制御用半導体装置であって、制御回路に、スイッチング素子を流れる電流を検出するドレイン電流検出回路と、トランスの三次巻線に発生した交流電圧から、スイッチング素子のスイッチング動作により発生するトランスのリセット状態を検出して、リセット状態を示すトランスリセット検出信号を出力するトランスリセット検出回路と、ドレイン電流検出回路の出力信号に対して所定の遅延時間を与える遅延回路と、トランスの二次巻線に発生した交流電流に基づく直流電圧の変化を示す制御電流の電流値を電圧値に変換するI-V変換器と、I-V変換器の出力信号とドレイン電流検出回路の出力信号とを比較するドレイン電流検出用比較器と、ドレイン電流検出用比較器の基準電圧となるI-V変換器の出力信号の上限を決める過電流保護基準電圧源と、外部接続端子からの入力信号を受けて、出力として過電流保護基準電圧源および遅延回路の入力に外部可変信号を供給する可変信号生成回路とを備え、トランスリセット検出回路のトランスリセット検出信号およびドレイン電流検出回路の出力信号に基づいた前記スイッチング動作の制御において、過電流保護基準電圧源および遅延回路が外部可変信号を受けて、ドレイン電流検出回路の出力信号と比較する基準電圧の上限となる過電流保護レベルおよび遅延時間を可変し、遅延回路から所定時間遅延したドレイン電流検出信号を出力するまで、トランスリセット検出回路のトランスリセット検出信号をマスクして、スイッチング素子のスイッチング動作を停止するように制御電極を駆動することを特徴とする。

10

【0024】

また、請求項3, 4に記載したスイッチング電源制御用半導体装置は、請求項1または2のスイッチング電源制御用半導体装置において、外部接続端子からの入力信号が設定値以下である場合、スイッチング素子のスイッチング動作を停止させること、または、外部接続端子からの入力信号が設定値以上である場合、スイッチング素子のスイッチング動作を停止させることを特徴とする。

20

【0025】

また、請求項5に記載したスイッチング電源制御用半導体装置は、請求項1~4のスイッチング電源制御用半導体装置において、制御回路とスイッチング素子を同一基板上に集積化した半導体基板に、入力電圧をトランスの一次巻線を介してスイッチング素子に印加するためのスイッチング素子入力端子と、スイッチング素子のスイッチング動作により得られたスイッチング電流を出力するためのスイッチング素子出力端子と、スイッチング素子のスイッチング動作によりトランスの三次巻線に発生した電流に基づく直流電圧を供給するための電源入力端子と、スイッチング素子の間欠スイッチング動作を制御する制御信号を入力するための制御信号入力端子と、トランスリセット検出回路にトランスリセット検出信号を入力するためのトランスリセット検出端子と、過電流保護基準電圧源および遅延回路に外部可変信号を供給する可変信号生成回路の外部信号を入力するための外部信号入力端子とを備えたことを特徴とする。

30

【0026】

また、請求項6に記載したスイッチング電源装置は、請求項1~5のいずれか1項に記載のスイッチング電源制御用半導体装置を用いて、直流の入力電圧をトランスの一次巻線を介してスイッチング素子に印加し、スイッチング素子のスイッチング動作を行うことにより、トランスの二次巻線に発生した交流電流を整流平滑して得られた直流電圧を制御して、負荷に電力供給することを特徴とする。

40

【0027】

前記構成によれば、外部信号入力端子の入力信号を調整することにより、スイッチング素子の過電流保護検出レベルと、トランスリセット検出回路のトランスリセット検出信号をマスクする遅延時間を入力電圧に応じて補正できる。

【発明の効果】**【0028】**

本発明によれば、外部信号入力端子の入力信号を調整することで、スイッチング素子の過電流保護検出レベルおよびトランスリセット検出回路のトランスリセット検出信号をマ

50

スクする遅延時間を入力電圧に応じて補正ができ、入力電圧に依存せず最大出力電力を同等レベルにすること、使用部品の定格を抑えることが可能となり、電源のコストパフォーマンスを向上させるだけでなく、同一半導体装置における使用の用途を広げることができるという効果を奏する。

【発明を実施するための最良の形態】

【0029】

以下、図面を参照して本発明における実施の形態を詳細に説明する。

【0030】

図1は本発明の実施の形態1におけるスイッチング電源制御用半導体装置およびこれを用いたスイッチング電源装置の一構成例を示す回路図である。ここで、前記従来例を示す図14において説明した構成部材に対応し実質的に同等の機能を有するものには同一の符号を付し、以下の各図においても同様とする。

10

【0031】

まず、本実施の形態1におけるスイッチング電源制御用半導体装置について説明する。図1に示すスイッチング電源制御用半導体装置41には、制御信号入力端子40から流出する電流をI-V変換器19により電圧変換した出力電圧VEAOが与えられる軽負荷時検出回路22が設けられている。この軽負荷時検出回路22には、軽負荷時検出用比較器20を有している。軽負荷時検出用比較器20のマイナス入力としては、I-V変換器19から出力される出力電圧VEAOが与えられており、プラス入力としては、基準電圧源21から出力される基準電圧VRが与えられている。軽負荷時検出用比較器20は、入力される出力電圧VEAOと基準電圧VRとを比較して、出力電圧VEAOが基準電圧VRを下回った場合に、所定の出力信号V01を、インバータ23を介してAND回路24の一方の入力信号として出力するようになっている。また、軽負荷時検出用比較器20の出力信号V01は、基準電圧源21にも与えられており、基準電圧源21は、軽負荷時検出用比較器20の出力信号V01を受けて基準電圧VRが変化している。

20

【0032】

AND回路24には、他方の入力信号としてトランスリセット検出端子39の電圧を検出し、トランスリセット検出回路11から出力されるトランスリセット検出信号がクロック信号として与えられており、AND回路24の出力が、ワンショットパルス形態のトランスリセットパルスを発生するトランスリセットパルス発生回路25に与えられている。軽負荷時検出時、つまり、スイッチング素子1の停止時には、その停止時間によって共振動作の振幅が小さくなり、トランスリセットパルスを検出できなくなる恐れがあるため、トランスリセットパルス発生回路25が働かないようにしている。

30

【0033】

また、軽負荷時検出用比較器20の出力信号V01はインバータ23を介して間欠終了パルス発生回路26に入力されているが、停止期間終了後、間欠終了パルス発生回路26の出力がOR回路29に入力され、その出力信号は、RSフリップフロップ30のセット信号として入力される。RSフリップフロップ30の出力信号はNAND回路34に入力され、その出力は、ゲートドライバ35を通してスイッチング素子1のゲート電極に出力される。このように、軽負荷時検出用比較器20により、待機状態である軽負荷状態を検出すると、トランスリセットパルス発生回路25を動作しないようにし、間欠終了パルス発生回路26の出力信号によりスイッチング素子1のスイッチングを再開させるようにスイッチング制御される。

40

【0034】

このスイッチング電源制御用半導体装置41では、パワーMOSFETなどによるスイッチング素子1とスイッチング素子1のスイッチング制御を行うための制御回路が同一の半導体基板上に集積化されており、スイッチング素子入力端子36と出力端子37、スイッチング電源制御用半導体装置41の起動電圧検出用および制御回路の電源入力端子38、制御信号を入力するための制御信号入力端子40、トランス103の三次巻線(バイアス巻線)のトランスリセット検出端子(電圧検出用端子)39、スイッチング電源の入力

50

電圧に応じた外部信号を入力するための外部信号入力端子 4 2 の 6 端子で構成されている。

【 0 0 3 5 】

レギュレータ 6 はスイッチング素子入力端子 3 6、電源入力端子 3 8 およびゲートドライバ用基準電源（内部回路基準電圧）8 との間に接続されており、スイッチング素子入力端子 3 6 の電圧が一定値以上になったときに、スイッチング電源制御用半導体装置 4 1 の内部回路電流を供給して、比較器 9 により、スイッチング電源制御用半導体装置 4 1 の制御回路およびゲートドライバ基準電源 8 の電圧が内部回路で設定された任意の基準電圧と比較し一定値になるように制御している。

【 0 0 3 6 】

起動 / 停止用比較器 7 の出力は、NAND 回路 3 4 へ入力され、その出力信号はゲートドライバ 3 5 を通してスイッチング素子 1 のゲート電極に出力されており、電源入力端子 3 8 の電圧の大きさによって、スイッチング素子 1 の発振および停止を制御している。

【 0 0 3 7 】

クランプ回路 1 2 は、制御信号入力端子 4 0 に接続されており、スイッチング電源制御用半導体装置 4 1 の外部にフォトランジスタ 1 1 0 などが接続されるため、一定電位に設定されている。

【 0 0 3 8 】

I - V 変換器 1 9 は、制御信号入力端子 4 0 から流出する電流を電圧に内部変換する。トランス 1 0 3 の三次巻線 1 0 3 c の電圧を検出するトランスリセット検出端子 3 9 には、トランスリセット検出回路 1 1 が接続されており、トランスリセットパルス（ワンショットパルス）発生回路 2 5 により、スイッチング素子 1 のターンオン信号のタイミングを決定している。

【 0 0 3 9 】

起動パルス（スタートパルス）発生回路 1 0 は、起動 / 停止用比較器 7 の出力信号、つまり、起動信号により出力を発生し、OR 回路 2 9 を通して、RS フリップフロップ 3 0 のセット端子に入力される。RS フリップフロップ 3 0 の出力 Q は NAND 回路 3 4 へ入力される。

【 0 0 4 0 】

起動後は、起動パルス、そして通常動作中は、トランスリセットパルスにより、OR 回路 2 9 を介して、RS フリップフロップ 3 0 の出力 Q がハイレベルとなり、スイッチング素子 1 をターンオン状態にする。

【 0 0 4 1 】

スイッチング素子 1 がオン後、スイッチング素子 1 に流れる電流とスイッチング素子 1 のオン抵抗による電圧、つまり、オン電圧をドレイン電流検出回路 3 2 で検出し、ドレイン電流検出用比較器 3 3 のプラス側に入力され、この電圧がマイナス側の電位よりも高くなったときに、RS フリップフロップ 3 0 のリセット信号として入力され、スイッチング素子 1 はターンオフする。つまり、スイッチング素子 1 のオン抵抗を検出することにより、ドレイン電流の制限を行っている。

【 0 0 4 2 】

また、ドレイン電流検出用比較器 3 3 のマイナス側には、最大電圧を規定する過電流保護基準電圧源 3 1 と、制御信号入力端子 4 0 から流出する電流に対応して I - V 変換器 1 9 により内部変換した出力電圧 V E A O とに基づいて電圧が印加されており、過電流保護基準電圧源 3 1 でドレイン電流の上限（最大ドレイン電流）を制限して、I - V 変換器 1 9 からの出力電圧 V E A O のレベルにより、スイッチング素子 1 のドレイン電流を変化させることができる。つまり、制御信号入力端子 4 0 からの流出電流が増加するほど I - V 変換器 1 9 の出力電圧 V E A O が低下するため、ドレイン電流検出用比較器 3 3 のマイナス側の電位が低下し、その結果として、スイッチング素子 1 のドレイン電流は低下することになる。

【 0 0 4 3 】

このように、制御信号入力端子40の電流により内部電圧変換されたI-V変換器19の出力電圧VEAOと、トランスリセット検出端子39によりトランス103の三次巻線103cの電圧を検出してスイッチング素子1のターンオンするタイミングを決定するトランスリセット検出回路11の出力によりトランスリセットパルスを発生するトランスリセットパルス発生回路25の出力信号とによって、スイッチング素子1のオン/オフ期間は決定される。

【0044】

このスイッチング電源制御用半導体装置を用いたスイッチング電源装置では、商用の交流電源が、ダイオードブリッジなどの整流器101により整流されてコンデンサ102にて平滑化されることにより、直流の入力電圧VINとされて、電力変換用のトランス103に与えられている。電力変換用のトランス103は、一次巻線103aと二次巻線103bと三次巻線(バイアス巻線として使用)103cを有しており、直流の入力電圧VINが一次巻線103aに与えられる。

10

【0045】

トランス103の一次巻線103aに与えられた直流の入力電圧VINは、スイッチング電源制御用半導体装置41内のスイッチング素子1のスイッチング動作によって、トランス103の二次巻線103bに電流が取り出される。二次巻線103bに取り出された電流は、二次巻線103bに接続された整流器(ダイオード)104およびコンデンサ105により、整流および平滑化され、出力電圧Voを直流電力として負荷109へ供給される。

20

【0046】

コンデンサ105の両端には、例えばLED107およびツェナーダイオード108で構成された出力電圧検出回路106が接続されており、出力電圧Voを安定化させるための帰還信号を、スイッチング電源制御用半導体装置41の制御信号入力端子40に接続されているフォトトランジスタ110へ出力している。

【0047】

また、トランスの三次巻線103cには、トランスリセット検出端子39、および整流器(ダイオード)112を介して、電源入力端子38に接続されている。また、コンデンサ111は、電源入力端子38が急激に低下しないようにする。つまり、安定化させるものであり、トランスリセット検出端子39に接続された抵抗器116およびコンデンサ117は、遅延時間を生成するものであり、これらによりトランスリセット検出端子39で検出されるトランスリセット検出信号のタイミングを調整している。スイッチング素子1の入出力間に接続されたコンデンサ118は、トランス103との共振によるリングングの大きさおよび周期を決定するためのものである。

30

【0048】

以上の構成によって、軽負荷時に間欠制御を行うことでスイッチング素子1によるスイッチングロスを抑え、軽負荷時の電源効率を改善することができるが、さらに図1に示すように、遅延回路27がスイッチングオフ時のドレイン電流検出信号を受けた後に、そのドレイン電流検出信号に対して、遅延回路27によりある一定の遅延時間を与えることによって、その遅延時間に対応するブランキング時間内には、トランス103の三次巻線103cからの信号に基づいてトランスリセットパルス発生回路25で得られたトランスリセットパルスによるスイッチングオン制御を受け付けないようにして、スイッチング素子1にオン信号を与えないようにし、スイッチング素子1のスイッチング動作を停止してスイッチングオンのタイミングを遅らせるように構成されている。

40

【0049】

また、スイッチング電源制御用半導体装置41には、外部抵抗と接続される外部信号入力端子42を備えており、直流の入力電圧VINを抵抗器120, 121により抵抗分割し、外部信号入力端子42から、可変信号生成回路43に信号を入力している。この外部信号入力端子42から入力された、入力電圧に応じて変化する可変信号生成回路43からの第1の可変信号45を受けて過電流保護基準電圧源31で決まるI-V変換器19の出

50

力信号 V E A O の最大電圧が変動し、また、可変信号生成回路 4 3 からの第 2 の可変信号 4 4 を受けて遅延回路 2 7 の遅延時間が変動するように構成されている。

【 0 0 5 0 】

以下、このように構成されたスイッチング電源制御用半導体装置 4 1 を用いたスイッチング電源装置の軽負荷時における動作を説明する。なお、このスイッチング電源装置は、部分共振動作を利用したリングチョークコンバータ (R C C) である。

【 0 0 5 1 】

図 2 は本実施の形態 1 のスイッチング電源制御用半導体装置を用いたスイッチング電源装置の動作を説明するためのタイミングチャートであり、図 3 はスイッチング電源制御用半導体装置における基準電圧源の動作を説明するためのタイミングチャート、図 4 はスイッチング電源制御用半導体装置における基準電圧源の内部回路の一構成例を示す回路図、図 5 (a) は通常時、(b) は軽負荷時、(c) は無負荷時のスイッチング動作を示す図である。

10

【 0 0 5 2 】

いま、図 1 に示すように、整流器 1 0 1 に商用電源からの交流電源が入力されると、整流器 1 0 1 とコンデンサ 1 0 2 とにより、整流および平滑化されて、直流の入力電圧 V I N に変換される。この入力電圧 V I N がトランス 1 0 3 の一次巻線 1 0 3 a に印加される。そして、入力電圧 V I N が一定値以上になると、スイッチング電源制御用半導体装置 4 1 内のレギュレータ 6 を介して、コンデンサ 1 1 1 に充電電流が流れ、スイッチング電源制御用半導体装置 4 1 の電源入力端子 3 8 の電圧が起動 / 停止用比較器 7 において、内部回路で設定された任意の基準電圧である起動電圧に達すると、スイッチング素子 1 によるスイッチング動作の制御が開始される。

20

【 0 0 5 3 】

起動 / 停止用比較器 7 の出力信号を基に起動パルス発生回路 1 0 により起動パルスが発生し、スイッチング素子 1 がターンオンする。また、二次巻線 1 0 3 b 側の出力は、起動時には低いため、出力電圧検出回路 1 0 6 のツェナーダイオード 1 0 8 には電流が流れないためフォトトランジスタ 1 1 0 には電流が流れない。したがって、I - V 変換器 1 9 の出力電圧 V E A O は過電流保護基準電圧源 3 1 よりも高いレベルとなり、ドレイン電流検出用比較器 3 3 のマイナス側は、過電流保護基準電圧源 3 1 で決まる電圧に設定されている。起動パルス発生回路 1 0 により起動パルスが発生し、スイッチング素子 1 がターンオンすると、スイッチング素子 1 に電流が流れ、オン抵抗との積で決まるオン電圧がドレイン電流検出回路 3 2 で検出され、ドレイン電流検出用比較器 3 3 のプラス側に入力されるが、マイナス側で決まる電圧以上に上昇すると、R S フリップフロップ 3 0 のリセット端子信号にハイレベルが入力され、スイッチング素子 1 はターンオフする。

30

【 0 0 5 4 】

この後、トランス 1 0 3 のインダクタンスとコンデンサ 1 1 8 およびスイッチング素子 1 の入出力間容量で決定される共振動作により、トランス 1 0 3 の三次巻線 (バイアス巻線) 1 0 3 c の電圧が正から負、つまり、スイッチング素子入力端子 3 6 の電圧が低下したときに、トランスリセット検出回路 1 1 により、トランスリセットパルス発生回路 2 5 からのトランスリセットパルスが O R 回路 2 9 を介して、R S フリップフロップ 3 0 のセット端子にハイレベルが入力され、スイッチング素子 1 はターンオンする。

40

【 0 0 5 5 】

なお、トランス 1 0 3 の三次巻線 (バイアス巻線) 1 0 3 c とトランスリセット検出端子 3 9 との間に接続された抵抗器 1 1 6、およびスイッチング素子出力端子 (グランド端子) 3 7 とトランスリセット検出端子 3 9 との間に接続されたコンデンサ 1 1 7 により、トランスリセット検出回路 1 1 の検出時間を調整し、スイッチング素子入力端子 3 6 の電圧が略零ボルトになったポイントでスイッチング素子 1 をターンオンするようにしている。

【 0 0 5 6 】

以上のようなスイッチング動作が繰り返されて、出力電圧 V o が上昇していくが、出力

50

電圧検出回路 106 で設定された電圧以上になると、LED 107 が導通し、フォトトランジスタ 110 に電流が流れ、スイッチング電源制御用半導体装置 41 の制御信号入力端子 40 からの電流が流出する。この流出電流の大きさで、I - V 変換器 19 の出力電圧 VEA0 が低下するため、ドレイン電流検出用比較器 33 のマイナス側が低下するため、スイッチング素子 1 のドレイン電流は減少する。このように、スイッチング素子 1 のオンデューティは適切な状態に変化していく。つまり、スイッチング動作は、トランスリセット検出回路 11 からの出力信号により、トランスリセットパルス発生回路 25 から出力されたトランスリセットパルスによってターンオンし、スイッチング素子 1 のオンデューティは制御信号入力端子 40 から流出する電流により決定される。

【0057】

すなわち、図 5 (a) に示す通常時に比べ、図 5 (b) のように負荷 109 への電流供給が小さい軽負荷時は、スイッチング素子 1 に電流 I D S が流れる期間が短く、通常動作中の重負荷時には、スイッチング素子 1 に電流 I D S が流れる期間が長くなる。

【0058】

このように、スイッチング電源制御用半導体装置 41 は、スイッチング電源の負荷 109 に供給される電力に応じて、スイッチング素子 1 のドレイン電流 I D S を制御し、オンデューティを変化させるといった制御を行う。また、スイッチング素子 1 のターンオンするタイミングは、共振動作中にスイッチング素子 1 の入力電圧が最も低下したときに出力するように設定されているため、オン時のスイッチングロスがほとんどない。つまり、オン時のスイッチングロスを無視できるような部分共振動作を行う。このような動作を行うことで、通常動作時の高効率化および低ノイズ化を実現することができる。

【0059】

次に、軽負荷時検出用比較器 20 は、制御信号入力端子 40 から流出する電流を I - V 変換器 19 により電圧変換した出力電圧 VEA0 と基準電圧源 21 の出力する基準電圧 VR とを比較する。基準電圧源 21 の基準電圧 VR は、当初 (図 2 の通常時) 、軽負荷時検出下限電圧 VR1 となっている。スイッチング電源装置の出力に接続された負荷 109 への電流供給が小さくなる待機時の場合 (図 2 の負荷変動状態) 等においては、負荷への供給電流が低下すると、出力電圧 V0 が上昇し、LED 107 によるフォトトランジスタ 110 の電流が増加する。この電流 I F B により制御信号入力端子 40 から流出する電流が増加するため、(数 2)

【0060】

【数 2】

$$V_{EA0} = V_0 - R \times I$$

に従って、I - V 変換器 19 の出力電圧 VEA0 が下降する。

【0061】

ここで、電圧 V0 は予め設定された基準電圧源 18 による基準電圧、R は抵抗器 17 の抵抗値、I は制御信号入力端子 40 から流出する電流を内部のミラー回路 13 ~ 16 により変換された抵抗器 17 を流れる電流値である。

【0062】

したがって、(数 2) から、制御信号入力端子 40 からの流出電流が増加するほど I - V 変換器 19 の出力電圧 VEA0 は低下する。これに伴い、ドレイン電流検出用比較器 33 の基準電源 (マイナス側) が低下し、スイッチング素子 1 のドレイン電流は徐々に低下して負荷 109 への電力供給は低下していく。そして、この I - V 変換器 19 の出力電圧 VEA0 が軽負荷時検出下限電圧 VR1 よりも小さくなると、軽負荷時検出状態となり、図 3 に示すように、軽負荷時検出用比較器 20 の出力信号 V01 は、ローレベルからハイレベルに変化する。

【0063】

これにより、インバータ 23 を介して AND 回路 24 の出力はローレベルになり、トランスリセットパルス発生回路 25 のトランスリセットパルスが出力されないため、スイッ

10

20

30

40

50

チング素子 1 のスイッチング動作が停止する。このとき（図 2 の無負荷時）同時に、軽負荷時検出用比較器 20 の出力信号 V_{01} を受けて、基準電圧源 21 の出力する基準電圧 V_R は、軽負荷時検出下限電圧 V_{R1} から軽負荷時検出上限電圧 V_{R2} へ変更される。

【0064】

スイッチング素子 1 によるスイッチング動作が停止して、スイッチング素子 1 がオフ状態になると、スイッチング素子 1 には電流が流れない状態になる。これにより、負荷 109 への電力供給がなくなるため、負荷 109 への出力電圧 V_o は徐々に低下する。これにより、I-V 変換器 19 の出力電圧 V_{EAO} が徐々に上昇するが、基準電圧源 21 の出力電圧 V_R は、軽負荷時検出下限電圧 V_{R1} よりも高い軽負荷時検出上限電圧 V_{R2} になっているため、図 3 に示すように、スイッチング素子 1 によるスイッチング動作が直ちに再開されることはない。

10

【0065】

そして、図 2 に示すように、さらに負荷 109 への出力電圧 V_o が低下して、図 3 に示すように、I-V 変換器 19 の出力電圧 V_{EAO} が軽負荷時検出上限電圧 V_{R2} より上昇したときには、軽負荷時検出用比較器 20 の出力信号 V_{01} はローレベルとなり、その信号を受け、インバータ 23 を通った間欠終了パルス発生回路 26 の信号が出力される。そしてこの出力信号により、スイッチング素子 1 のスイッチング動作が再開する。同時に、AND 回路 24 により動作を停止させていたトランスリセット検出回路 11 が有効となりトランスリセットパルス発生回路 25 のトランスリセットパルスにより、スイッチング素子 1 は通常の部分共振型のオン/オフ動作が再開（図 2 の通常時と同一状態）される。

20

【0066】

またこのとき同時に、図 3 に示すように、基準電圧源 21 の基準電圧 V_R は、軽負荷時（待機時）検出上限電圧 V_{R2} から軽負荷時（待機時）検出下限電圧 V_{R1} へ変更される。スイッチング素子 1 によるスイッチング動作が再開されると、スイッチング素子 1 のオンデューティは、軽負荷時検出時のオンデューティよりも広がっているため、負荷 109 への電力供給は過剰となり、再び負荷への出力電圧 V_o が上昇し、I-V 変換器 19 の出力電圧 V_{EAO} が低下する。そして再び軽負荷時が検出されると、スイッチング素子 1 のオン/オフの繰り返しによるスイッチング動作が停止する。

【0067】

このように、基準電圧源 21 から出力の基準電圧 V_R が、軽負荷時を検出することによって、軽負荷時検出下限値 V_{R1} から軽負荷時検出上限値 V_{R2} へと変化するため、待機状態を検出している間は、スイッチング素子 1 のオン/オフ動作を繰り返すスイッチング制御は、停止と再開とが繰り返されるといった間欠発振状態（間欠スイッチング動作）となる。

30

【0068】

負荷 109 への出力電圧 V_o は、この間欠発振の停止期間中に低下するが、この低下の度合いは負荷 109 への供給電流に依存する。つまり、負荷 109 で消費される電流が小さくなるほど負荷 109 の出力電圧 V_o の低下が緩やかになり、間欠発振の停止期間は負荷 109 で消費される電流が小さいほど長くなるため、負荷が軽くなればなるほど、スイッチング素子 1 のスイッチング動作が減少することになる。

40

【0069】

図 4 に示す基準電圧源 21 は、基準電圧源 21 の基準電圧 V_R を決定するための定電流源 300、定電流源 301、抵抗器 303、P 型 MOSFET などのスイッチング素子 302 およびインバータ 304 とで構成されている。

【0070】

定電流源 300 は、定電流 I_1 を供給し、抵抗器 303 に接続されている。また、定電流源 301 は定電流 I_2 を供給し、スイッチング素子（P 型 MOSFET）302 を介して抵抗器 303 に接続されている。スイッチング素子 302 のゲート電極などの入力端子には、軽負荷時検出用比較器 20 の出力信号 V_{01} がインバータ 304 を介して入力される。また、定電流源 300 および定電流源 301 と抵抗器 303 で作られる電圧が、基準

50

電圧源 2 1 の基準電圧 V_R として出力され、図 1 の軽負荷時検出用比較器 2 0 のプラス側端子へ入力されるようになっている。

【 0 0 7 1 】

このように構成された軽負荷時検出回路 2 2 の動作を以下に説明する。

【 0 0 7 2 】

図 3 に示すように、軽負荷時検出前状態においては、軽負荷時検出用比較器 2 0 の出力信号 V_{01} はローレベルとなっているため、スイッチング素子 3 0 2 はオフとなる。したがって、このときの基準電圧源 2 1 の基準電圧 V_R 、すなわち軽負荷時検出下限電圧 V_{R1} は (数 3)

【 0 0 7 3 】

【 数 3 】

$$V_{R1} = R_{1} \times I_{1}$$

で表される。

【 0 0 7 4 】

一方、軽負荷時検出状態になると、軽負荷時検出用比較器 2 0 の出力信号 V_{01} はハイレベルとなるため、スイッチング素子 3 0 2 がオンとなり、定電流源 3 0 1 から供給される電流 I_2 も抵抗器 3 0 3 へ流れることになる。したがって、このときの基準電圧源 2 1 の基準電圧 V_R 、すなわち軽負荷時検出上限電圧 V_{R2} は (数 4)

【 0 0 7 5 】

【 数 4 】

$$V_{R2} = R_{1} \times (I_{1} + I_{2})$$

で表される。

【 0 0 7 6 】

以上により、図 3 に示すように、軽負荷時検出用比較器 2 0 の出力信号 V_{01} に応じて、基準電圧源 2 1 の基準電圧 V_R が軽負荷時検出下限電圧 V_{R1} となったり、軽負荷時検出上限電圧 V_{R2} となったりすることで、待機時の間欠発振状態を作り出すことができる。

【 0 0 7 7 】

なお、本実施の形態 1 では、軽負荷時検出用比較器 2 0 の出力信号 V_{01} に応じて、基準電圧源 2 1 の出力電圧設定用の定電流値を変化させるようになっているが、軽負荷時検出用比較器 2 0 の出力信号 V_{01} に応じて、基準電圧源 2 1 の出力電圧設定用の抵抗値を変化させるようにしても良い。

【 0 0 7 8 】

図 6 は本実施の形態 1 のスイッチング電源制御用半導体装置における遅延回路の一構成例を示す回路図であり、図 5 (a) , (b) , (c) および図 6 を用いて、遅延回路 2 7 の動作を説明する。

【 0 0 7 9 】

まず、遅延回路 2 7 を設けている意味合いを、最高周波数の制限について、以下に述べる。擬似共振は R C C (リンギングチョークコンバータ) であり、基本は自励であるので、負荷が軽くなればなるほど発振周波数は高くなる。

【 0 0 8 0 】

スイッチング電源装置では、ノイズ規制が厳しく、発振周波数が 1 5 0 k H z 以上になると高周波ノイズが発生する。この高周波ノイズとは、一般的に電磁波障害をもたらす周波数帯域 (1 5 0 k H z ~ 1 G H z) で問題になるラジオノイズのことをいうが、このノイズは、電源ラインなどを伝わってくる伝導性のノイズと空間に向けて放射される放射的ノイズに大別される。

【 0 0 8 1 】

そういったことから、軽負荷時に発振周波数が高くなり、高周波ノイズとなる周波数帯

10

20

30

40

50

域に入らないように、最高周波数を制限している。

【0082】

次に、スイッチングロスの低減による軽負荷時の電源効率の改善について述べる。軽負荷時に発振周波数が高くなると、単位時間当たりのスイッチング回数が増加することになる。したがって、スイッチング動作に伴うスイッチングロスが増加することになり、このロスを低減するために、周波数が一定以上高くないように制限している。

【0083】

前述した図1に示す遅延方法では、スイッチング素子(POWER MOSFET)1へのオフ信号出力時、つまり、負荷に応じたスイッチング素子1のオン抵抗によるドレイン電流検出を行った後から、その信号と片方の入力が入力されるAND回路28の間に遅延回路27を挿入する。トランスリセットパルス発生回路25からのオン信号は、ドレイン電流検出回路32によるオフ信号とのAND、つまり、ドレイン電流検出状態に基づくオフ時にトランスリセットパルス(オン信号)が入力されれば出力されるため、AND回路28にドレイン電流検出によるオフ信号が入力されなければ、トランスリセットパルス信号が入力されてもスイッチング素子1はオンしない。

10

【0084】

以上のことから、ドレイン電流検出によるオフ信号に対して遅延回路27によりある一定時間の遅延を与えれば、その遅延期間は、リングングによるトランスリセットパルス(オン信号)がAND回路28に出力されたとしても、スイッチング素子1はオンしないため、その遅延時間(つまり、トランスリセットパルスによるオン状態のマスク時間)を決めれば、その時間より短い時間でトランスリセット検出信号が入力されたとしても、スイッチング素子1はオンしないことになる。

20

【0085】

実動作では、軽負荷時に発振周波数が高く、トランスリセット検出信号よりも、マスク時間の方が後から入力されれば、リングングを1つスキップし、次のトランスリセット検出信号でオンすることになる。このようにして、前記のような効果が得られる。

【0086】

次に、図1に示す遅延回路27を有するスイッチング電源制御用半導体装置41の動作について、負荷状態の通常時、軽負荷時、無負荷時を場合分けして、図5を参照しながら説明する。

30

【0087】

図5に示すように、負荷状態が通常時(図5(a))から軽負荷時(図5(b))、さらに無負荷時(図5(c))へと軽くなるにつれて、発振周波数が高くなるはずであるが、スイッチング素子1のドレイン電圧VDSの波形に対応する波形タイミングを有するトランスリセットパルスに対して、遅延回路27による遅延時間だけマスクするブランキング時間以内では、スイッチング素子1がオンしないためドレイン電流IDSは流れず、そのスイッチング周波数はある一定以上の周波数より高くなることはない。

【0088】

すなわち、負荷状態が軽負荷となって、スイッチング素子1をオンさせるためのトランスリセットパルスの周期が短くなれば短くなるほど、図5(b)、(c)に示すように、スイッチング素子1のドレイン電圧VDSに対応するトランスリセットパルスの波形において、スイッチング素子1へのオンタイミングに対して、ブランキング時間によりスキップする数が増えてくるため、その期間は、ドレイン電圧VDSが0Vになっていてもドレイン電流IDSは流れず、スイッチング動作における発振周波数はある一定以上に高くなることはない。

40

【0089】

次に、図6を参照しながら遅延回路27の動作について説明する。図6に示すように遅延回路27は、スイッチング素子1へのオフ信号を受け、ドレイン電流検出用比較器33の出力信号としてハイレベルが入力されると、N型MOSFET404がオンするため、初期状態でVDDのレベルまで充電されていたコンデンサ405の容量Cから定電流Iで

50

電荷を放電する。つまり、容量 C から一定電流 I で放電していくことになるが、その容量 C の電位がインバータ 406 の閾値を下回りローレベルになると、出力をマスクするブランキング時間を解除する出力ブランキング解除信号がハイレベルとなる。

【0090】

このマスク時間 t は、(数5)

【0091】

【数5】

$$t = \frac{C \times V}{I}$$

10

で決まる。

ここで、V はインバータ 406 がハイレベルからローレベルに切り替わる閾値、C はコンデンサ 405 の容量値である。

【0092】

なお、N型MOSFET 401とN型MOSFET 402のミラー比をM、定電流源400の電流をI1、N型MOSFET 401に流れる電流をI2、N型MOSFET 420に流れる電流をI3、コンデンサ405の容量をCとすると、電流I1、I2は、それぞれ(数6)

【0093】

【数6】

$$I = M \times I_2$$

$$I_2 = I_1 (\text{一定値}) - I_3$$

20

で表される。

【0094】

したがって、(数5)で表されるブランキング時間 t は、(数7)

【0095】

【数7】

$$t = \frac{C \times V}{M \times (I_1 - I_3)}$$

30

で表される。

(数5)からわかるように、コンデンサ405の容量Cを大きく、あるいは電流Iを小さくするとブランキング時間tが長くなる。つまり、(数7)において、N型MOSFET 420に流れる電流I3を大きくすることで、ブランキング時間tを長くすることができる。

【0096】

高入力電圧時には、低入力電圧時と比較して、擬似共振型制御では発振周波数が高くなるため、前記ブランキング時間tを長くすることにより、周波数を低下させ最大出力電力を抑制する必要があるが、入力電圧に応じて変化する入力信号を外部信号入力端子42から可変信号生成回路43に入力し、可変信号生成回路43から出力される第2の可変信号44によって、N型MOSFET 420に流れる電流I3を入力電圧が高くなればなるほど大きくし、ブランキング時間tが長くなるように構成している。

40

【0097】

次に、図7は本実施の形態1のスイッチング電源制御用半導体装置における可変信号生成回路および過電流保護基準電圧源の一構成例を示す回路図である。図6および図7を参照しながら可変信号生成回路43の動作について説明する。

【0098】

図7に示す可変信号生成回路43では、外部信号入力端子42から入力される信号、す

50

なわち外部信号入力端子42から流入する電流ICLを調整することによって、図6に示すN型MOSFET420に流れる電流値I3および図1に示すI-V変換器19の出力信号VEAOの上限をクランプする過電流保護基準電圧源31の電位を可変し、スイッチング素子1の最大スイッチング周波数と過電流保護レベルを調整する。

【0099】

電流ICLが大きいほどN型MOSFET260を流れる電流が増加し、N型MOSFET260とミラー比m1で接続されるN型MOSFET261の電流も増加し、定電流源201の定電流I201からN型MOSFET262へ流れる電流が減少し、N型MOSFET262とRCフィルタを介してミラー比m2で決まるN型MOSFET263の電流が減少する。そして、定電流源202の定電流I202からN型MOSFET264に流れる電流は増加し、N型MOSFET264とミラー比m4で接続される図6に示すN型MOSFET420に流れる電流値I3が増加するため、ブランキング時間tは長くなり、スイッチング周波数は低下する。

10

【0100】

また、N型MOSFET264とミラー比m3で接続されるN型MOSFET265の電流も増加し、定電流源203の定電流I203から抵抗器240に流れる電流が減少し、抵抗器240での電位V240が低下することで、I-V変換器19の出力信号VEAOの上限をクランプする過電流保護基準電圧源31の電位が下降し、スイッチング素子1の過電流保護レベルが小さくなる。

【0101】

また、定電圧源259の電位Vbgをゲート端子に入力したP型MOSFET250を外部信号入力端子42とN型MOSFET260の間に挿入することにより、外部信号入力端子42の動作電位を一定電位に設定する。このように設定することで外部信号入力端子42に外部接続される抵抗器120, 121の値によって、電流ICLを容易に設定でき、外部接続の抵抗器120, 121によって容易にスイッチング周波数と過電流保護レベルLIMITを安定に調整可能となる。

20

【0102】

また、電流ICLが大きくなりすぎた場合でも、定電流I202でN型MOSFET420に流れる電流I3の上限が固定されることでN型MOSFET401に流れる電流I2の下限が固定され、定電流I202と定電流I203で電位V240の下限が固定される。

30

電流I3の上限値 = 定電流I202 × m4

ここで、m4はN型MOSFET264とN型MOSFET420のミラー比、ただし、定電流I202 × m4 < 定電流I1 - 電流I2 (I1は定電流源400の定電流) であり、

電位V240の下限値 = R240 × (定電流I203 - 定電流I202 × m3)

R240は抵抗器240の抵抗値、m3はN型MOSFET264とN型MOSFET265のミラー比である。

【0103】

また、電流ICLが小さくなりすぎて「0」になった場合でも、N型MOSFET420に流れる電流I3が流れなくなっても定電流源400からの定電流I1によって電流I2の上限が固定され、定電流I203によって電位V240の上限が固定される。

40

電位V240上限値 = R240 × I203

ただし、I201 × m2 > I202 であり、m2はN型MOSFET262とN型MOSFET263のミラー比である。

【0104】

このため、外部抵抗の調整等によって、抵抗値を極度に気にすることなくスイッチング周波数と過電流保護レベルを調整することができる。このときの電流ICLに対するブランキング時間tおよび過電流保護レベルLIMITの関係を図8(a), (b)に示す。

50

【0105】

また、入力電圧 V_{IN} と比例した電圧 V_{CL} を生成し、外部信号入力端子 42 に入力するために、抵抗器 120, 121 が入力電圧 V_{IN} を抵抗分割するよう接続されている。電圧 V_{CL} は (数 8)

【0106】

【数 8】

$$V_{CL} = \frac{V_{IN} \times R_{121}}{(R_{120} + R_{121})}$$

であり、入力電圧 V_{IN} が高くなるに従って電圧 V_{CL} も高くなる。定電圧源 259 の電位 V_{bg} と外部信号入力端子 42 の電圧 V_{CL} との電位差が P 型 MOSFET 250 の電圧 V_{GS} であり (数 9)

【0107】

【数 9】

$$V_{GS} (\text{P型MOSFET250}) = V_{CL} - V_{bg}$$

で表される。

【0108】

したがって、入力電圧 V_{IN} が高くなるに従って電圧 V_{CL} が高くなり、P 型 MOSFET 250 の電圧 V_{GS} が大きくなることにより、電流 I_{CL} は増加する。その結果、ブランキング時間 t は長くなり、過電流保護レベル I_{LIMIT} は小さくなるように補正がかかる。

【0109】

一般的に、出力電力 P_O は、効率 η を用いて、(数 10)

【0110】

【数 10】

$$P_O = V_{IN} \times I_{LIMIT} \times \eta$$

のように表される。

【0111】

そのため、内部的に I_{LIMIT} が一定の場合には高入力電圧時には低入力電圧時に比べて二次巻線側の最大出力電力が大きくなるために、電源としての過負荷保護がかかるポイントは高入力電圧時の方が高くなるという課題に対しても、抵抗器 120, 121 を調整することで高入力電圧時における過電流保護レベル I_{LIMIT} のポイントを低入力電圧時よりも低く設定することで、二次巻線側の最大出力電力を低入力電圧時と同程度に補正をかけることが可能となる。

【0112】

また、図 9 に示すように内部的に同一の過電流保護レベルに設定された場合に、高入力電圧時に過電流保護レベル I_{LIMIT} が高くなるという従来の課題を改善するために、入力電圧に対して入力が高いほど I_{LIMIT} を低くするという補正をかけることが可能となる。

【0113】

以上により、軽負荷時の高周波数動作することを抑制してスイッチングロスを低減し、軽負荷時の電源効率を改善することができ、軽負荷時の消費電力を削減できるとともに、擬似共振動作であるため、通常動作時にも軽負荷時から重負荷時までの全負荷領域で高効率化および低ノイズ化を容易に実現することができ、さらに入力電圧に依存せず最大出力電力を一定レベルに保つことができる。

【0114】

次に、本実施の形態 2 では、図 1 に示すように、軽負荷時検出回路 22 を用いることにより、軽負荷時には、スイッチング素子によるスイッチング動作が間欠スイッチング動作

10

20

30

40

50

となるようにした構成において、外部信号入力端子 4 2 および可変信号生成回路 4 3 を用いた場合を説明したが、図 1 0 に示すように、軽負荷時検出回路 2 2 を用いない構成とし、スイッチング素子による間欠スイッチング動作が行われない場合にも、実施でき同様の効果が得られる。

【 0 1 1 5 】

図 1 1 は本発明の実施の形態 2 におけるスイッチング電源制御用半導体装置およびこれを用いたスイッチング電源の一構成例を示す回路図であり、図 1 2 は本実施の形態 2 のスイッチング電源制御用半導体装置における可変信号生成回路および過電流保護基準電圧源の一構成例を示す回路図である。

【 0 1 1 6 】

本実施の形態 2 のスイッチング電源制御用半導体装置 4 1 では、図 1 1 に示すように、可変信号生成回路 4 3 ' からの出力の第 3 の可変信号 4 6 を設け、NAND 回路 3 4 に入力する構成としている。この構成とすることにより、外部信号入力端子 4 2 から入力された信号に対し、可変信号生成回路 4 3 ' の出力信号によりスイッチング素子 1 のスイッチング開始 / 停止を制御することができる。

【 0 1 1 7 】

つまり図 1 1 に示す構成とすることにより、入力電圧 V_{IN} に応じて外部信号入力端子 4 2 に入力される信号が変化し、スイッチング電源装置の動作する入力電圧範囲を規定することができる。

【 0 1 1 8 】

また、図 1 2 に示す可変信号生成回路 4 3 ' では、外部信号入力端子 4 2 から入力される信号、すなわち外部信号入力端子 4 2 から流入する電流 I_{CL} を調整することによって、図 1 1 に示す NAND 回路 3 4 に入力する第 3 の可変信号 4 6 を可変して、スイッチング素子 1 の発振、停止を制御できる。流入する電流 I_{CL} が第 1 の閾値電流 I_{CL1} 以上になると、インバータ 2 8 4 から出力する第 3 の可変信号 4 6 はローレベルからハイレベルになり、NAND 回路 3 4 の出力はローレベルになるため、ゲートドライバ 3 5 を介してスイッチング素子 1 のゲート電極がハイレベルになり、スイッチング動作を開始する。このときの第 1 の閾値電流 I_{CL1} は以下のように決定されている。

【 0 1 1 9 】

まず、電流 I_{CL} が増加していき P 型 MOSFET 2 5 0 , N 型 MOSFET 2 6 0 に流れる電流が増加し、N 型 MOSFET 2 6 0 とミラー比 m_5 で接続された N 型 MOSFET 2 6 6 に流れる電流が増加し、P 型 MOSFET 2 5 1 に流れる電流が増加し、P 型 MOSFET 2 5 1 と RC フィルタを介してミラー比 m_6 で決まる P 型 MOSFET 2 5 2 の電流 I_{252} が増加する。その結果、電流 I_{252} が定電流源 2 0 4 で決定される定電流 I_{204} 以上となり、P 型 MOSFET 2 5 2 と定電流源 2 0 4 の間の電位 V_{204} がインバータ 2 8 1 の閾値以上となったときに、インバータ 2 8 1 の出力はローレベルになり、P 型 MOSFET 2 5 4 のゲート電極に入力され、P 型 MOSFET 2 5 4 がオンすることで電位 V_{204} はさらにハイレベルで固定される。このときの電流 I_{CL} が第 1 の閾値電流 I_{CL1} となり (数 1 1)

【 0 1 2 0 】

【 数 1 1 】

$$I_{CL1} = \frac{I_{204}}{m_5 \times m_6}$$

で表される。

【 0 1 2 1 】

また、P 型 MOSFET 2 5 1 とミラー比 m_8 で決まる P 型 MOSFET 2 5 5 の電流 I_{255} も増加するが、電流 I_{255} が定電流源 2 0 5 で決定される定電流 I_{205} 以下となるように、P 型 MOSFET 2 5 1 と P 型 MOSFET 2 5 5 とのミラー比 m_8 は、(数 1 2)

10

20

30

40

50

【0122】

【数12】

$$I_{CL1} \times m5 \times m8 < I_{205}$$

で決定されている。

【0123】

そのため、P型MOSFET255と定電流源205の間の電位V205はローレベル状態を保持し、インバータ280の出力はハイレベルで保持され、NAND回路283に入力される。このとき、NAND回路283の出力はローレベルになり、インバータ284の出力はハイレベルになり、図11に示すNAND回路34に入力される。

10

【0124】

以上のように、第1の閾値電流I_{CL1}以上の電流が外部信号入力端子42に流入するようになったとき、スイッチング動作を開始する。

【0125】

また、さらに電流I_{CL}が増加し、P型MOSFET251とミラー比m8で決まるP型MOSFET255の電流I₂₅₅が増加し、電流I₂₅₅が定電流源205で決定される定電流I₂₀₅以上となると、電位V205はローレベルからハイレベルに反転する。このときインバータ280の出力はローレベルになり、P型MOSFET257のゲート電極に入力され、P型MOSFET257がオンすることで電位V205はさらにハイレベルで固定される。また、インバータ280の出力のローレベル信号はNAND回路283に入力され、NAND回路283の出力はハイレベルになり、インバータ284の出力はハイレベルからローレベルに反転し、図11に示すNAND回路34に入力されることで、スイッチング動作を停止させる。このときの流入する電流I_{CL}の第2の閾値電流I_{CL2}を(数13)

20

【0126】

【数13】

$$I_{CL2} = \frac{I_{205}}{m5 \times m8}$$

としている。

30

【0127】

このときの流入する電流I_{CL}に対する出力する第3の可変信号46の関係を図13に示す。第1の閾値電流I_{CL1}以上第2の閾値電流I_{CL2}以下でスイッチング制御し、それ以外の電流I_{CL}の範囲ではスイッチングを停止している。

【0128】

そのため、抵抗器120, 121を調整することで入力電圧に対する電流I_{CL}の範囲を設定し、電源動作の入力電圧範囲を規定することができ、異常低入力電圧時の誤動作を防止し、異常高入力電圧時にスイッチング素子の破壊を防止することができる。

【産業上の利用可能性】

【0129】

本発明に係るスイッチング電源制御用半導体装置およびスイッチング電源装置は、外部信号入力端子の入力信号を調整することで、スイッチング素子の過電流保護検出レベルおよびトランスリセット検出回路のトランスリセット検出信号をマスクする遅延時間を入力電圧に応じて補正ができ、入力電圧に依存せず最大出力電力を同等レベルにすること、使用部品の定格を抑えることが可能となり、電源のコストパフォーマンスを向上させるだけでなく、同一半導体装置における使用の用途を広げることができ、商用電源からの交流電源を機器に必要とされる直流電源へ変換するスイッチング電源等として有用である。

40

【図面の簡単な説明】

【0130】

【図1】本発明の実施の形態1におけるスイッチング電源制御用半導体装置およびスイッ

50

チング電源装置の一構成例を示す回路図

【図 2】本実施の形態 1 のスイッチング電源制御用半導体装置を用いたスイッチング電源装置の動作を説明するためのタイミングチャート

【図 3】本実施の形態 1 のスイッチング電源制御用半導体装置における基準電圧源の動作を説明するためのタイミングチャート

【図 4】本実施の形態 1 のスイッチング電源制御用半導体装置における基準電圧源の内部回路の一構成例を示す回路図

【図 5】本実施の形態 1 の (a) は通常時、(b) は軽負荷時、(c) は無負荷時のスイッチング動作を示す図

【図 6】本実施の形態 1 のスイッチング電源制御用半導体装置における遅延回路の一構成例を示す回路図 10

【図 7】本実施の形態 1 のスイッチング電源制御用半導体装置における可変信号生成回路および過電流保護基準電圧源の一構成例を示す回路図

【図 8】本実施の形態 1 の電流 I_{CL} に対する (a) はブランキング時間 t 、(b) は過電流保護レベル I_{LIMIT} の変化を示す図

【図 9】本実施の形態 1 におけるスイッチング電源制御用半導体装置の動作を説明するための特性波形を示す図

【図 10】本実施の形態 1 におけるスイッチング電源制御用半導体装置の他の構成を示す回路図

【図 11】本発明の実施の形態 2 におけるスイッチング電源制御用半導体装置およびスイッチング電源装置の一構成例を示す回路図 20

【図 12】本実施の形態 2 のスイッチング電源制御用半導体装置における可変信号生成回路および過電流保護基準電圧源の一構成例を示す回路図

【図 13】本実施の形態 2 のスイッチング電源制御用半導体装置における I_{CL} に対する第 3 の可変信号の出力状態の変化を示す図

【図 14】従来のスイッチング電源装置の一構成例を示す回路図

【符号の説明】

【0131】

1 スwitching素子 (パワー MOS F E T)

2 , 4 定電流源 30

3 , 5 切換スイッチ

6 レギュレータ

7 起動 / 停止用比較器

8 ゲートドライバ用基準電圧源 (内部回路基準電圧)

9 比較器

10 起動パルス発生回路

11 トランスリセット検出回路

12 クランプ回路

13 , 14 P型 MOS F E T

15 , 16 N型 MOS F E T 40

17 , 116 , 120 , 121 抵抗器

18 , 21 基準電圧源

19 I - V 変換器

20 軽負荷時検出用比較器

22 軽負荷時検出回路

23 インバータ

24 , 28 AND 回路

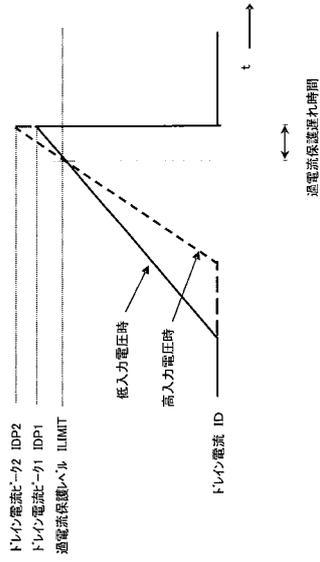
25 トランスリセットパルス発生回路

26 間欠終了パルス発生回路

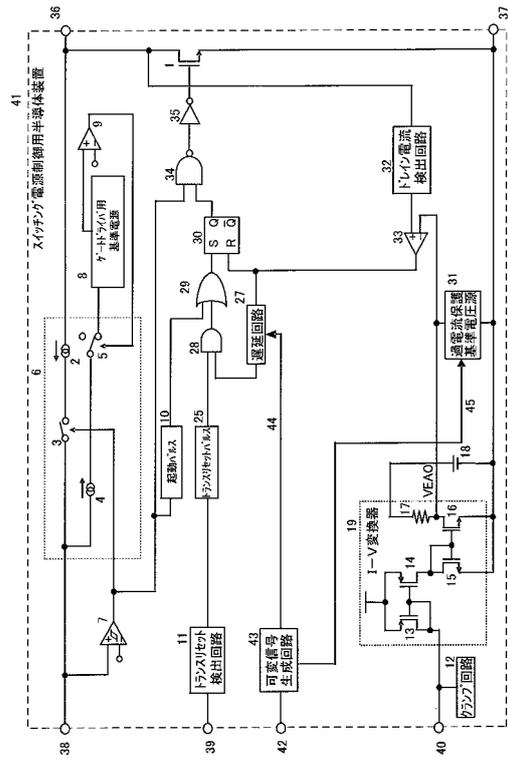
27 遅延回路 50

29	OR回路	
30	RSフリップフロップ	
31	過電流保護基準電圧源	
32	ドレイン電流検出回路	
33	ドレイン電流検出用比較器	
34	NAND回路	
35	ゲートドライバ	
36	スイッチング素子入力端子	
37	スイッチング素子出力端子(グランド端子)	
38	電源入力端子	10
39	トランスリセット検出端子	
40	制御信号入力端子	
41	スイッチング電源制御用半導体装置	
42	外部信号入力端子	
43	可変信号生成回路	
44	第2の可変信号	
45	第1の可変信号	
46	第3の可変信号	
101, 104, 112	整流器	
102, 105, 111, 117, 118	コンデンサ	20
103	トランス	
103a	一次巻線	
103b	二次巻線	
103c	三次巻線(バイアス巻線)	
106	出力電圧検出回路	
107	LED	
108	ツェナーダイオード	
109	負荷	
110	フォトトランジスタ	

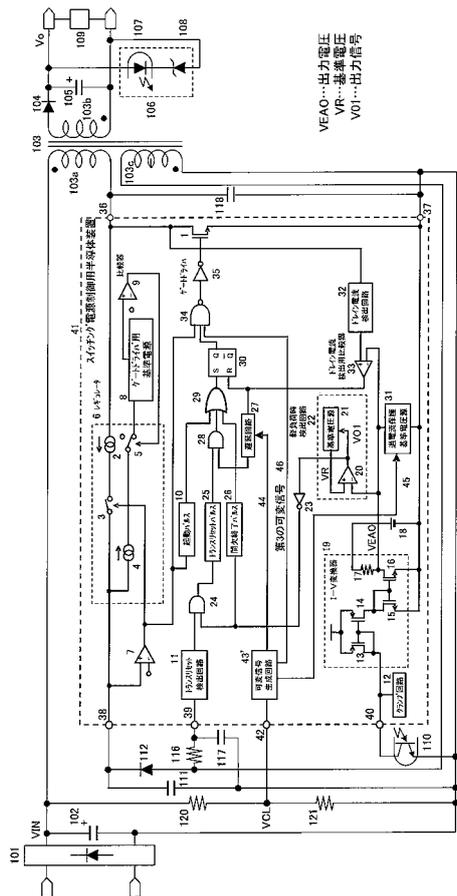
【図9】



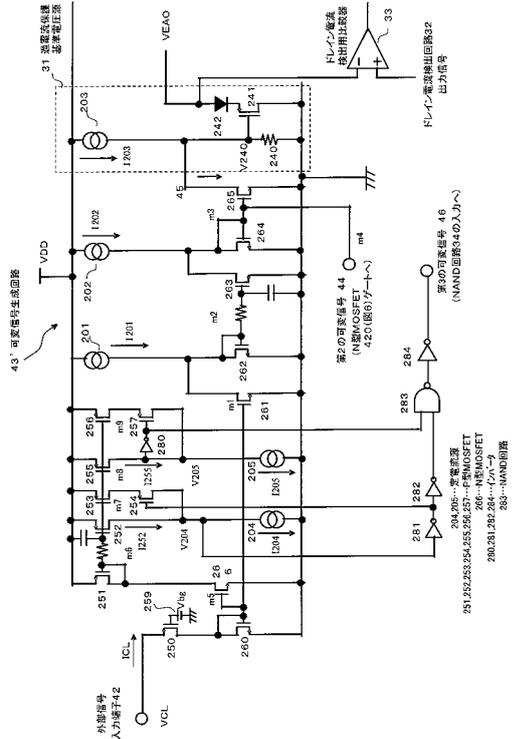
【図10】



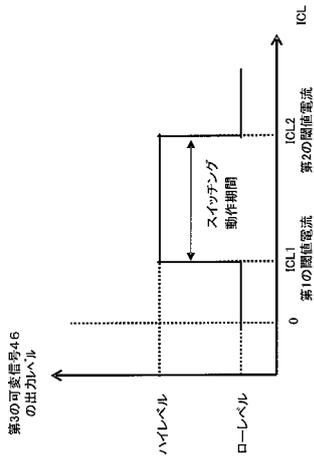
【図11】



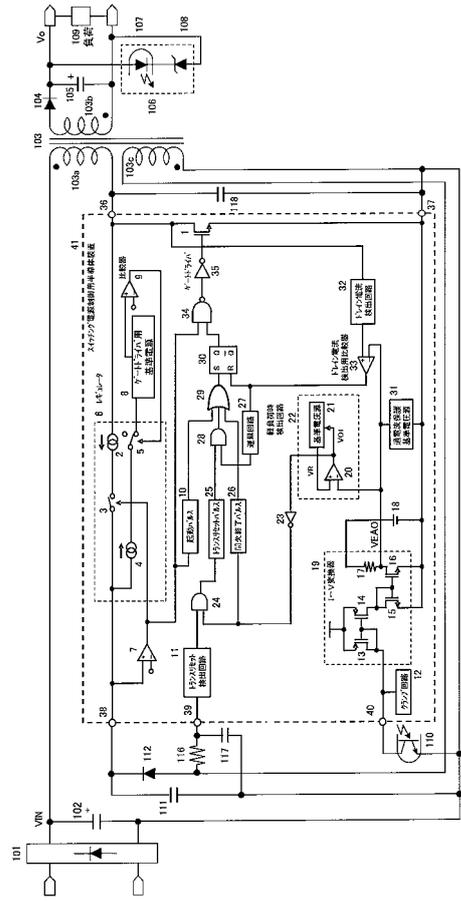
【図12】



【 図 1 3 】



【 図 1 4 】



1→スイッチング素子 2,4→定電流源 3,5→切替素子 7→起動/停止用比較器 10→起動/停止用比較器 13,14→P型MOSFET 15,16→N型MOSFET 17,18→抵抗器
 19,21→基準電圧源 20→駆動/停止用出力比較器 23→出力→2,4,5,7,10,13,14,15,16,17,18,20,21,22,23,24,25,26,27,28,29,30,31,32,33,34,35,36,37,38,39,40,41,42,43,44,45,46,47,48,49,50,51,52,53,54,55,56,57,58,59,60,61,62,63,64,65,66,67,68,69,70,71,72,73,74,75,76,77,78,79,80,81,82,83,84,85,86,87,88,89,90,91,92,93,94,95,96,97,98,99,100,101,102,103,104,105,106,107,108,109,110,111,112,113,114,115,116,117,118,119,120,121,122,123,124,125,126,127,128,129,130,131,132,133,134,135,136,137,138,139,140,141,142,143,144,145,146,147,148,149,150,151,152,153,154,155,156,157,158,159,160,161,162,163,164,165,166,167,168,169,170,171,172,173,174,175,176,177,178,179,180,181,182,183,184,185,186,187,188,189,190,191,192,193,194,195,196,197,198,199,200,201,202,203,204,205,206,207,208,209,210,211,212,213,214,215,216,217,218,219,220,221,222,223,224,225,226,227,228,229,230,231,232,233,234,235,236,237,238,239,240,241,242,243,244,245,246,247,248,249,250,251,252,253,254,255,256,257,258,259,260,261,262,263,264,265,266,267,268,269,270,271,272,273,274,275,276,277,278,279,280,281,282,283,284,285,286,287,288,289,290,291,292,293,294,295,296,297,298,299,300,301,302,303,304,305,306,307,308,309,310,311,312,313,314,315,316,317,318,319,320,321,322,323,324,325,326,327,328,329,330,331,332,333,334,335,336,337,338,339,340,341,342,343,344,345,346,347,348,349,350,351,352,353,354,355,356,357,358,359,360,361,362,363,364,365,366,367,368,369,370,371,372,373,374,375,376,377,378,379,380,381,382,383,384,385,386,387,388,389,390,391,392,393,394,395,396,397,398,399,400,401,402,403,404,405,406,407,408,409,410,411,412,413,414,415,416,417,418,419,420,421,422,423,424,425,426,427,428,429,430,431,432,433,434,435,436,437,438,439,440,441,442,443,444,445,446,447,448,449,450,451,452,453,454,455,456,457,458,459,460,461,462,463,464,465,466,467,468,469,470,471,472,473,474,475,476,477,478,479,480,481,482,483,484,485,486,487,488,489,490,491,492,493,494,495,496,497,498,499,500,501,502,503,504,505,506,507,508,509,510,511,512,513,514,515,516,517,518,519,520,521,522,523,524,525,526,527,528,529,530,531,532,533,534,535,536,537,538,539,540,541,542,543,544,545,546,547,548,549,550,551,552,553,554,555,556,557,558,559,560,561,562,563,564,565,566,567,568,569,570,571,572,573,574,575,576,577,578,579,580,581,582,583,584,585,586,587,588,589,590,591,592,593,594,595,596,597,598,599,600,601,602,603,604,605,606,607,608,609,610,611,612,613,614,615,616,617,618,619,620,621,622,623,624,625,626,627,628,629,630,631,632,633,634,635,636,637,638,639,640,641,642,643,644,645,646,647,648,649,650,651,652,653,654,655,656,657,658,659,660,661,662,663,664,665,666,667,668,669,670,671,672,673,674,675,676,677,678,679,680,681,682,683,684,685,686,687,688,689,690,691,692,693,694,695,696,697,698,699,700,701,702,703,704,705,706,707,708,709,710,711,712,713,714,715,716,717,718,719,720,721,722,723,724,725,726,727,728,729,730,731,732,733,734,735,736,737,738,739,740,741,742,743,744,745,746,747,748,749,750,751,752,753,754,755,756,757,758,759,760,761,762,763,764,765,766,767,768,769,770,771,772,773,774,775,776,777,778,779,780,781,782,783,784,785,786,787,788,789,790,791,792,793,794,795,796,797,798,799,800,801,802,803,804,805,806,807,808,809,810,811,812,813,814,815,816,817,818,819,820,821,822,823,824,825,826,827,828,829,830,831,832,833,834,835,836,837,838,839,840,841,842,843,844,845,846,847,848,849,850,851,852,853,854,855,856,857,858,859,860,861,862,863,864,865,866,867,868,869,870,871,872,873,874,875,876,877,878,879,880,881,882,883,884,885,886,887,888,889,890,891,892,893,894,895,896,897,898,899,900,901,902,903,904,905,906,907,908,909,910,911,912,913,914,915,916,917,918,919,920,921,922,923,924,925,926,927,928,929,930,931,932,933,934,935,936,937,938,939,940,941,942,943,944,945,946,947,948,949,950,951,952,953,954,955,956,957,958,959,960,961,962,963,964,965,966,967,968,969,970,971,972,973,974,975,976,977,978,979,980,981,982,983,984,985,986,987,988,989,990,991,992,993,994,995,996,997,998,999,1000

フロントページの続き

(72)発明者 森 吉弘

大阪府門真市大字門真1006番地 松下電器産業株式会社内

Fターム(参考) 5H730 AA14 AS01 BB43 BB57 CC01 DD04 DD41 EE02 EE07 FD01
FD11 FD24 FD26 FF01 FG01 XX04 XX15 XX26 XX35 XX43