

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4869535号
(P4869535)

(45) 発行日 平成24年2月8日(2012.2.8)

(24) 登録日 平成23年11月25日(2011.11.25)

| | | | |
|---------------|-----------|--------------|---|
| (51) Int.Cl. | | F I | |
| HO 1 L 21/66 | (2006.01) | HO 1 L 21/66 | Z |
| HO 1 L 27/04 | (2006.01) | HO 1 L 27/04 | T |
| HO 1 L 21/822 | (2006.01) | GO 1 R 31/28 | V |
| GO 1 R 31/28 | (2006.01) | | |

請求項の数 34 (全 28 頁)

| | | | |
|---------------|-------------------------------|-----------|--|
| (21) 出願番号 | 特願2001-584477 (P2001-584477) | (73) 特許権者 | 507385589 |
| (86) (22) 出願日 | 平成13年5月15日(2001.5.15) | | スキャニメトリクス インコーポレーティッド |
| (65) 公表番号 | 特表2003-533882 (P2003-533882A) | | カナダ、ティ6ジー・2イー1、アルバータ、エドモントン、8308-114ストリート、スイート3021 |
| (43) 公表日 | 平成15年11月11日(2003.11.11) | (74) 代理人 | 100102978 |
| (86) 国際出願番号 | PCT/CA2001/000688 | | 弁理士 清水 初志 |
| (87) 国際公開番号 | W02001/088976 | (74) 代理人 | 100119507 |
| (87) 国際公開日 | 平成13年11月22日(2001.11.22) | | 弁理士 刑部 俊 |
| 審査請求日 | 平成20年4月14日(2008.4.14) | (74) 代理人 | 100128048 |
| (31) 優先権主張番号 | 2,308,820 | | 弁理士 新見 浩一 |
| (32) 優先日 | 平成12年5月15日(2000.5.15) | (72) 発明者 | ムーア ブライアン |
| (33) 優先権主張国 | カナダ(CA) | | カナダ国 アルバータ エドモントン オッケンデン プレイス 234 |
| | | | 最終頁に続く |

(54) 【発明の名称】 集積回路およびウェーハを試験する無線周波数技術構造および方法

(57) 【特許請求の範囲】

【請求項1】

ウェーハ上の集積回路を試験する装置であって、

a) 集積回路を有するウェーハ上に形成されており、

i) ベース・リング発振器回路および該ベース・リング発振器回路に結合した複数の部分回路を有する可変リング発振器回路、および

ii) 部分回路を選択的にベース・リング発振器回路に結合して、選択された部分回路を基に該可変リング発振器の発振周波数を変更する制御回路を含む、試験回路と、

b) ウェーハから分離されており、試験回路を作動させる信号を送信するように試験回路に無線でリンクされた試験ユニットとを含む装置であって、試験ユニットによって起動された際、試験回路が、少なくとも1つの該部分回路のために集積回路の個々の試験を実施し、該試験の結果が各々の該可変リング発振器回路における周波数の変化によって表される、装置。

【請求項2】

試験回路によって行われる各試験がパラメータ試験である、請求項1記載の装置。

【請求項3】

少なくとも1つの部分回路が、可変リング発振器回路の発振周波数を変更する容量負荷を含む、請求項1記載の装置。

【請求項4】

少なくとも1つの部分回路が、可変リング発振器回路の発振周波数を変更する容量負荷

および抵抗負荷を含む、請求項1記載の装置。

【請求項5】

少なくとも1つの部分回路が、可変リング発振器回路の発振周波数を変更する遅延素子を含む、請求項1記載の装置。

【請求項6】

容量負荷が少なくとも1つのコンデンサを含む、請求項3記載の装置。

【請求項7】

容量負荷が少なくとも1つのコンデンサを含み、抵抗負荷が少なくとも1つの抵抗器を含む、請求項4記載の装置。

【請求項8】

遅延素子が少なくとも1つのインバータを含む、請求項5記載の装置。

【請求項9】

各インバータが標準CMOSインバータである、請求項8記載の装置。

【請求項10】

制御回路が、部分回路を選択的にベース・リング発振器回路に結合して一連の試験状態を生成するシーケンサを含む、請求項1記載の装置。

【請求項11】

試験ユニットによって生成される信号が、試験回路を作動させるのに十分な電力信号である、請求項1記載の装置。

【請求項12】

試験回路が、集積回路の少なくとも2つのメタライゼーション層によってウェーハ上に形成される、請求項1記載の装置。

【請求項13】

試験回路が、集積回路の少なくとも1つのメタライゼーション層および1つのポリシリコン層によってウェーハ上に形成される、請求項1記載の装置。

【請求項14】

試験回路が、試験結果信号を試験回路から試験ユニットに送信する送信機回路をさらに含む、請求項1記載の装置。

【請求項15】

該試験ユニットが、試験回路から試験結果信号を受信する受信機回路を含む、請求項1記載の装置。

【請求項16】

試験ユニットが、試験結果信号を分析し表示する回路をさらに含む、請求項15記載の装置。

【請求項17】

分析回路が、試験中のパラメータの値を算出する、請求項16記載の装置。

【請求項18】

分析回路が、試験中のパラメータの値の比を算出する、請求項16記載の装置。

【請求項19】

試験結果信号が可変リング発振器の出力である、請求項18記載の装置。

【請求項20】

試験回路が、試験ユニットからの信号を受信するようになっているアンテナ、ならびにアンテナに結合され、かつ試験回路に電力を供給するようになっている電源回路をさらに含む、請求項10記載の装置。

【請求項21】

電源回路が、アンテナに結合された電圧整流器と、電圧整流器に結合された電圧調整器と、電圧調整器に結合されたエネルギー蓄積素子とを含み、電源回路が、試験回路に複数の電圧レベルを供給するようになっている、請求項20記載の装置。

【請求項22】

制御回路が、第1のクロック信号を供給するようになっているリング発振器、および該

10

20

30

40

50

リング発振器およびシーケンサに結合され、第2のクロック信号を供給するようになって
いる分割器をさらに含み、第2のクロック信号が、シーケンサが可変リング発振器回路に
一連の試験状態信号を供給できるようにシーケンサに供給される、請求項20記載の装置。

【請求項 2 3】

送信機回路が、可変リング発振器回路およびアンテナに結合され、可変リング発振器の
出力を、試験結果信号を試験ユニットに送信するアンテナに選択的に結合するようになっ
ているカプラをさらに含む、請求項14記載の装置。

【請求項 2 4】

カプラが、試験結果信号をアンテナに容量結合する、請求項23記載の装置。

【請求項 2 5】

カプラが、試験結果信号を試験ユニットに送信するアンテナのインピーダンスを変調す
る、請求項23記載の装置。

【請求項 2 6】

送信機回路が、可変リング発振器回路をカプラに結合する同期素子をさらに含む、請求
項25記載の装置。

【請求項 2 7】

試験ユニットによって生成される電力信号がRF電力信号である、請求項11記載の装置。

【請求項 2 8】

ウェーハ上に複数の試験回路があり、試験ユニットが各試験回路を順次試験する、請求
項1記載の装置。

【請求項 2 9】

ウェーハ上に複数の試験回路があり、試験ユニットが複数の試験回路を並行して試験す
る、請求項1記載の装置。

【請求項 3 0】

試験回路が、集積回路を含むダイに隣接して形成される、請求項1記載の装置。

【請求項 3 1】

試験回路が、集積回路を含むダイ上に形成される、請求項1記載の装置。

【請求項 3 2】

該試験回路が、ウェーハ上のダイ上の広い範囲にわたって形成される、請求項1記載の
装置。

【請求項 3 3】

該試験回路が、ダイ上の該ウェーハの縁部の近くに形成される、請求項1記載の装置。

【請求項 3 4】

試験回路が集積回路の部分回路に結合され、試験が該集積回路の部分回路の機能性試験
であって、該試験の結果が周波数を介して記号化される、請求項1記載の装置。

【発明の詳細な説明】

【0001】

発明の分野

本発明は、IC製造プロセス中にウェーハを試験する方法および装置に関し、特に、ウェー
ハ上のICを無線試験する方法および装置に関する。

【0002】

発明の背景

集積回路（IC）製造プロセスでは、金属層や酸化物層のような様々な材料を構造レイアウト
に従って連続的に付着させることによって円形のウェーハの表面に複数のICが形成され
る。すべての層を付着させた後、ウェーハは別々のICにダイシングされ、次いで、各ICは
販売のためにパッケージ詰めされる。品質を保証し、かつ製造プロセスを評価するために
、ICは、販売のためにパッケージ詰めされる前に適切に動作するかどうか試験される。し
かし、特定のICまたは製造プロセスに欠陥が生じたことをダイシングおよびパッケージン
グの前に判定できれば、損傷したICをパッケージ詰めする前に廃棄するか、またはウェー
ハ全体をダイシングする前に廃棄し、製造プロセスを補正することによって実質的なコス

10

20

30

40

50

ト節約を実現することができる。

【0003】

従来のIC試験は、すべての層をウェーハ上に付着させた後で行われる。製造プロセスが不完全であるため、ある量のICに欠陥が生じる。たとえば、メタライゼーション層の付着時に欠陥が生じる確率が1%である場合、7つのメタライゼーション層を付着させた後でICに欠陥が生じる確率は6.8%になる。ICは大量生産されるため、これはかなりの数値である。これは、製造業者側の投資であり、他の製造段階を実施する前に製造プロセスの誤りを知ることによって軽減することができる。さらに、後のメタライゼーション層が前のメタライゼーション層の動作に悪影響を与えるので、製造プロセスのどの点で欠陥が生じたかを確認することは困難である。したがって、すべての層が付着する前にIC試験を行うと、ICまたは製造プロセスの障害を発見するのに用いることのできる貴重な情報を得ることができる。これは、金属付着における障害のようなシステムの障害に特に当てはまる。ICが完成する前に行われる試験プロセスは存在するが、これらの試験は、物理的なプローブ接触および容量結合を使用して破壊的に行われている。したがって、この破壊的な性質のために、これらの試験方法のうちで満足の行くものはない。

10

【0004】

ICが製造された後で行われる現行の試験では、入出力(I/O)パッドまたは特殊な試験パッドを介してICが試験される。これらの試験の結果は、製造されるすべてのICにわたる製造プロセス全体の問題を示すことができ、一方、IC自体の動作試験では、個々の欠陥ICを区別することができ、次いでこれらのICをダイシング後に処分できるようにマーク付けすることができる。この試験方法は、各ICに電力を投入する段階と、プローブを用いて適切な試験信号を印加し、試験結果信号を記録する段階とを含む。試験結果信号は次いで、ICが正しく機能していることを保証するために分析される。この方法、およびパッドをICに物理的に接触させる他の試験方法では、ウェーハをプローブに対して正確に配置する必要があり、これはコストと時間の両方がかかるプロセスとなることがある。さらに、ウェーハと物理的に接触するとICが損傷する可能性がある。

20

【0005】

IC試験の別の難点は、ICの密度および複雑さが絶えず増していることである。このため、ICが製造された後でIC内の内部回路を試験する際に視認性およびアクセス可能性の問題が生じる。さらに、ICの密度および複雑さは増しているが、入出力ピンの数は比較的一定であり、場合によっては幾何学的な制約によって制限されている。ICに同時に送信することのできる試験信号の数は入出力ピンの数によって制限されるため、このこともIC試験を困難にしている。同様に、ICから結果として得られる試験信号の数も制限される。

30

【0006】

IC試験において、ICが製造された後で物理的接触を使用すると(すなわち、プローブの使用)、ICに導入される試験信号の周波数が物理的接触によって制限されるという別の制限が生じる。現在の周波数制限は約100MHzである。この周波数制限によって試験時間に下限が課される。さらに、この周波数制限は、IC動作中に使用されるクロック周波数の10分の1または100分の1でICが試験されることを意味している。したがって、試験結果は、ICが公称クロック周波数で動作するときどのような挙動を示すかを正確には反映しない。この情報を考慮すると、既存の試験方法を用いてIC内の部分回路を試験し、場合によってはそれにアクセスすることがますます困難になっていることが分かる。1V動作レベルに対処するIC技術により、誘導結合または無線周波数送信を用いて試験データを送信し試験結果を受信する新しい試験方法が開発されている。これらの試験では、ICウェーハ上に小さな試験回路が製造される。しかし、これらの試験回路は、その製造に伴う間接費を減らすためにサイズを小さくしなければならない。

40

【0007】

Schoellkopf(米国特許第6,166,607号)は、離散した周波数で発振するリング発振器を試験回路として用いる試験方法を開示している。このようなリング発振器は、ICウェーハ上のダイ間の切断経路に配置される。これらの試験回路にどのように電力を供給するか、ま

50

た、これらの試験回路をどのように制御するかは明らかではない。試験回路は、試験回路を製造するのに用いられるメタライゼーション・レベルよりも上の少なくとも2つのレベルでメタライゼーション層に接続される。Schoellkopfは、このようにして、ICの伝搬遅延特性と、金属相互接続部が影響を受けないかどうかを試験している。この試験方法では、試験回路内のトランジスタの特性が測定されると共に、互いに隣接するICのトランジスタの特性が間接的に測定される。しかし、Schoellkopfの特許では、試験回路に電力を供給するのに外部プローブが必要である。さらに、この試験回路では、ICに対する相互接続抵抗および容量の影響を測定することはできない。

【0008】

このIC試験方法の実用性を高めるには、一連のIC技術（すなわち、ミクロン単位のゲート・サイズ）および供給電圧レベルに対処しなければならない。したがって、このIC試験方法、特に、ICウェーハ上に製造される試験回路はスケール可能でなければならない。また、チップ面積に対する影響を最小限に抑えるように試験回路を小さくすると有利である。さらに、現状の従来技術のICは非常に高速で動作し、小さな寸法を有するので、これらのICは限界的なアナログ挙動を示し、従来のデジタル試験方法では不十分である場合がある。したがって、IC試験方法は、IC製造プロセスの完全性を示す抵抗のようなある種のパラメータが測定されるパラメータIC試験を行う特徴付け回路を含む必要がある。パラメータは、ICの性能に影響を与えるので重要である。IC試験方法は、ICを高速で試験する必要もある。

【0009】

発明の概要

本発明は、ウェーハ上の集積回路を試験する試験回路を含む。本発明は、ウェーハ上の集積回路を試験する試験回路を用いる装置をさらに含む。この装置は、a) 集積回路を有するウェーハ上に形成されており、

i) リング発振器回路と、

ii) リング発振器回路に結合された複数の部分回路と、

iii) 部分回路を選択的にリング発振器回路に結合する制御回路とを含む試験回路と、

b) ウェーハから分離されており、試験回路を作動させる信号を送信するように試験回路にリンクされた試験ユニットとを含む。試験ユニットは、試験ユニットによって作動させられると、制御回路によって選択された各部分回路ごとに集積回路の別々の試験を行う。

【0010】

試験回路によって行われる試験は、部分回路が、リング発振器回路に結合されたときに、リング発振器回路の発振周波数を変更するパラメータ試験である。制御ユニットは、部分回路を選択的にリング発振器回路に結合して一連の試験状態を生成するシーケンサを含む。

【0011】

試験ユニットは、試験回路を作動させるのに十分な電力信号（すなわち、RF電力信号）を送信する。

【0012】

試験回路は、リング発振器回路の発振周波数を変更する容量負荷を含む少なくとも1つの部分回路をさらに含む。容量負荷は、少なくとも1つのコンデンサを含む。

【0013】

試験回路は、リング発振器回路の発振周波数を変更する容量負荷および抵抗負荷を含む少なくとも1つの部分回路をさらに含む。容量負荷は少なくとも1つのコンデンサを含み、抵抗負荷は少なくとも1つの抵抗器を含む。

【0014】

試験回路は、リング発振器回路の発振周波数を変更する遅延素子を含む少なくとも1つの部分回路をさらに含む。遅延回路は、標準CMOSインバータである少なくとも1つのインバータであってよい。

【0015】

10

20

30

40

50

試験回路は、集積回路の少なくとも2つのメタライゼーション層によってウェーハ上に形成することができる。あるいは、試験回路は、集積回路の少なくとも1つのメタライゼーション層および1つのポリシリコン層によってウェーハ上に形成することができる。

【0016】

試験回路は、試験結果信号を試験回路から試験ユニットに送信する送信機回路をさらに含む。試験結果信号はリング発振器回路の出力である。したがって、試験ユニットは、試験回路から試験結果信号を受信する受信機回路を含む。試験ユニットは、試験結果信号を分析し表示する回路をさらに含む。この分析回路は、試験中のパラメータの値を算出する。分析回路は、試験中のパラメータの値の比を算出することもできる。

【0017】

試験回路は、試験ユニットからの信号を受信するようになっているアンテナ、およびアンテナに結合され試験回路に電力を供給するようになっている電源回路をさらに含む。電源回路は、アンテナに結合された電圧整流器と、電圧整流器に結合された電圧調整器と、電圧調整器に結合されたエネルギー蓄積素子とを含み、電源回路は、試験回路に複数の電圧レベルを供給するようになっている。

【0018】

試験回路内の制御回路は、第1のクロック信号を供給するようになっている第2のリング発振器、および第2のリング発振器およびシーケンサに結合され、第2のクロック信号を供給するようになっている分割器をさらに含み、第2のクロック信号は、シーケンサがリング発振器および複数の部分回路に一連の試験状態信号を供給できるようにシーケンサに供給される。

【0019】

試験回路内の送信機回路は、リング発振器およびアンテナに結合され、リング発振器の出力を、試験結果信号を試験ユニットに送信するアンテナに選択的に結合するようになっているカプラをさらに含む。カプラは、試験結果信号をアンテナに容量結合することができる。あるいは、カプラは、試験結果信号を試験ユニットに送信するアンテナのインピーダンスを変調することができる。

【0020】

ウェーハ上に配置された複数の試験回路があってもよい。試験ユニットは各試験回路を順次試験しても、複数の試験回路を並行して試験してもよい。各試験回路は、集積回路を含むダイに隣接して形成することができる。あるいは、集積回路を含むダイ上に各試験回路を形成してもよい。あるいは、ウェーハ上のダイ上の広い範囲にわたって各試験回路を形成してもよい。あるいは、ダイ上のウェーハの縁部の近くに各試験回路を形成してもよい。

【0021】

本発明は、集積回路を有するウェーハ上に形成された試験回路を用いてウェーハ上の集積回路を試験する方法であって、試験回路が、リング発振器回路と、リング発振器回路に結合され、それぞれがリング発振器回路の周波数を変更する複数の部分回路と、部分回路を選択的にリング発振器回路に結合する制御回路とを含む方法において、

(a) 試験回路を作動させる段階と、

(b) 部分回路を順次リング発振器回路に結合し、リング発振器回路の周波数を選択的に変更する段階と、

(c) 制御回路によって選択された各部分回路にตอบสนองして試験結果信号を生成する段階と、

(d) 試験結果信号を分析して発振周波数を求める段階とを含む方法にも関する。

【0022】

この方法で行われる各試験はパラメータ試験である。したがって、この方法は、試験中のパラメータの値を算出する段階をさらに含んでよい。あるいは、この方法は、試験中のパラメータの値の比を算出する段階を含んでよい。

【0023】

この方法は、

10

20

30

40

50

(e) クロック信号を生成する段階と、
 (f) クロック信号に基づいて試験状態および状態信号のシーケンスを生成し、部分回路を切換え可能に可変リング発振器に結合する段階に従って段階(b)を実行する段階を含む。

【0024】

この方法の段階(d)は、

(g) 試験結果信号を試験回路内のカプラを通して試験回路内のアンテナに結合する段階と、

(h) カプラが試験結果信号を試験回路に間欠的に送信することを有効、および無効にし、試験ユニットが試験結果信号に同期し試験結果信号を分析するのを可能にする段階とをさらに含む。

10

【0025】

この方法は、リング発振器回路の動作周波数を変更する容量負荷を含む少なくとも1つの部分回路を使用する段階をさらに含む。

【0026】

この方法は、リング発振器回路の動作周波数を変更する容量負荷および抵抗負荷を含む少なくとも1つの部分回路を使用する段階をさらに含む。

【0027】

この方法は、リング発振器回路の発振周波数を変更する遅延素子を含む少なくとも1つの部分回路をさらに含む。

20

【0028】

この方法は、制御回路用のシーケンサを使用する段階をさらに含む。

【0029】

この方法は、ウェーハ上に形成された複数の試験回路を順次試験する段階をさらに含む。あるいは、この方法は、ウェーハ上の複数の試験回路を並行して試験する段階をさらに含む。

【0030】

本発明の他の目的および利点は、以下の説明を添付の図面と共に検討したときに明らかになる。

【0031】

本発明をより良く理解していただき、本発明をどのように実施できるかをより明確に示すために、本発明の好ましい態様を示す添付の図面を一例として参照する。

30

【0032】

発明の詳細な説明

まず、試験ユニット12および試験回路14を含む無線IC試験システム10を示す図1を参照する。試験回路14は、複数のICを含むウェーハ16上の複数の位置に製造される。試験ユニット12は、ウェーハ16から分離されており、ウェーハ16上の任意の試験回路14に無線結合されている。無線IC試験システム10は、以下に詳しく説明するようにウェーハ16のパラメータ試験を行うように構成されている。あるいは、無線IC試験システム10は、以下に詳しく説明するようにウェーハ16に対して機能試験を行うように拡張してもよい。

40

【0033】

次に、試験回路14をウェーハ16上に配置する様々な態様を示す図2から図5を参照する。図2から図5において、ウェーハ16内の各矩形は、IC18を含むことができるダイを表す。図2を参照すると分かるように、試験回路14は、パラメータを試験するIC18を含むダイに隣接するダイに配置することができる。この構成は、IC18の試験に関して100%の有効範囲を実現する。

【0034】

図3を参照すると分かるように、試験回路14は、IC18が製造されるのとダイ内の製造することができる。この構成も、IC18の試験に関して100%の有効範囲を実現する。この構成では、試験回路が必要とするチップ面積を最小限に抑えるように試験回路14が非常に小さい

50

ことが重要である。

【0035】

他の配置方式は図4に示されており、この場合、試験回路14は、100%未満の有効範囲を実現しつつ試験されるIC18の数を最適化するように統計手段によって決定されるウェーハ16上の位置に配置される。これは、100%の試験有効範囲を有することが必須ではない状況、またはチップ面積を節約する必要がある状況で有利である。

【0036】

他の配置方式は図5に示されており、この場合、試験回路14は、完全なIC18を製造できないウェーハ16の縁部に隣接して位置するダイ内に配置される。この方式の場合も、IC18の試験に関する有効範囲は100%未満である。

10

【0037】

次に図6を参照すると分かるように、試験ユニット12は、モニタ22、論理手段24、発振器26、増幅器28、第1のアンテナ30、第2のアンテナ36、フィルタ38、増幅器40、フェーズ・ロック・ループ42、デコーダ44、および論理手段46を含む。モニタ22は、ウェーハ16上の特定の試験回路14に送信されるRF電力信号32のパラメータを表示することができる。RF電力信号32は、試験回路14に電力を供給するのに用いられる。モニタ22は、試験回路14に対する試験の結果を示すこともできる。モニタ22は、発振器26を制御する論理手段24に接続されている。発振器26は、RF電力信号32を生成する。発振器26は、RF電力信号32を試験回路14によって受信されるのに適したレベルに増幅する増幅器28に接続されている。増幅器28は次いで、増幅されたRF電力信号32をアンテナ30に供給し、アンテナ30はRF電力信号32を試験回路14の方へ放射する。RF電力信号32のみが試験回路に送信される。試験ユニット12が試験回路14に試験信号を送信することはない。

20

【0038】

試験回路14は次いで、試験結果信号34を生成し、この信号が試験ユニット12に送信される。試験結果信号34は第2のアンテナ36によって受信される。試験結果信号34は次いで、フィルタ38に送信され、フィルタ38は、試験結果信号34に存在するあらゆる雑音を排除する。フィルタリングされた試験結果信号34'は次いで、増幅器40によって増幅される。増幅されたフィルタリング済み試験結果信号34"は次いでフェーズ・ロック・ループ42に送信され、フェーズ・ロック・ループ42を用いて、周波数が、増幅されたフィルタリング済み試験結果信号34"の周波数にロックされる。フェーズ・ロック・ループ42は好ましくは、広範囲の入力周波数にロックするワイド・キャプチャ・フェーズ・ロック・ループであってよい。次いで、試験回路14によってどの試験が行われたかが、デコーダ44を用い、増幅されたフィルタリング済み試験結果信号34"に基づいて判定され、かつ試験されたパラメータの値が論理信号46を用いて算出される。論理手段46は次いで、試験結果および算出されたパラメータ値をモニタ22に送信し、モニタ22はこの試験結果およびパラメータ値を表示する。あるいは、増幅されたフィルタリング済み試験結果信号34"は、算出されたパラメータ値ではなく、機能試験結果データを含んでもよい。

30

【0039】

試験ユニット12は、それがウェーハ16上に含まれないので、融通性に富むように設計することができる。したがって、試験ユニット12は非常に複雑な構造を有してよい。試験ユニット12はいくつかの異なる態様を有してもよい。たとえば、試験ユニット12は、ロックイン増幅器を分光分析器と共に用いて、パラメータ情報を含む試験結果信号34の周波数を表示することができる。あるいは、試験結果信号34の分析において、試験結果信号34の一部に対してFTTを実行してもよい。さらに、第1の論理手段34の機能と第2の論理手段46の機能を同じ論理手段によって実現することができる。さらに、他の方法では、第1のアンテナ30および第2のアンテナ36ではなく1つのアンテナのみを使用してもよい。

40

【0040】

この構成を用いた場合、試験回路14は、数百MHzから数GHzのような広範囲の周波数にわたって動作することができる。試験回路14を実現するのに用いられる特定の技術も動作周波数範囲に影響を与える。周波数が高いほど試験回路12上の受信アンテナを小形にすること

50

ができ、かつ指向性が向上する。試験結果信号34は、試験回路14の構成に基づく信号であり、数百MHzから数GHzのオーダの周波数で放射することができる。しかし、RF電力信号32以外に、試験回路14に電力を供給する電源はないので、試験回路14によって消費される電力を最小限に抑えなければならない。さらに、RF電力信号32の強度は非常に弱く、したがって、IC18上の他の回路に対する干渉は起こらない。

【0041】

試験ユニット12をウェーハ16上の所望の試験回路14に結合するには、いくつかの技術を使用することができる。特定の一態様では、RF電力信号32が、ウェーハ16の、試験が必要な試験回路14が位置する領域に局所化される。これは、小さなループ・アンテナを用いるか、またはある種のフェライト材料を用いて試験回路14に対する局所領域への電磁流束を最大にすることによって行うことができる。同様に、試験結果信号34についても、試験回路14が試験ユニット12の近くに位置するので、試験ユニット12の第2のアンテナ36に対して局所化される。

10

【0042】

RF電力信号32を試験回路14に結合する他の態様では、各試験回路14が固有の通し番号を有する回路識別方法を実施することができる。この通し番号は、RF電力信号が試験回路14にアドレス指定されているかどうかを試験回路14が判定できるようにRF電力信号32を送信する際に用いられる。同様に、試験回路14は、試験結果信号34を試験ユニット12に送信する際にこの通し番号を用いることができ、試験ユニット12は、この通し番号を検出し、試験結果信号34を送信したのはどの試験回路14かを特定するデコーダ手段を有することができる。

20

【0043】

さらに別の配置では、試験ユニット12の第1のアンテナ30の真下にある試験回路14が大部分のエネルギーを受け取り、したがって最高の利用可能電力を有するという幾何学的特性が利用される。同様に、試験ユニット12の真下にある試験回路14は最高のエネルギー手段を放射し、したがって、試験ユニット12はこの最高のエネルギー信号にロックするだけでよい。

【0044】

無線IC試験システム10の試験ユニット12は順次試験を行うようになっていてよい。すなわち、一度に試験されるのはウェーハ上の1つの試験回路14だけである。あるいは、試験ユニット12は場合によっては、いくつかの試験回路14を同時に作動させることができる。この場合、試験ユニット12は、いくつかの試験回路14を並行して試験できるように複数の送信機（すなわち、部材24から30）および受信機（すなわち、部材36から46）を含んでよい。送信機のアンテナは、試験すべき試験回路14に対して局所化することができる。したがって、送信機のアンテナ同士をある距離分離して干渉を回避する必要がある。同様に、試験ユニット12内の受信機同士も、試験結果を受信し評価するように分離しなければならない。

30

【0045】

次に、試験回路14のレイアウトをブロック形式で示す図7を参照する。試験回路14は、互いに接続された以下の構成要素、すなわち、アンテナ50、電圧整流器52、電圧調整器54、エネルギー蓄積素子56、リング発振器58、分割器59、シーケンサ60、可変リング発振器62、同期素子66、カプラ68を含む。次に、これらの素子のそれぞれについて説明する。

40

【0046】

アンテナ50は、RF電力信号32を受信し、試験結果信号34を試験ユニット12に送り返す。アンテナ50は、それが受け取る入射エネルギーの量を最大にし、試験結果信号34を試験回路14から試験ユニット12に送信するのに必要なエネルギーの量を最小限に抑える。

【0047】

図8を参照するとわかるように、アンテナ50は、試験回路14の周りを囲むループ・アンテナ50'であってよい。ループ・アンテナ50'は、IC18の製造時にウェーハ16上に付着したメタラゼーション層で作ることができる。アンテナ50は、受電に関して最適化する必要が

50

ある。この最適化の一部として、試験回路14上のアンテナ50と試験ユニット12上の第1のアンテナ30とが密に結合される。さらに、RF電力信号32の周波数が非常に高いので、ループ・アンテナは、RF電力信号34の波長よりもずっと短い長さを有してよい。他の態様では、ウェーハ16全体に1本のアンテナを使用することができる。他の態様では、IC18がダイシング後に試験回路14を含まない場合、アンテナ50をダイの切断線に沿って配置することができる。

【0048】

試験回路14を含むダイ内に配置されたモノポール・アンテナ70を示す図9aにアンテナ50のさらに別の態様が示されている。あるいは、アンテナ70'によって示されているように、試験回路14およびIC18を含むダイを横切るようにモノポール・アンテナ70を配置することができる。あるいは、図9bに示されているように、ダイポール・アンテナ72を使用することができる。この図において、ダイポール・アンテナ72は、IC18および試験回路14を含むダイに隣接する複数のダイ領域にわたっている。あるいは、2つのダイのみにわたるようにダイポール・アンテナ72を配置することができる。

10

【0049】

アンテナ50の他の態様として、図9cに示されているパッチ・アンテナ74がある。パッチ・アンテナ74は、複数のダイにわたり、試験回路14の方に向けられている。この構成では、パッチ・アンテナ74は、アンテナ50がギガヘルツ範囲の周波数を有するRF電力信号32を受信できるようにセンチメートル範囲の寸法を有してよい。

【0050】

図9dを参照すると分かるように、アンテナ50の他の態様としてらせんアンテナ76がある。らせんアンテナ76は、試験回路14を含むダイに隣接するダイ内に位置している。あるいは、試験回路14の面積が狭いため、らせんアンテナ76は、試験回路14を含むダイ内に位置してもよい。

20

【0051】

アンテナ50の動作を図7を参照して示す。アンテナ50は、試験ユニット12から送信されたRF電力信号32を受信する。アンテナ50は、受信した信号を電圧整流器52に送信する。電圧整流器52、電圧調整器54、およびエネルギー蓄積素子56は共に、試験回路14の残りの部分にDC電力を供給するようになっている。電圧整流器52は、RF電力信号32の低レベル・エネルギーが与えられたとするとできるだけ大きなDC電圧を供給する。

30

【0052】

図10を参照すると分かるように、電圧整流器52は、ダイオードD1、D2、D3、D4、およびD5ならびにコンデンサCVR1、CVR2、CVR3、CVR4、およびCVR5の回路網から成る。アンテナ50はノードA1に接続されている。ノードA1に接続されたダイオードD1とコンデンサCVR1とは、入力RF電力信号32を整流してDC電圧VUR1、すなわち未調整電圧を生成する。電圧VUR1と、コンデンサCVR2およびCVR3ならびにダイオードD2およびD3が組み合わせられ、2倍の電圧VUR2が生成される。このプロセスが電圧VUR3、ダイオードD4およびD5、ならびにコンデンサCVR4およびCVR5を用いて繰り返され、3倍の電圧VUR3が生成される。電圧VUR1、VUR2、およびVUR3は、試験回路14の他の部分によって電力用に使用される。本発明の構造では、ダイオードは、当業者に広く知られているようにダイオードとして接続されたNウェルFETで構成されている。

40

【0053】

次に、図11を参照すると分かるように、電圧調整器54は、トランジスタQ1、Q2、Q3、およびQ4の回路網を含む。電圧調整器54は、試験回路14の残りの部分によって電力として使用される供給電圧VDDを調整する。電圧調整器54への入力電圧Vinは、電圧整流器52の出力の1つである（すなわち、VUR1、VUR2、またはVUR3）。トランジスタQ2、Q3、およびQ4は電圧検知回路として働く。入力電圧が、Q2、Q3、Q4トランジスタ群の電圧しきい値を超えると、トランジスタQ1がオンになり、入力電圧VinがグランドVSSに分流される。これによって、入力電圧Vinが低下し、供給電圧VDDがQ2、Q3、Q4トランジスタ群のしきい値電圧よりも低くなるように調整される。電圧調整器54はまた、IC18の基板を高電圧から保護する

50

。このことは、サブミクロン技術によって構成されたICが非常に低い破壊電圧を有するため重要である。

【0054】

図11をさらに参照すると分かるように、エネルギー蓄積素子56は好ましくはコンデンサCESである。コンデンサCESは、試験回路14の残りの部分に供給できるエネルギーを蓄積することができる。しかし、RF電力信号32から十分なエネルギーが供給される場合はそれほどのエネルギーは必要ではない。コンデンサCESは、供給電圧VDDを円滑にする働きもする。

【0055】

次に、リング発振器58が、直列ループ・フィードバック構成として接続されたインバータI1、I2、I3、I4、およびI5から成ることを示す図12を参照する。リング発振器58は、試験回路14の同期をとるのに用いられるクロック信号90を生成するようになっている。クロック信号90は、たとえば、IC18の構成における動作周波数である、数百MHzから数GHzの範囲の周波数に相当する周波数であってよい。クロック信号90の2分の1周期の間に、信号は反転しながらループに沿って伝搬する。各インバータ(I1、I2、I3、およびI5)は、その出力ノードに互いに類似した負荷を有する場合、クロック信号90の2分の1周期が $n \cdot t_{inv}$ 秒になるように互いに類似した遅延(t_{inv})を有する。したがって、クロック信号90の周波数は $1/(2 \cdot n \cdot t_{inv})$ Hzである。

【0056】

リング発振器はIC構造における標準的な発振器であるが、通常、101個のような大きな奇数のインバータから成るリング発振器が用いられる。多数のインバータが必要であるのは、プローブ試験において、サブナノ秒試験信号が伝搬できないからである。しかし、本発明の無線IC試験システム10ではRF信号が用いられるので、クロック信号90は、試験回路14で用いることのできるより高い周波数を有してよい。したがって、リング発振器58を構成するインバータI1の数を実質的に少なくしてよい。さらにリング発振器58と試験回路14内の他の回路とに対する構成上の重大な制約は、リング発振器が広範囲の供給電圧レベルおよびIC技術によって動作することである。

【0057】

次に、リング発振器58で用いられるインバータの概略図である図13を参照する。このインバータは、2つのトランジスタQ5およびQ6から成る標準CMOSインバータ92である。インバータ92は、最小フィーチャ・サイズを用いて構成されており、そのため、必要とするチップ面積が最小限であり、クロック信号90に関して述べた周波数に一致する周波数で動作する間の電力の散逸が最低限に抑えられる。

【0058】

図14を参照すると分かるように、分割器59の態様は、直列接続された5つの2つに分かれる回路(divide by two circuit)94、96、98、100、および102から成る。分割器59への入力クロック信号90である。2つに分かれる回路が用いられているので、分割器出力は、クロック信号90の周波数の1/32である周波数を有する縮小されたクロック信号104である。分割器59において、各2つに分かれる回路は、当技術分野で広く知られているように単一の入力線からのクロックを受けるTフリップ・フロップとしての挙動を示すように修正されたDフリップ・フロップである。各2つに分かれる回路はまた、分割器59の動作がより高速になり、散逸電力が少なくなり、占有するチップ面積が狭くなるように最小フィーチャ・サイズおよび最小限の数のトランジスタを有するように構成されている。最小限の数のトランジスタを用いる要件は、ダイナミック・ロジック・フリップ・フロップを用いることによって実現されている。Tフリップ・フロップのダイナミック・ロジック・バージョンでは、1V供給電圧によって全速で動作しても電力消費量がさらに少なくなる。これは、連続的に動作させられるダイナミック・ロジック回路の容量負荷が少なくなるからである。次いで、縮小されたクロック信号104はシーケンサ60に供給される。

【0059】

次に、図15を参照すると分かるように、シーケンサ60は、シフト・レジスタ・フォーマットで直列接続された9つのDフリップ・フロップ110、112、114、116、118、120、122、お

10

20

30

40

50

よび124、ならびに2つのインバータ16および17を含む。Dフリップ・フロップの数は、以下に詳しく説明する試験状態の数と相関関係を有する。このため、Dフリップ・フロップの数は、試験回路14で用いられる試験状態の数に応じて異なる。シーケンサ60は、すでに分割器59に関して述べた理由で、やはりダイナミック・ロジックDフリップ・フロップを用いて構成されている。

【0060】

シーケンサ60は、縮小されたクロック信号96がデジタル論理値「0」からデジタル論理値「1」に遷移するたびにDフリップ・フロップのチェーン内で1ビットシフトする（ネガティブ・エッジ・トリガ・フリップ・フロップを用いてもよい）。最後のDフリップ・フロップ126の出力S9は第1のDフリップ・フロップ110の入力128に再循環される。シーケンサ60は試験イネーブル信号(test enable signal)（すなわち、状態信号S2、S3、S4、S5、S6、S7、S8、およびS9）を生成する。シーケンサ60は、クロック信号90の所与の周期の間1つの状態信号のみがデジタル論理値「1」を有するようにする。状態信号S9がデジタル論理値「1」を有すると、状態信号S9を用いてシーケンサ60内の各Dフリップ・フロップがリセットされる。状態信号S9はまた、第1のフリップ・フロップ110の入力128でデジタル論理値「1」を生成し、試験イネーブル信号のシーケンスを再開する。この特定の実現態様は、トランジスタの数が最小限になり、かつ非常に低い供給電圧で動作できるようになるために選択された態様である。しかし、ダイナミック電力消費量はシーケンサ60の場合にはそれほど重大ではない。というのは、シーケンサ60はクロック信号90の1/32で動作するからである。試験回路14に電力を投入した後できるだけ高速に新しい試験を開始できるようにマスタ・リセット・立上げ機能（すなわち、インバータ16および17）用の他の回路が含まれている。2つのインバータ16および17によって、入力信号128の方形エッジが良好なものになるか、または第2のDフリップ・フロップ110への入力信号128のハード遷移が良好なものになる。

【0061】

次に、シーケンサ60で使用されているDフリップ・フロップ130の概略図である図16を参照する。Dフリップ・フロップ130は、リセット信号RST、クロック信号CK、入力信号D1および出力信号D2を含む。nck信号は、クロック信号CKを反転させた信号であり、信号dintは、クロック信号CKの各遷移間に記憶される内部データ信号である。データは、クロック信号CKの全周期をかけてDフリップ・フロップ130の入力D1からフリップ・フロップ130の出力D0まで転送される。Dフリップ・フロップ130は、この論理回路の入力部分および出力部分に相補的なクロック出力を用いることによって電力散逸を最小限に抑えるように構成されている。

【0062】

可変リング発振器62について論じる前に、試験回路14の基本的な試験方法について論じる。この試験方法は、試験回路14の部分回路を用いることによってIC18のパラメータまたはパラメータの比を間接的に測定することに基づく方法である。しかし、IC18の部分回路は、以下に詳しく説明するように使用してもよい。本発明によって試験できる多数の可能なパラメータがあり、同様にそのような各パラメータの多数の比がある。無線IC試験システム10の態様において、試験されるパラメータはキャパシタンス、抵抗、およびゲート遅延である。これらのパラメータは、IC製造サイクルの様々な段階で重要であると共に、基本的なデバイス動作にとっても重要である。キャパシタンスを試験する場合、可変リング発振器62において、コンデンサを含む部分回路が使用される。同様に、抵抗およびゲート遅延を試験する場合は、可変リング発振器62において、それぞれ抵抗器およびインバータを含む部分回路が使用される。これらの抵抗器、インバータ、およびコンデンサが、試験回路14の一部であってよく、またはIC18の一部である抵抗器、インバータ、およびコンデンサであってよいことに留意されたい。このように、IC18は間接的に試験することも、直接的に試験することもできる。さらに、抵抗、キャパシタンス、およびゲート遅延を様々な他の構造で置き換えることができる。キャパシタンスの場合、誘電体厚(dielectric thickness)またはイオン注入を測定することができる。抵抗の場合、ポリシリコン層の抵抗ま

たは基板の抵抗を測定することができ、ゲート遅延の場合、IC18内のトランジスタのしきい値電圧を測定することができる。パラメータの比に関しては、このような比は、以下に詳しく説明するように試験中のパラメータの回路レイアウトに依存する。

【 0 0 6 3 】

パラメータ試験を行う場合、一態様では、シーケンサ60から供給される状態信号S1、S2、S3、S4、S5、S6、S7、S8、およびS9に基づいて部分回路を可変リング発振器62内および可変リング発振器62外に切り換えられる。可変リング発振器62内に切り換えられる部分回路の大部分は、部分回路が可変リング周波数62の発振周波数に影響を与えるように可変リング発振器62に負荷をかける。この場合、以下に示すように、可変リング発振器62の発振周波数の差によってパラメータ測定が可能になる。

【 0 0 6 4 】

リング発振器の発振周波数を用いてICパラメータを測定する概念を示すために、次に、インバータ18、19、および110を含むリング発振器132と、コンデンサCL1およびCL2ならびに送信ゲート136を含む可変負荷134とを示す図17aを参照する。コンデンサCL2は、送信ゲート136が制御信号138によって有効にされたときにリング発振器132内に切り換えられる。送信ゲート136が無効にされると、リング発振器132上の負荷134はコンデンサCL1によって支配される。前述のように、リング発振器132が負荷134を有さない場合、リング発振器132内の各インバータの負荷が互いに類似している場合、リング発振器132は周波数 $1/(2 \cdot 3 \cdot t_{inv})$ で発振する。しかし、リング発振器132内の第2のインバータ19上の負荷134がインバータ18および110の負荷と比べて大きくなった場合、リング発振器132の遅延は、インバータ19に伴う遅延によって支配される。したがって、リング発振器132の発振周波数は第2のインバータ19の負荷134に比例する（図示していないが、インバータ18および110の負荷は、インバータで用いられるトランジスタの内部寄生容量、ならびに相互接続容量、すなわち、寄生容量負荷および集中抵抗を含む）。この場合、リング発振器132は、次式によって与えられる発振周波数を有する。

$$f_{osc} = 1/ \quad (1)$$

上式で、 t_{inv} は第2のインバータ19の負荷134に関連する時定数である。送信ゲート136が無効とされると、負荷134はコンデンサCL1と集中抵抗 R_{lump} と定数 k の積になる。値 R_{lump} はインバータ19の出力に見られる等価抵抗であり、定数 k はIC18の基板（すなわち、シリコンとガリウム砒素との関係）およびIC技術（すなわち、ゲート・サイズ）に依存する。したがって、時定数は $k \cdot R_{lump} \cdot CL1$ である。送信ゲート136が有効とされると、コンデンサCL1とコンデンサCL2が並列するため、時定数は $k \cdot R_{lump} \cdot (CL1 + CL2)$ になる。したがって、リング発振器132の2つの発振周波数は以下の公式によって与えられる。

$$f_{osc1} = 1/(k \cdot (R_{lump} \cdot CL1)) \quad (2)$$

$$f_{osc2} = 1/(k \cdot (R_{lump} \cdot (CL1 + CL2))) \quad (3)$$

発振周波数を測定するとき、これらの公式を用いてコンデンサCL1およびCL2のキャパシタンスを算出することができる。あるいは、コンデンサCL1およびCL2のキャパシタンスCL1およびCL2の最初の設計値に基づいて、期待される比 $(CL1 + CL2)/CL1$ を測定された比 f_{osc1}/f_{osc2} と比較して、製造プロセスに欠陥があるかどうかを判定することができる（この比の比較は数式2を数式3で割ることに基づく比較である）。

【 0 0 6 5 】

2つのコンデンサCL1およびCL2により、測定時に分析できる2つの発振周波数が得られるかどうかを判定するために、リング発振器132をシミュレートした。図17bを参照すると分かるように、負荷134が最初コンデンサCL1から成るときの発振器132の出力140のスペクトルと、次いで並列したCL1とCL2から成るときのリング発振器132の出力140のスペクトルを組み合わせた。図17bは、2つの発振周波数（ピーク142およびピーク144）がパラメータ試験時に測定するのに十分な程度に異なることを示している。測定された発振周波数（ f_{osc1} および f_{osc2} ）ならびにコンデンサCL1およびCL2の設計値に基づいて、前述の比を比較することによって、最初の設計値に基づく製造プロセスのステータスの表示を、パラメータ試験時に検査することができる。

10

20

30

40

50

【 0 0 6 6 】

次に、図18に示す可変リング発振器62を参照する。可変リング発振器62は、占有するダイ面積が最小限になり、高速で動作し、散逸する電力量が最低限になるように設計されている。可変リング発振器62は、ベース・リング発振器150と、部分回路152、154、156、158、160、162と、インバータI11、I12、I13、I14、I15、I16、I17、I18、I19、I20、I21、I22と、送信ゲートT2、T3、T6、TN2、TN3、TN6と、以下に詳しく論じるいくつかの抵抗器、コンデンサ、およびトランジスタを含む。ベース・リング発振器150は、基本周波数で発振する3つのインバータI11、I12、およびI13を含む。部分回路152、154、156、158、160、および162は、IC18の抵抗パラメータ値、キャパシタンス・パラメータ値、およびゲート遅延パラメータ値を、図17に示す原則に基づいて間接的に測定できるようにベース・

10

【 0 0 6 7 】

これらの部分回路を有効にする場合、試験状態信号S2、S3、S4、S5、およびS6を用いてそれぞれ、送信ゲートT2およびT3、トランジスタQAおよびQB、ならびに送信ゲートT6を有効、または無効にする。送信ゲートTN2、TN3、およびTN6を有効にするのに用いられる状態信号NS2、NS3、およびNS6もある。試験状態信号S2、S3、S4、S5、およびS6はシーケンサ60から得られる。試験状態信号NS2、NS3、およびNS6は、インバータI14、I15、およびI16を用いることにより試験状態信号S2、S3、およびS6を反転させることによって得られる。図18では、インバータI14、I15、およびI16が可変リング発振器62から分離されているように見えるが、図を簡略化するために分離したものである。可変リング発振器62の実現態様において、インバータI14、I15、およびI16は、シーケンサ60から試験状態信号S2、S3、およびS6を受信し、インバータI14、I15、およびI16の出力は、試験状態信号NS2、NS3、およびNS6が印加される回路ノードで部分回路152および162に接続されている。

20

【 0 0 6 8 】

送信ゲートT2、T3、T6、TN2、TN3、およびTN6は、部分回路152、154、156、158、160、および162の制御信号、すなわち部分回路が接続されるそれぞれの試験状態信号が、デジタル論理値「1」を持つときに、部分回路をベース・リング発振器150に接続するのを可能にする切換え送信機として働く。

【 0 0 6 9 】

図19を参照すると、可変リング発振器62内の送信ゲートに用いられる送信ゲート回路164が示されている。送信ゲート回路164は、4つのトランジスタQT1、QT2、QT3、およびQT4の回路網を含み、入力信号X、出力信号Y、および制御信号ONを有する。制御信号ONがデジタル論理値「1」を有するとき、出力信号Yの値は入力信号Xの値に等しい。しかし、制御信号ONがデジタル論理値「0」を有するときは、出力信号Yが入力信号Xから切断され、送信ゲートが開回路として働く。

30

【 0 0 7 0 】

各部分回路について説明する前に、試験シーケンスについて論じる。試験シーケンスは9つの試験状態から成る。各試験状態の持続時間は、縮小されたクロック信号104がクロック信号90の周波数の1/32であるため、クロック信号90の32個の周期である。試験回路14は、表1に示すシーケンス内の各信号件状態を循環する。試験状態8の終了時に、試験は循環して試験状態0に戻る。必要に応じて、試験事例の数を増やしても、また減らしてもよい。各試験状態の時間の長さは、変更することが可能であるが、試験ユニットが試験結果信号34の周波数の同期をとれるようにするのに十分な長さであるべきである（すなわち、試験ユニット12でより高度な方法を用いる場合は、各試験状態の時間を短縮することができる）。

40

【 0 0 7 1 】

【表1】

試験状態のシーケンス

| 試験状態 | 試験タイプ | 値「1」を有する状態信号 | 可変リング発振器の出力 |
|------|-----------------|-------------------|-------------|
| 0 | 空試験 (null test) | NS2, NS3, NS6 | 無効 |
| 1 | フリー・ランニング試験信号 | NS2, NS3, NS6 | 有効 |
| 2 | キャパシタンス試験 | S2, NS3, NS6 | 有効 |
| 3 | 3x2キャパシタンス試験 | S3, NS2, NS6 | 有効 |
| 4 | 抵抗試験 | S4, NS2, NS3, NS6 | 有効 |
| 5 | 5x2抵抗試験 | S5, NS2, NS3, NS6 | 有効 |
| 6 | 伝搬遅延 | S6, NS2, NS3 | 有効 |
| 7 | フリー・ランニング試験信号 | NS2, NS3, NS6 | 有効 |
| 8 | 空試験 (null test) | NS2, NS3, NS6 | 無効 |

10

【0072】

試験状態0および試験状態8の間、試験結果信号34が試験ユニット12に送信されることはない。このため、試験ユニット12を、試験回路14によって実行されている試験に対して同期化できる。試験状態1および試験状態7の間、可変リング発振器62には5つのインバータがあり、負荷はない。試験状態2および試験状態3の間には、図21および図22に示す2つの回路構成を用いてキャパシタンスが測定される。試験状態4および試験状態5の間には、図23および図24に示す3つの回路構成を用いて抵抗が測定される。試験状態6の間には、可変リング発振器62内のインバータの数を7つに増やすことによってゲート遅延が評価される。これによって、信号伝搬の遅延が延びるため、可変リング発振器62の発振周期が長くなる。パラメータを測定できるように可変リング発振器62内に切り換えられる特定の部分回路について次に説明する。

20

【0073】

図20を参照すると、状態信号NS2、NS3、およびNS6はデジタル論理値「1」を有している。したがって、試験状態1の間有効とされる可変リング発振器62の構成要素は、送信ゲートN2、TN3、およびTN6、ならびにインバータI17およびI18を含む部分回路152である。部分回路152は、可変リング発振器62が今度は5つのインバータを含むようにベース・リング発振器150に接続されている。したがって、可変リング発振器62の発振周波数は $1/(2 \cdot 5 \cdot \tau_{inv})$ Hzである。この場合、 τ_{inv} は、各インバータI11、I12、I13、I14、およびI15が互いに類似した寄生容量負荷を有すると仮定した場合の各インバータの遅延である。可変リング発振器62の発振周波数は、この試験状態で測定することができ、ゲート遅延パラメータを測定するのに試験状態6と共に用いることができる。

30

【0074】

次に、状態信号S2およびNS6がデジタル論理値「1」を有するときに試験状態2の間有効とされる可変リング発振器62の素子を示す図21を参照する。この試験状態では、送信ゲートT2およびTN6が有効にされ、かつ部分回路154が、可変リング発振器62が5つのインバータI11、I12、I13、I19、およびI20を含みコンデンサC1を負荷として有するようにベース・リング発振器150に接続される。コンデンサC1のキャパシタンスとしては、ベース・リング発振器62の発振周波数が $1/(k \cdot R_{lump} \cdot C1)$ Hzになるように(図17aに関して概略的に説明したガイドラインによる)各インバータI11、I12、I13、I19、およびI20の寄生負荷よりもずっと大きなキャパシタンスが選択される。

40

【0075】

次に、状態信号S3およびNS6がデジタル論理値「1」を有するときに試験状態3の間有効とされる可変リング発振器62の素子を示す図22を参照する。この試験状態では、送信ゲートT3およびTN6が有効にされ、かつ部分回路156が、可変リング発振器62が5つのインバータI11、I12、I13、I21、およびI22を含みコンデンサC2を負荷として有するようにベース・リ

50

ング発振器150に接続される。この場合も、コンデンサC2のキャパシタンスとしては、ベース・リング発振器62の発振周波数が $1/(k \cdot R_{lump} \cdot C2)$ Hzになるように各インバータI11、I12、I13、I21、およびI22の寄生負荷よりもずっと大きなキャパシタンスが選択される。コンデンサC2のキャパシタンスとしてはまた、試験状態2および試験状態3の間に得られる試験結果信号を比較する際に可変リング発振器62の発振周波数を識別できるように、図21において、コンデンサC1のキャパシタンスと十分異なるキャパシタンスを選択しなければならない。

【0076】

製造プロセスに基づいてキャパシタンス値の実際の比を算出する場合には、図21および図22に示す負荷に対して調整された数式2および数式3を使用する。これらの数式は以下のようになる。

$$f_{osc1} = 1/(k \cdot (R_{lump} \cdot CL1)) \quad (4)$$

$$f_{osc2} = 1/(k \cdot (R_{lump} \cdot CL2)) \quad (2)$$

数式4を数式5で割ると数式6が得られる。

$$f_{osc1}/f_{osc2} = CL2/CL1 \quad (6)$$

この比は、 f_{osc1} および f_{osc2} が測定される場合に算出することができる。さらに、可変リング発振器62の物理的レイアウトの形状によって、比 $CL2/CL1$ の値を選択することができる。たとえば、 $CL2$ を $CL1$ の2倍の大きさにするのを選択することができる。したがって、発振周波数 f_{osc1} と f_{osc2} の比も2である必要がある。したがって、発振周波数の比(f_{osc1}/f_{osc2})を算出し、この比を、可変リング発振器62の構造に基づく比 $CL2/CL1$ の期待値と比較することによって一致するかどうかを確認するために、ウェーハ16上の可変リング発振器62の製造状態を最初の設計と照らし合わせることができる。発振周波数の比(f_{osc1}/f_{osc2})とキャパシタンスの設計値の期待される比($CL2/CL1$)とが一致しない場合、これは、製造プロセスに問題があることを示している。CADENCE(商標)などの回路シミュレーション・プログラムを用いて回路12の性能をシミュレートし、この回路構成が与えられた場合の発振周波数の値を求めることもできる。次いで、このシミュレートされた発振周波数を測定された発振周波数と比較し、製造された回路が予定どおりに動作しているかどうかを確認することができる。この2つの発振周波数が一致しない場合、製造プロセスに誤りがある。

【0077】

次に、状態信号S4、NS2、NS3、およびNS6がデジタル論理値「1」を有するときに試験状態4の間有効とされる可変リング発振器62の素子を示す図23を参照する。この場合、部分回路152および158がベース・リング発振器150に接続されるように送信ゲートTN2、TN3、およびTN6、ならびにトランジスタQAが有効にされる。したがって、可変リング発振器62は、5つのインバータI11、I12、I13、I17、およびI18を含み、コンデンサC3と直列接続された抵抗器R1から成る負荷を有する。この負荷のインピーダンスとしては、可変リング発振器62内の各インバータI11、I12、I13、I21、およびI22の寄生負荷よりもっと大きくなるようなインピーダンスが選択される。したがって、可変リング発振器62の遅延は、抵抗器R1とコンデンサC3の直列組合せによって決定される。可変リング発振器62の動作周波数は $1/(k \cdot R1 \cdot C3)$ Hzである(図17aに関して概略的に説明したガイドラインによる。 R_{lump} をR1で置き換えている)。したがって、発振周波数は抵抗器R1の抵抗に比例する。

【0078】

次に、状態信号S5、NS2、NS3、およびNS6がデジタル論理値「1」を有するときに試験状態5の間有効とされる可変リング発振器62の素子を示す図24を参照する。この場合、部分回路152および160がベース・リング発振器150に接続されるように送信ゲートTN2、TN3、およびTN6、ならびにトランジスタQBが有効にされる。このとき、可変リング発振器62は、5つのインバータI11、I12、I13、I17、およびI18を含み、抵抗器R1およびR2ならびにコンデンサC4から成る負荷を有する。この場合も、負荷のインピーダンスとしては、可変リング発振器62内の各インバータI11、I12、I13、I17、およびI18の寄生負荷よりもっと大きくなるようなインピーダンスが選択される。したがって、可変リング発振器62の遅延は

10

20

30

40

50

、可変リング発振器62の動作周波数が $1/(k*(R1+R2)*C4)$ Hzになるように抵抗器R1および抵抗器R2とコンデンサC4の直列組合せによって決定される。したがって、発振周波数は抵抗器R1と抵抗器R2の抵抗の和に比例する。この場合も、キャパシタンス・パラメータ試験の場合と同様に、抵抗器R1および抵抗器R2の値は、発振周波数を分析できるようにするのに十分な大きさである必要がある。

【0079】

製造プロセスに基づいて抵抗値の比を算出する場合には、図23および図24に示す負荷に対して調整された数式2および数式3を使用する。これらの数式は以下のようになる。

$$f_{osc1} = 1/(k*(R1*CL3)) \quad (7)$$

$$f_{osc2} = 1/(k*(R1+R2)*CL4) \quad (8)$$

数式7を数式8で割ると数式9が得られる。

$$f_{osc1}/f_{osc2} = ((R1+R2)/R1)*(CL4/CL3) \quad (9)$$

この比は、 f_{osc1} および f_{osc2} が測定される場合に算出することができる。さらに、可変リング発振器62の物理的レイアウトの形状によって、比 $(R1+R2)/R1$ および $CL4/CL3$ の値を選択することができる。たとえば、 $CL4$ を $CL3$ と等しくするのを選択することができる。したがって、発振周波数の比(f_{osc1}/f_{osc2})は比 $(R1+R2)/R2$ に等しい必要がある。このことが試験中に確認されない場合、それは、製造プロセスに問題があることを示している。

【0080】

次に、状態信号S6、NS2、およびNS3がデジタル論理値「1」を有するときに試験状態6の間有効とされる可変リング発振器62の素子を示す図25を参照する。この場合、部分回路152および162がベース・リング発振器150に接続されるように送信ゲートT6、TN2、およびTN3が有効にされる。このとき、可変リング発振器62は、7つのインバータI11、I12、I13、I17、I18、I23、およびI24を含む。各インバータが同じ寄生負荷を有すると仮定した場合、可変リング発振器62の発振周波数は $1/(7 * t_{inv})$ Hzになる。この場合、 t_{inv} は1つのインバータI1の遅延である。次いで、この発振周波数を、可変リング発振器62が5つのインバータを含んでいた試験状態1の間に測定された発振周波数と比較することができる。発振周波数の変化は、試験状態6の間の2つのインバータの和に比例する必要がある。

【0081】

単一のインバータの伝搬遅延を算出する場合には、可変リング発振器62が5つのインバータを含むときの発振周期 T_5 ($T_5 = 5 * t_{inv}$)を測定する。次に、可変リング発振器62が7つのインバータを含むときの発振周期 T_7 ($T_7 = 7 * t_{inv}$)を測定する。この場合、インバータの伝搬遅延は $(T_7 - T_5)/2$ に等しい。次いで、単一のインバータのこの測定された伝搬遅延を、シミュレーションに基づいて予想される伝搬遅延と比較し、製造プロセスに誤りがあるかどうかを判定することができる。

【0082】

図26を参照すると、トランジスタQCを含む同期素子66とコンデンサCCを含むカプラ68の一態様が示されている。トランジスタQCは、アンテナ50のインピーダンスを修正するのに用いられる。トランジスタQCはもとの試験ユニット12に送信される、試験結果信号34からのエネルギーをコンデンサCCを介して、アンテナ50に結合するために使用される。所与の試験状態についての試験結果信号34は、トランジスタQCのソースに結合される。トランジスタQCはアンテナ結合イネーブル信号170によって有効にされており、その信号は、状態信号S0およびS8の論理XNORのような、シーケンサ60の状態信号S0またはS8の組み合わせに由来するが、これは試験が実施されていないときこれらの信号がデジタル値「1」を有するからである(すなわち、表1参照)。アンテナ結合イネーブル信号170がデジタル論理値「1」を有するときは、トランジスタQCが有効にされ、それによって試験結果信号34が、アンテナ50に印加され、試験ユニット12に向かって放射される。アンテナ結合イネーブル信号170がデジタル論理値「0」を有するときは、トランジスタQCが無効にされ、試験結果信号34をアンテナ50に印加することができなくなり、試験ユニット12に向かって放射される信号はなくなる。従って、カプラ68および試験結果信号34はアンテナ結合イネーブル信号170に対して同期化される。コンデンサCCは、試験結果信号34からDCエネルギーを除去し

10

20

30

40

50

試験結果信号34をアンテナ50に結合する結合コンデンサとして働く。

【0083】

試験結果信号34を試験ユニット12に送信する他の態様では、試験結果信号34の情報を含むRF信号を再放射するようにアンテナ50のインピーダンスが変調される。図27を参照すると、カプラ68の別の態様が同期化と結合特性を含むことが、試験回路14の部分図に示されている。カプラ68は直列接続された2つのトランジスタQC1およびQC2を含む。トランジスタQC2は、同期素子およびトランジスタQC1（そのインピーダンスは試験結果信号を記号化する）をアンテナ50に結合するカプラとして作用する。トランジスタQC2は、図26に示す態様に関して説明したのと同様にアンテナ結合イネーブル信号170によって制御される。試験結果信号34は、有効にされたときに抵抗器のような挙動を示すように接続されたトランジスタQC1を制御するのに用いられる。試験結果信号34がデジタル論理値「1」を有するときは、トランジスタQC1が有効にされ、アンテナ10の抵抗を大きくする。逆に、試験結果信号34がデジタル論理値「0」を有するときは、トランジスタQC1が無効にされ、アンテナ50のインピーダンスがその最初の値に戻る。デジタル論理値「1」からデジタル論理値「0」へ、逆にデジタル論理値「0」からデジタル論理値「1」への周期的な遷移は、試験結果信号34の周波数を示すので、アンテナ50のインピーダンス変調の周波数は、試験結果信号34内に含まれる周波数情報を符号化する。

10

【0084】

前述の態様のいずれにおいても、試験結果信号34がアンテナ結合イネーブル信号170なしでアンテナ50に結合される場合、試験ユニット12は一連の周波数を検出するが、試験回路14が現在どの試験状態であるかを容易に判定することはできない。シーケンサ60は、試験ユニット12と試験回路14との間の周期をとる場合にも、試験シーケンスが繰り返されるたび、その前に、すなわち試験状態0または試験状態8の間に、カプラ68が無効にされ、したがって、試験ユニット12に向かって放射される信号がなくなるように、図26に示された同期素子66または図27に示されたカプラ68のトランジスタQC2を切り換える。したがって、試験ユニット12は試験回路14から試験結果信号34を受信しないことによって試験結果信号34の同期をとることができる。

20

【0085】

他の態様では、IC18内に含まれる個々の部分回路（すなわち、IC18の部分回路）の動作に過度の電力が必要とされないかぎり、個々の部分回路の機能を試験するように試験回路14を拡張することができる。たとえば、シーケンサ60が一連のメモリ・セルにデジタル論理値「1」またはデジタル論理値「0」を選択的に供給する機能試験をメモリに対して実行することができる。次いで、メモリ・セルを調べることができ、メモリ・セルがデジタル論理値「1」を保持している場合には周波数 f_1 が試験ユニット12に送信され、メモリ・セルがデジタル論理値「0」を保持している場合には周波数 f_2 を試験ユニット12に送信される。次いで、試験ユニット12は、受信された試験結果信号34が正しいデータを含んでいるかどうかを評価する。

30

【0086】

図28を参照すると、試験回路14がIC18内の部分回路180を試験するのを可能にする試験回路14の修正が示されている、この態様は、図7に示す回路、ならびにグランドVSS、試験信号182、およびイネーブル試験部分回路信号184に接続されたイネーブル・トランジスタQEを含む。部分回路180に電力を供給するのに用いられるソース電圧VDDは電圧整流器52から供給される。部分回路180の電力は、部分回路180を接地するイネーブル試験部分回路信号184から供給される。この接地が必要であるのは、グランド経路がなければ、部分回路180に電力を供給できないからである。この態様は、トランジスタQEの両端間の電圧降下が低いため好ましい。この構成では、シーケンサ60は、イネーブル試験部分回路信号184、および部分回路180の機能を試験するのに用いられる試験信号182を供給するように修正されている。試験信号182は、部分回路180内の1つまたは多数の論理状態を設定するのに用いられることができる。次いで、部分回路180の結果として得られた出力信号、すなわち試験結果信号34がカプラ68に送信される。カプラ68は、上記図27に示された別の態様に記載され

40

50

たアンテナ結合イネーブル信号170も受信する(また、図26に示された同期素子66およびカプラ68を有する態様もまた同期化および結合に用いることができる)。次いで、試験結果信号34を試験ユニット12に送信し、この信号を評価して部分回路180の挙動が正しいかどうかを判定することができる。

【0087】

図29は、試験回路14がIC18内の部分回路180を試験するのを可能にする試験回路14の他の態様を示しており、図28に示すすべての構成を含んでいる。ただし、部分回路180は電力供給方法は異なっている。この態様では、イネーブル・トランジスタQE'は供給電圧VDDに接続され、部分回路180はグランドVSSに接続されている。イネーブル試験部分回路信号184がデジタル論理値「0」を有するときは、イネーブル・トランジスタQEがオンになり、供給電圧VDDを部分回路180に接続する。試験回路14のこの修正態様は、他の点では、図28に示す態様に関してすでに説明したのと同様に動作する。

【0088】

試験回路14は、最小限の数のトランジスタで構成され、必要なチップ面積が最小限であるので、1つまたは2つのメタライゼーション層を用いて製造することができ、それに対して現状の従来技術のICは7つものメタライゼーション層を必要とする。あるいは、試験回路14の製造で使用するメタライゼーション層の数を増やしてもよい。しかし、試験回路14を2つのメタライゼーション層(あるいは1つのメタライゼーション層および1つのポリシリコン相互接続層)で製造することができるので、IC18のすべてのメタライゼーション層を付着させる前に無線IC試験システム10を用いて無線試験を行うことができる。さらに、この試験は、製造プロセス全体にわたって、IC18に他の層を追加するときに継続して行うことができる。IC18は完成していないが、IC18内の部分回路の大部分を試験向けにモジュール化することができる。さらに、それぞれの新しいメタライゼーション層は、試験時に単に試験回路14内および試験回路14外に切り換えることができる。この場合、試験結果信号34が存在しないことを利用して、メタライゼーション層の機能障害を示すことができる。さらに、その後メタライゼーション層および酸化物層を追加することによって、試験回路14で用いられる抵抗器およびコンデンサの値を大きくすることができ、それによって、試験ユニット12はIC18が完成するまでIC18の成長に従うことができる。

【0089】

広く使用されているIC設計CADツールであるCADENCE(商標)を用いて試験回路14全体のシミュレーションを行った。このシミュレーションは、以下のIC技術および供給電圧、すなわち、0.5ミクロンおよび5V、0.35ミクロンおよび3.5V、0.25ミクロンおよび2.5V、0.18ミクロンおよび2Vで行った。200fFおよび400fFの値を有する2つのコンデンサならびに5kおよび10kの値を有する2つの抵抗器を用いてキャパシタンス・パラメータ試験をシミュレートした。1マイクロ秒の試験間隔で積分される離散フーリエ変換を用いて、シミュレートされた試験結果を観測した。このような短い期間の試験結果を評価する能力は、約100MHzで動作する101個のリング発振器の、試験結果を得るための最低要件が10マイクロ秒である従来のプローブ試験とは対称的である。

【0090】

試験結果のスペクトルを図30aおよび図30bに示す。図30aを参照すると分かるように、キャパシタンスについては、可変リング発振器62にまず部分回路154を負荷として課し、次いで部分回路156を負荷として課したときに試験回路14によって示される2つの周波数(c1およびc2で示されている)の間に明確な差があった。抵抗パラメータ試験結果も異なる発振周波数(これらの周波数はr1およびr2で示されている)を示した。図30bは、ゲート遅延パラメータ試験のシミュレーション結果を示している。この場合、2つの識別可能な発振周波数d1およびd2もあった。2つの余分なインバータによる余分な遅延、したがってより低い発振周波数はd2で示されている。

【0091】

次に、可変リング発振器62の発振周波数と様々なIC技術の供給電圧VDDとの関係をプロットした、シミュレートされた試験結果のグラフである図31を参照する。この図は、試験回

10

20

30

40

50

路14が、可変リング発振器62が500MHzから4.5GHzのオーダーの周波数で動作している間様々な供給電圧（1V、1.5V、2V、2.5V、および3V）ならびに様々なIC技術（0.18ミクロン、0.25ミクロン、および0.5ミクロン）にわたってスケーリング可能であることを示している。このことは、試験回路14が融通性に富んでおり、現在ギガヘルツ範囲である公称クロック・レートでIC18を試験するのに用いることができることを示している。さらに、試験回路14は、アナログ装置からデジタル装置までの範囲の多数の異なるICの製造時の試験に用いることができる。

【0092】

シミュレーションの間に、可変リング発振器62が所与の試験状態から次の試験状態に切り換わるときにグリッチなしの円滑な遷移を有することも分かった。グリッチは、立上げ時間（すなわち、遅延）を導入し、雑音を発生させると共に、試験回路14によって消費される電力を大幅に増やす電力サージを生じさせる可能性もあるので望ましくない。各試験状態に異なるリング発振器を使用する場合、グリッチが発生し、試験結果における過渡電流を回避するようになされたある種の回路を試験回路14に設ける必要が生じることがある。同期問題も試験ユニット12に影響を与え、同期問題に対処するように試験ユニット12の受信機の帯域幅を実質的に大きくする必要が生じる可能性が高い。しかし、シミュレーションによって、試験回路14ではグリッチが問題にならないことが分かった。

【0093】

例示のために、標準VLSI CADツールにより、5層0.25ミクロン、2.5V、単一nウェルCMOSプロセスを用いて、試験回路14の一実現態様を作成した。アンテナなしの最終的なレイアウトは約150x50マイクロメートルであり、約250個のトランジスタで構成した。この結果チップ面積は7,500 μm^2 になり、これはPentiumクラスのICの面積の約10,000分の1である。試験回路14は約1mWの電力を散逸し、これはPentiumクラスのICの電力散逸の20,000分の1である。

【0094】

本明細書で説明した無線IC試験システムは、最初の発明の範囲内でさらに変更または修正することができる。たとえば、IC18のパラメータ試験で使用する構成要素または構成要素群の数を増やしても、または減らしてもよい。さらに、試験回路14は他の試験方法を使用してもよい。

【0095】

ここに記載され、説明された好ましい態様は、さまざまな改変が可能であることが理解されるべきであり、本発明、添付の特許請求の範囲で規定される範囲から逸脱されない。

【図面の簡単な説明】

【図1】 無線IC試験システムのブロック図である。

【図2】 試験すべきウェーハ上の試験回路配置の一態様である。

【図3】 試験すべきウェーハ上の試験回路配置の他の態様である。

【図4】 試験すべきウェーハ上の試験回路配置のもう1つ他の態様である。

【図5】 試験すべきウェーハ上の試験回路配置のもう1つ他の態様である。

【図6】 試験ユニットのブロック図である。

【図7】 試験回路の一態様のブロック図である。

【図8】 アンテナの一態様の図である。

【図9A】 モノポーラ・アンテナとしてのアンテナの他の態様の図である。

【図9B】 ダイポール・アンテナとしてのアンテナの他の態様の図である。

【図9C】 パッチ・アンテナとしてのアンテナの他の態様の図である。

【図9D】 スパイラル・アンテナとしてのアンテナの他の態様の図である。

【図10】 電圧整流器の概略図である。

【図11】 電圧整流器および蓄積素子の概略図である。

【図12】 リング発振器の概略図である。

【図13】 図12のリング発振器で用いられるインバータの概略図である。

【図14】 分割器の概略図である。

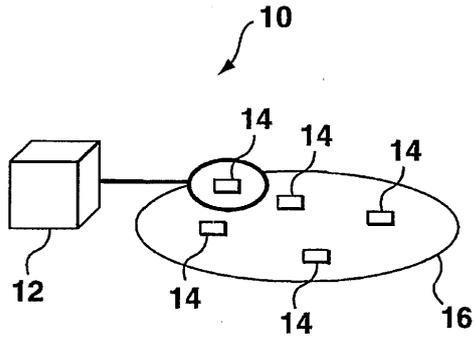
- 【図15】 シーケンサの概略図である。
- 【図16】 図15のシーケンサおよび図14の分割器で用いられるDフリップ・フロップの概略図である。
- 【図17A】 パラメータ試験を示すリング発振器の簡略化された概略図である。
- 【図17B】 図17aの概略図に示す試験から得られたシミュレーション試験結果のスペクトル図である。
- 【図18】 可変リング発振器の概略図である。
- 【図19】 図18の可変リング発振器で用いられる送信ゲートの概略図である。
- 【図20】 試験状態1の間有効とされる図18の可変リング発振器の各素子の概略図である。
- 【図21】 試験状態2の間有効とされる図18の可変リング発振器の各素子の概略図である。
- 【図22】 試験状態3の間有効とされる図18の可変リング発振器の各素子の概略図である。
- 【図23】 試験状態4の間有効とされる図18の可変リング発振器の各素子の概略図である。
- 【図24】 試験状態5の間有効とされる図18の可変リング発振器の各素子の概略図である。
- 【図25】 試験状態6の間有効とされる図18の可変リング発振器の各素子の概略図である。
- 【図26】 アンテナのカブラの概略図である。
- 【図27】 アンテナのカブラの他の態様の概略図である。
- 【図28】 IC内の回路を試験する修正された試験回路の一部の概略図である。
- 【図29】 IC内の回路を試験する修正された試験回路の他の態様の一部の概略図である。
- 【図30A】 キャパシタンスおよび抵抗を測定する際の周波数分解能を示す、試験回路の試験から得られたシミュレーション結果のスペクトル図である。
- 【図30B】 ゲート遅延を測定する際の周波数分解能を示す、試験回路の試験から得られたシミュレーション結果のスペクトル図である。
- 【図31】 様々なIC技術に関するリング発振器周波数と供給電圧との関係を示す、シミュレーション結果のグラフである。

10

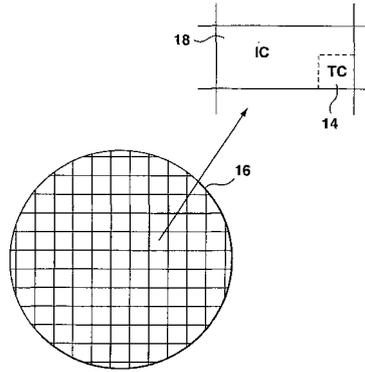
20

30

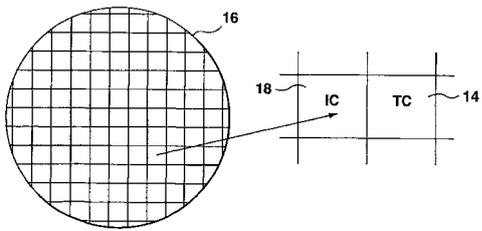
【図1】



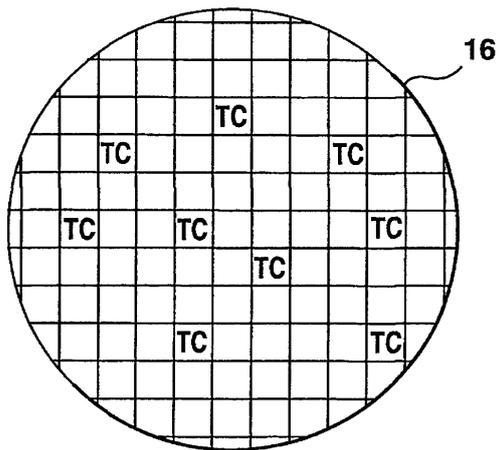
【図3】



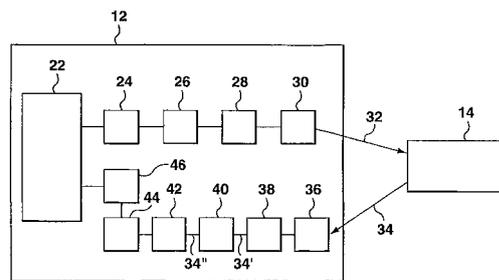
【図2】



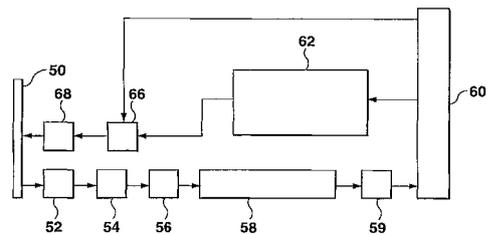
【図4】



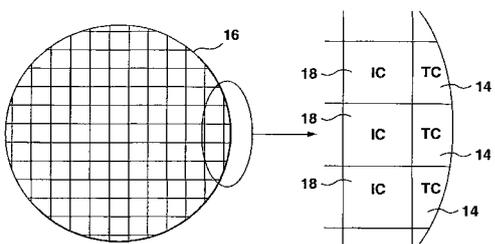
【図6】



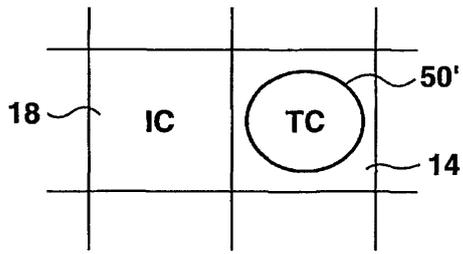
【図7】



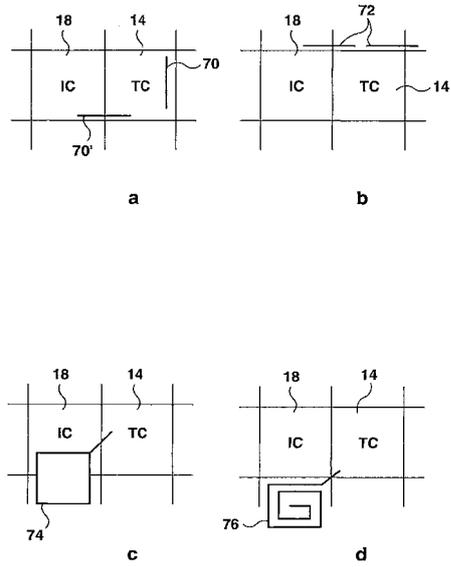
【図5】



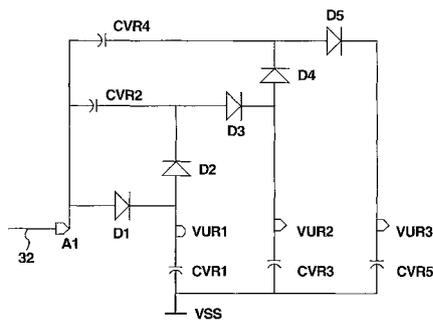
【 図 8 】



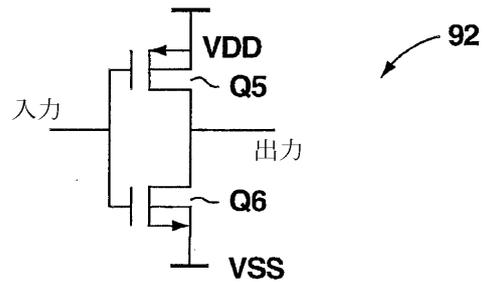
【 図 9 】



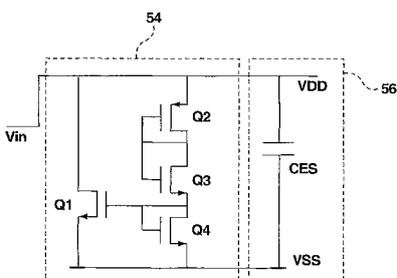
【 図 10 】



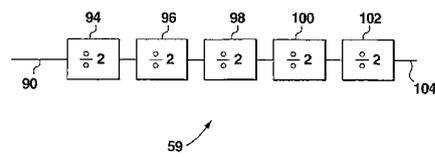
【 図 13 】



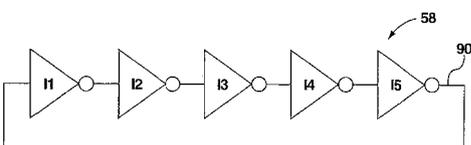
【 図 11 】



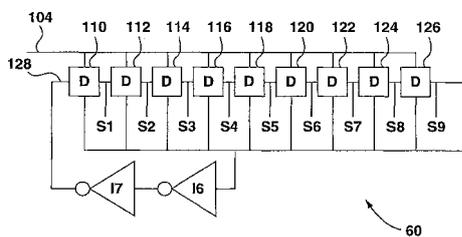
【 図 14 】



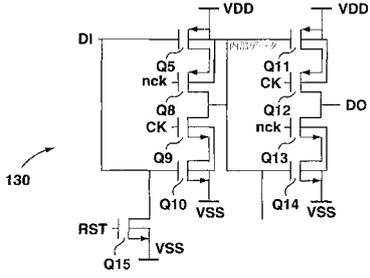
【 図 12 】



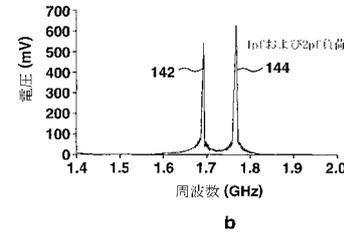
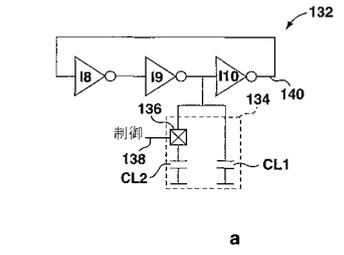
【 図 15 】



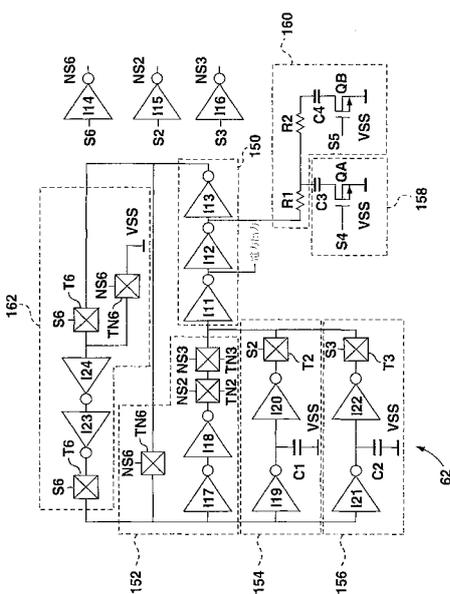
【図16】



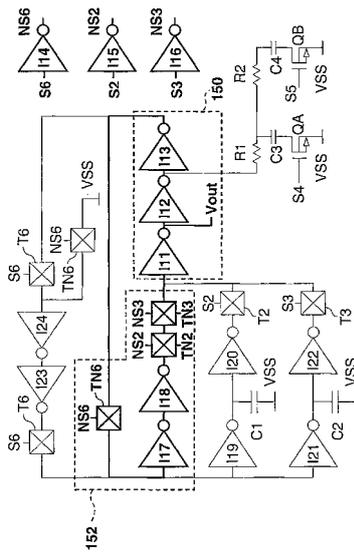
【図17】



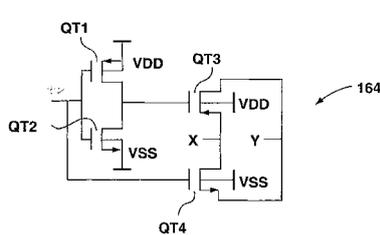
【図18】



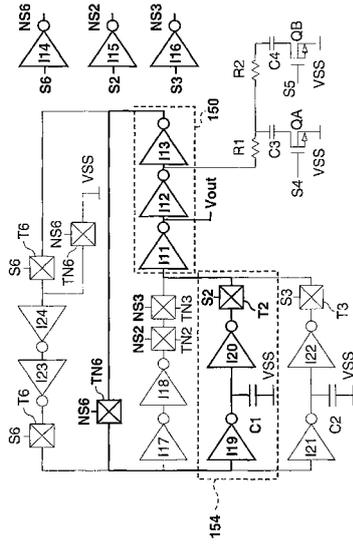
【図20】



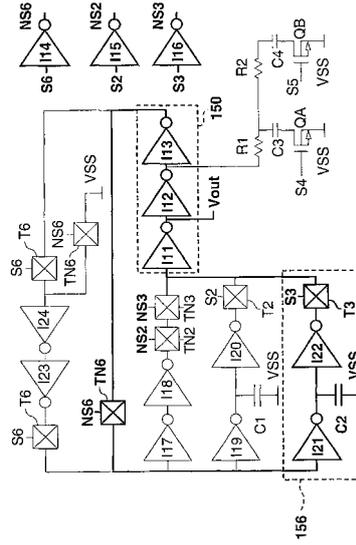
【図19】



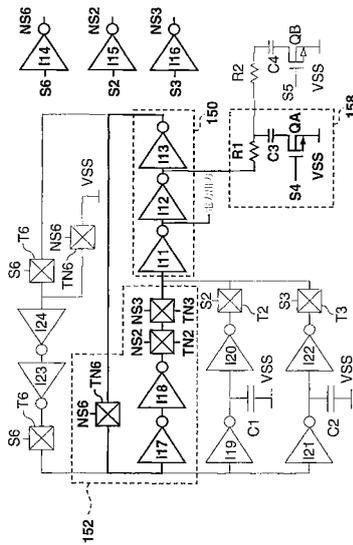
【 2 1 】



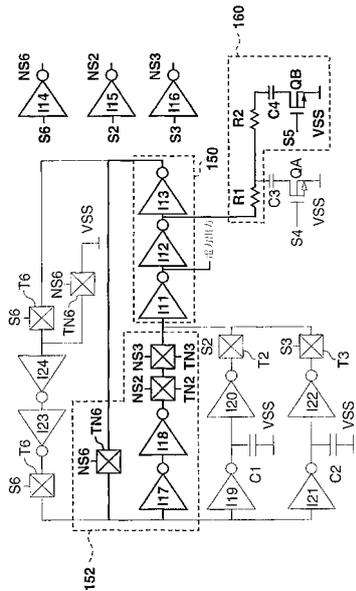
【 2 2 】



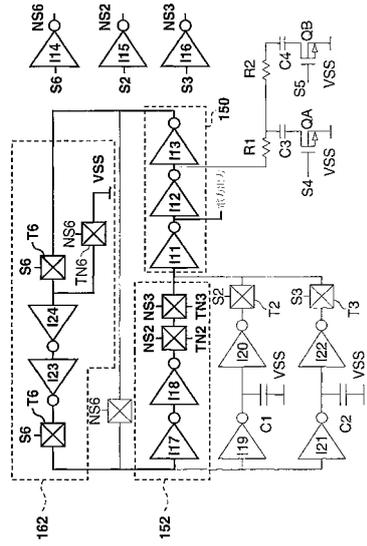
【 2 3 】



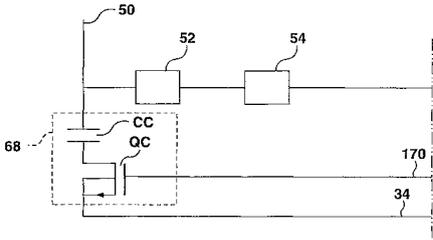
【 2 4 】



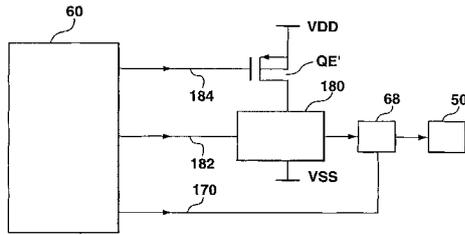
【 25 】



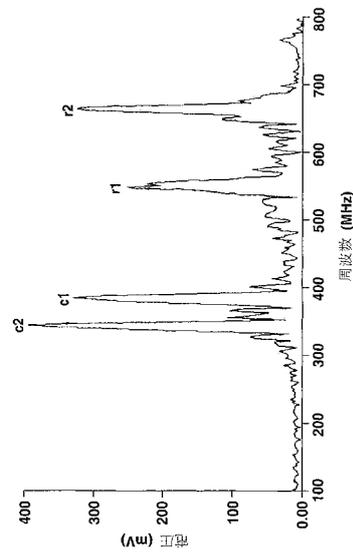
【 26 】



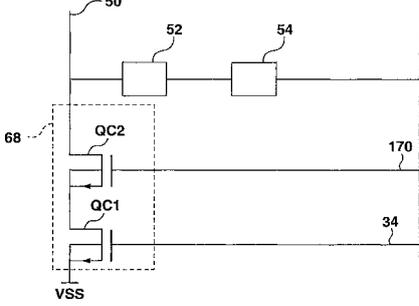
【 29 】



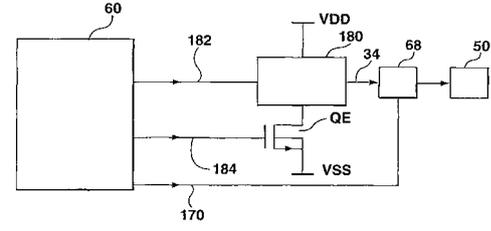
【 30 A 】



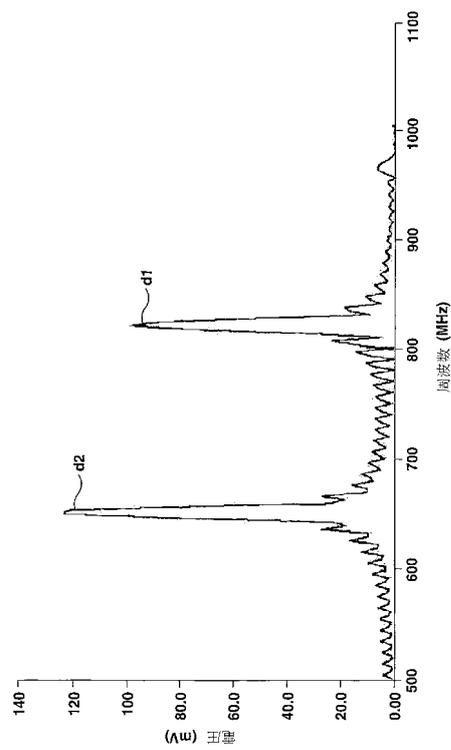
【 27 】



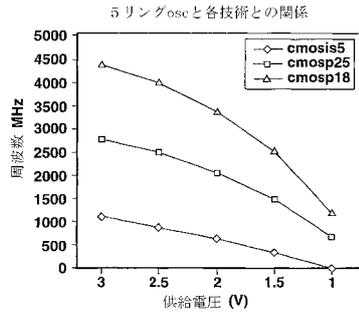
【 28 】



【 30 B 】



【図 3 1】



フロントページの続き

審査官 滝谷 亮一

(56)参考文献 仏国特許出願公開第02775832(FR, A1)

米国特許第06166607(US, A)

米国特許第06058497(US, A)

特開平05-273234(JP, A)

特開平10-142068(JP, A)

特開平01-318262(JP, A)

米国特許第05095267(US, A)

Karim Arabi et.al, Digital Oscillation-Test Method for Delay and Stuck-at Fault Testing of Digital Circuits, International Test Conference 1998 Proceedings, 米国, IEEE, 1998年10月18日, P.91-100

(58)調査した分野(Int.Cl., DB名)

H01L 21/66

G01R 31/28

H01L 21/822

H01L 27/04