



(12) 发明专利申请

(10) 申请公布号 CN 105097889 A

(43) 申请公布日 2015. 11. 25

(21) 申请号 201410200466. 6

(22) 申请日 2014. 05. 13

(71) 申请人 帅群微电子股份有限公司  
地址 中国台湾新北市汐止区工建路 366 号 6 楼

(72) 发明人 叶俊莹 李元铭

(74) 专利代理机构 北京律诚同业知识产权代理有限公司 11006  
代理人 徐金国

(51) Int. Cl.  
H01L 29/06(2006. 01)  
H01L 21/02(2006. 01)

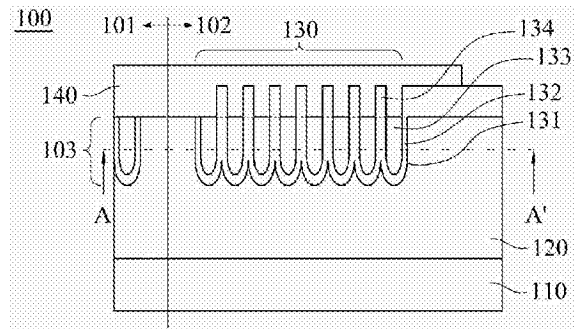
权利要求书2页 说明书6页 附图10页

(54) 发明名称

半导体元件的终端结构及其制造方法

(57) 摘要

本发明提供一种半导体元件的终端结构及其制造方法。半导体元件包含主动区及与主动区相邻的终端区,其中终端区具有终端结构。终端结构包含基板、磊晶层、介电层、导电材料层及导电层。磊晶层设置于基板上,且具有一耐压区。耐压区具有多个沟槽,其中各沟槽是彼此平行排列。介电层设置于沟槽内及部分磊晶层上。导电材料层设置于沟槽内的介电层上。导电层覆盖沟槽,接触导电材料层及部分磊晶层,且电性连接主动区及终端区。



1. 一种半导体元件的终端结构,其特征在于,该半导体元件包含一主动区及一终端区与该主动区相邻,该终端区具有该终端结构,该终端结构包含:

一基板;

一磊晶层,设置于该基板上,该磊晶层具有一耐压区,且该耐压区具有多个第一沟槽,其中所述第一沟槽沿一第一方向延伸且彼此平行排列;

一介电层,设置于每一第一沟槽内及部分该磊晶层上;

一导电材料层,设置于每一第一沟槽内的该介电层上;以及

一导电层,覆盖所述第一沟槽,接触该导电材料层及部分该磊晶层,且电性连接该主动区。

2. 根据权利要求1所述的半导体元件的终端结构,其特征在于,每二相邻的第一沟槽内的该介电层是彼此接触。

3. 根据权利要求1所述的半导体元件的终端结构,其特征在于,每二相邻的第一沟槽内的该介电层是由一沟槽间隔所隔开。

4. 根据权利要求3所述的半导体元件的终端结构,其特征在于,位于所述第一沟槽之间的所述沟槽间隔的宽度相异。

5. 根据权利要求3所述的半导体元件的终端结构,其特征在于,位于所述第一沟槽之间的所述沟槽间隔还包含一掺杂区。

6. 根据权利要求1所述的半导体元件的终端结构,其特征在于,所述第一沟槽的该介电层、该导电材料层具有一平坦化表面。

7. 根据权利要求1所述的半导体元件的终端结构,其特征在于,还包含一第一介电层,其中该第一介电层是位于每二相邻的第一沟槽内彼此接触的该介电层上方,或每二相邻的第一沟槽间由一沟槽间隔所隔开,该第一介电层位于该沟槽间上方。

8. 根据权利要求1所述的半导体元件的终端结构,其特征在于,还包含一个以上的第二沟槽沿第二方向延伸,该第二沟槽内具有和所述第一沟槽相同的该介电层及该导电材料层。

9. 根据权利要求8所述的半导体元件的终端结构,其特征在于,所述第一沟槽的第一方向与该第二沟槽的第二方向是呈正交。

10. 一种半导体元件的终端结构的制造方法,其特征在于,该半导体元件包含一主动区及一终端区与该主动区相邻,该终端区具有一终端结构,该终端结构的制造方法包含:

形成一磊晶层于一基材上,该磊晶层具有一耐压区;

形成多个沟槽于该磊晶层的该耐压区中,其中所述沟槽沿一第一方向延伸且彼此平行排列;

形成一介电层于每一沟槽内;

形成一导电材料层于每一沟槽内的该介电层上;以及

形成一导电层于所述沟槽上,该导电层接触该导电材料层及部分该磊晶层。

11. 根据权利要求10所述的半导体元件的终端结构的制造方法,其特征在于,形成所述沟槽的步骤包含:

蚀刻该磊晶层以形成所述沟槽;以及

移除所述沟槽表面的一氧化层。

12. 根据权利要求 10 所述的半导体元件的终端结构的制造方法,其特征在于,每二相邻的沟槽内的该介电层是彼此接触。

13. 根据权利要求 10 所述的半导体元件的终端结构的制造方法,其特征在于,每二相邻的沟槽内的该介电层是由一沟槽间隔所隔开。

14. 根据权利要求 13 所述的半导体元件的终端结构的制造方法,其特征在于,还包含形成一掺杂区于所述沟槽之间的该沟槽间隔中。

15. 根据权利要求 10 所述的半导体元件的终端结构的制造方法,其特征在于,还包含使该磊晶层、该介电层及该导电材料层形成一平坦化表面。

## 半导体元件的终端结构及其制造方法

### 技术领域

[0001] 本发明是关于一种半导体元件的终端结构,特别是关于一种具有多沟槽的终端结构及其制造方法。

### 背景技术

[0002] 在功率半导体元件中,耐电压能力是非常重要的指标。举例来说,由于一般沟槽式场效晶体管具备高耐电压能力、低导通电阻及高电流等特性,因此沟槽式场效晶体管已广泛应用于电源管理装置中做为功率半导体元件。

[0003] 制作上述沟槽式场效晶体管通常需要繁复且多次的光罩制程,将增加制程时间及污染机会,使得功率半导体元件的良率及产能受到限制。

[0004] 另一方面,一般沟槽式场效晶体管具有较大面积的终端结构,以提升崩溃电压。然而,对于目前体积微小化的电子元件发展趋势而言,此类具有大面积的终端结构显然已不合时宜。

### 发明内容

[0005] 本发明的一方面在于提供一种半导体元件的终端结构。此半导体元件包含主动区及终端区,且终端区与主动区相邻。终端区具有上述终端结构,且终端结构包含基板、磊晶层、介电层、导电材料层及导电层。

[0006] 磊晶层设置于基板上,且具有一耐压区。耐压区具有多个第一沟槽(trench),其中第一沟槽是沿第一方向延伸。介电层是设置于诸第一沟槽内及部分磊晶层上。导电材料层是设置于诸第一沟槽内的介电层上。导电层覆盖诸第一沟槽,接触导电材料层及部分磊晶层,且电性连接上述主动区。

[0007] 本发明的另一方面在于提供一种半导体元件的终端结构的制造方法。此半导体元件包含主动区及终端区,且终端区与主动区相邻且具有终端结构。此制造方法包含形成磊晶层于基材上,磊晶层具有一耐压区;形成多个沟槽于磊晶层的耐压区中,其中沟槽沿第一方向延伸且彼此平行排列;形成介电层于各沟槽内;形成导电材料层于各沟槽内的介电层上;以及形成导电层于各沟槽上,导电层接触导电材料层及部分磊晶层。

[0008] 由于各沟槽的介电层是相互连接,透过沟槽结构增加,能在较小的面积中承受较高的崩溃电压,因此本发明所提供的半导体元件的终端结构可显着提升整体元件的崩溃电压。

### 附图说明

[0009] 图 1A 是根据本发明的实施例所绘示的半导体元件 100 的剖面图;

[0010] 图 1B 是根据本发明的实施例所绘示图 1A 的半导体元件沿 A-A' 剖面线的剖面上视图;

[0011] 图 2 是根据本发明的实施例所绘示半导体元件 200 的剖面图;

- [0012] 图 3A 是根据本发明的实施例所绘示半导体元件 300 的剖面图；
- [0013] 图 3B 是根据本发明的实施例所绘示图 3A 的半导体元件沿 B-B' 剖面线的剖面上视图；
- [0014] 图 4A 是根据本发明的实施例所绘示半导体元件 400a 的剖面图；
- [0015] 图 4B 是根据本发明的实施例所绘示半导体元件 400a 的上视图；
- [0016] 图 4C 是根据本发明的实施例所绘示半导体元件 400b 中沟槽 431b 的上视图；
- [0017] 图 4D 是根据本发明的实施例所绘示的半导体元件 400b 的剖面上视图；
- [0018] 图 5A ~ 图 5J 是根据本发明的实施例所绘示的制造半导体元件的阶段示意图；
- [0019] 图 6A ~ 图 6F 是根据本发明的实施例所绘示的制造半导体元件的阶段示意图；
- [0020] 图 7 是根据本发明的实施例所绘示的制造半导体元件的阶段示意图；以及
- [0021] 图 8 是根据本发明的实施例所绘示的制造半导体元件的阶段示意图。

### 具体实施方式

[0022] 本发明所提出的是一种半导体元件的终端结构及其制造方法，其可应用于如沟槽式金氧半萧特基能障二极管 (TMBS diode)、沟槽式绝缘栅双极性晶体管 (Trench IGBT) 或沟槽式功率金氧半场效晶体管 (Trench Power MOSFET) 之类的沟槽式功率半导体元件。以下列举几个实施例来说明本发明的半导体元件的终端结构及其制造方法。

[0023] 图 1A 是根据本发明的实施例所绘示的半导体元件 100 的剖面图。在图 1A 中，半导体元件 100 包含主动区 101 及终端区 102，且终端区 102 与主动区 101 相邻。终端区 102 具有终端结构，且终端结构包含基板 110、磊晶层 120、介电层 132、导电材料层 133 及导电层 140。

[0024] 磊晶层 120 是设置于基板 110 上，且具有耐压区 130。耐压区 130 位于主动区 101 的沟槽式半导体单元 103 附近，且具有多个第一沟槽 131。根据本发明的一实施例，基板 110 可为硅基板。根据本发明的一实施例，磊晶层 120 可为 N 型磊晶层。根据本发明的实施例，各第一沟槽 131 的宽度可为不相同设计。根据本发明的实施例，各第一沟槽 131 的宽度可为渐宽或渐窄设计。

[0025] 介电层 132 是设置于诸第一沟槽 131 内及部分磊晶层 120 上。根据本发明的一实施例，介电层 132 是由氧化物所构成。根据本发明的实施例，每二相邻的第一沟槽 131 内的介电层 132 是彼此接触。

[0026] 导电材料层 133 是设置于诸第一沟槽 131 内的介电层 132 上。根据本发明的一实施例，导电材料层 133 是由多晶硅或金属所构成。其中介电层 132 与导电材料层 133 两者宽度大小可根据实际所需耐压程度做比例上调整。

[0027] 导电层 140 覆盖诸第一沟槽 131，接触导电材料层 133 及部分磊晶层 120，且电性连接上述主动区 101 及终端区 102。根据本发明的实施例，导电层 140 为萧特基能障金属层。

[0028] 根据本发明的实施例，终端结构还包含第二介电层夹置于导电层与部分导电材料层之间，令使导电层电性连接于部分第一沟槽内的导电材料层。由于内层介电层夹置于导电层与部分导电材料层之间，可令使导电材料层具有不同电位，提供不同的耐电压效果。

[0029] 图 1B 是根据本发明的实施例所绘示图 1A 的半导体元件沿 A-A' 剖面线的剖面上

视图。在图 1B 中,终端结构中磊晶层 120 的耐压区 130 具有第一沟槽 131。第一沟槽 131 是沿一方向延伸且彼此平行排列,且介电层 132 及导电材料层 133 是设置于第一沟槽 131 内。

[0030] 图 2 是根据本发明的实施例所绘示的半导体元件 200 的剖面图。在图 2 中,半导体元件 200 包含主动区 201 及终端区 202,且终端区 202 与主动区 201 相邻。终端区 202 具有终端结构,且终端结构包含基板 210、磊晶层 220、介电层 232、导电材料层 233 及导电层 240。

[0031] 磊晶层 220 是设置于基板 210 上,且具有耐压区 230。耐压区 230 位于主动区 201 的沟槽式半导体单元 203 附近,且具有多个第一沟槽 231。根据本发明的一实施例,基板 210 可为硅基板。根据本发明的一实施例,磊晶层 220 可为 N 型磊晶层。根据本发明的实施例,各第一沟槽 231 的宽度可为不相同设计。根据本发明的实施例,各第一沟槽 231 的宽度可为渐宽或渐窄设计。根据本发明的实施例,各第一沟槽 231 之间的各沟槽间隔 250 的宽度不相同。根据本发明的实施例,各第一沟槽 231 之间的各沟槽间隔 250 呈渐疏或渐密排列。

[0032] 介电层 232 是设置于诸第一沟槽 231 内及部分磊晶层 220 上。根据本发明的一实施例,介电层 232 是由氧化物所构成。根据本发明的实施例,每二相邻的第一沟槽 231 内的介电层 232 是由一沟槽间隔 250 所隔开。根据本发明的实施例,各第一沟槽 231 之间的各沟槽间隔 250 还包含掺杂区 251。根据本发明的实施例,掺杂区 251 可为 P 型掺杂。加入 P 型掺杂可防止漏电流从外围提早发生,藉此提升崩溃电压。

[0033] 导电材料层 233 是设置于诸第一沟槽 231 内的介电层 232 上。根据本发明的一实施例,导电材料层 233 是由多晶硅或金属所构成。根据本发明的实施例,各第一沟槽 231 内的介电层 232 及导电材料层 233 与磊晶层 220 具有一平坦化表面。当然终端结构也可以以非平坦方式进行,例如图 1A 中终端结构还包含第一介电层 134 设置于上述介电层 132 及导电材料层 133 与磊晶层 120 所构成平坦化表面上,其中第一介电层 134 与介电层 132 可为同一步骤所形成。此第一介电层 134 是位于每二相邻的第一沟槽 131 间彼此接触的介电层 132 上。

[0034] 导电层 240 覆盖诸第一沟槽 231,接触导电材料层 233 及部分磊晶层 220,且电性连接上述主动区 201 及终端区 202。根据本发明的实施例,导电层 240 为萧特基能障金属层。

[0035] 图 3A 是根据本发明的实施例所绘示的半导体元件 300 的剖面图。在图 3A 中,半导体元件 300 包含主动区 301 及终端区 302,且终端区 302 与主动区 301 相邻。终端区 302 具有终端结构,且终端结构包含基板 310、磊晶层 320、介电层 332、导电材料层 333 及导电层 340。

[0036] 磊晶层 320 是设置于基板 310 上,且具有耐压区 330。耐压区 330 与主动区 301 的沟槽式半导体单元 303 相邻,且具有多个第一沟槽 331。根据本发明的一实施例,基板 310 可为硅基板。根据本发明的一实施例,磊晶层 320 可为 N 型磊晶层。根据本发明的实施例,各第一沟槽 331 的宽度不相同。根据本发明的实施例,各第一沟槽 331 的宽度可为渐宽或渐窄。根据本发明的实施例,各第一沟槽 331 之间的各沟槽间隔 350 的宽度不相同。根据本发明的实施例,各第一沟槽 331 之间的各沟槽间隔 350 呈渐疏或渐密排列。

[0037] 介电层 332 是设置于诸第一沟槽 331 内及部分磊晶层 320 上。根据本发明的一实

施例,介电层 332 是由氧化物所构成。根据本发明的实施例,每二相邻的第一沟槽 331 内的介电层 332 是由一沟槽间隔 350 所隔开。

[0038] 导电材料层 333 是设置于诸第一沟槽 331 内的介电层 332 上。根据本发明的一实施例,导电材料层 333 是由多晶硅或金属所构成。根据本发明的实施例,各第一沟槽 331 内的介电层 332 与部分磊晶层 320 上包含一第一介电层 334。此第一介电层 334 是位于每二相邻的第一沟槽 331 间的沟槽间隔 350 上方,如图 3A 所示第一介电层 334 还根据制程变化扩大到位于沟槽间隔 350 相邻的介电层 332 上方。

[0039] 导电层 340 覆盖诸第一沟槽 331,接触导电材料层 333 及部分磊晶层 320,且电性连接上述主动区 301 及终端区 302。根据本发明的实施例,导电层 340 为萧特基能障金属层。

[0040] 图 3B 是根据本发明的实施例所绘示的图 3A 的半导体元件沿 B-B' 剖面线的剖面上视图。在图 3B 中,介电层 332 及导电材料层 333 是设置于第一沟槽 331 内,且每二相邻的第一沟槽 331 之间具有沟槽间隔 350。

[0041] 图 4A 是根据本发明的实施例所绘示的半导体元件 400a 的剖面图。在图 4A 中,半导体元件 400a 包含主动区 401 及终端区 402,且终端区 402 与主动区 401 相邻。终端区 402 具有终端结构,且终端结构包含基板 410、磊晶层 420、介电层 432、导电材料层 433 及导电层 440。

[0042] 磊晶层 420 是设置于基板 410 上,且具有耐压区 430。耐压区 430 位于主动区 401 的沟槽式半导体单元 403 附近,且包含一个以上的第二沟槽 431a 沿一方向延伸。根据本发明的一实施例,基板 410 可为硅基板。根据本发明的一实施例,磊晶层 420 可为 N 型磊晶层。根据本发明的实施例,第二沟槽 431a 具有和图 3A 中的各第一沟槽 331 相同的介电层 332 及导电材料层 333。

[0043] 介电层 432 是设置于第二沟槽 431a 内及部分磊晶层 420 上。根据本发明的一实施例,介电层 432 是由氧化物所构成。

[0044] 导电材料层 433 是设置于第二沟槽 431a 内的介电层 432 上。根据本发明的一实施例,导电材料层 433 是由多晶硅或金属所构成。

[0045] 导电层 440 覆盖第二沟槽 431a,接触导电材料层 433 及部分磊晶层 420,且电性连接上述主动区 401 及终端区 402。根据本发明的实施例,导电层 440 为萧特基能障金属层。

[0046] 图 4B 是根据本发明的实施例所绘示半导体元件的剖面上视图。其中,图 4A 为沿着图 4B 的 C-C' 剖面线的剖面图。在图 4B 中,具有介电层 332 及导电材料层 333 位于第一沟槽 331 内(图未标示第一沟槽 331),介电层 432 及导电材料层 433 位于第二沟槽 431a(图未标示第一沟槽 431a),终端结构中磊晶层 420 的耐压区 430 具有第一沟槽 331 及第二沟槽 431a。第一沟槽 331 是沿第一方向延伸且彼此平行排列。每二相邻的第一沟槽 331 之间具有沟槽间隔 350。第二沟槽 431a 是沿第二方向延伸。根据本发明的实施例,上述各第一沟槽 331 的第一方向与第二沟槽 431a 的第二方向呈正交。

[0047] 图 4C 是根据本发明的实施例所绘示的半导体元件的沟槽 431b 的剖面上视图。在图 4C 中,终端结构中磊晶层 420 的耐压区 430 具有第一沟槽 331 及第二沟槽 431b。第一沟槽 331 是沿第一方向延伸且彼此平行排列。第二沟槽 431b 是沿第二方向延伸且彼此平行。根据本发明的实施例,上述各第一沟槽 331 的第一方向与第二沟槽 431b 的第二方向呈

正交,且第二沟槽 431b 可视所需要状况在部分平行的第一沟槽 331 呈正交,不需如图 4B 只有一条第二沟槽 431a 贯穿所有第一沟槽 331。

[0048] 图 4D 是根据本发明的实施例所绘示半导体元件的 400b 的剖面上视图。为图 4C 的第一沟槽 331 与第二沟槽 431a 上面的架构,在图 4D 中,介电层 332 及导电材料层 333 是设置于第一沟槽 331 内,且每二相邻的第一沟槽 331 之间具有沟槽间隔 350。介电层 432 及导电材料层 433 是设置于第二沟槽 431b 内。根据本发明的实施例,介电层 332 及介电层 432 的材料相同,且导电材料层 333 及导电材料层 433 的材料相同。由于在此实施例中将导电材料层 333 与导电材料层 433 做部分正交连接,因此可以根据不同耐压的需求,设计出各种不同的耐压架构。

[0049] 图 5A ~ 图 5J 是根据本发明的实施例所绘示的制造半导体元件的阶段示意图。在图 5A 中,提供基板 510。根据本发明的实施例,基板 510 为硅基板。在图 5B 中,形成磊晶层 520 于基板 510 上,其中磊晶层 520 可分为主动区 501 及终端区 502,且形成磊晶层 520 是形成 N 型磊晶层。

[0050] 在图 5C 中,磊晶层 520 具有耐压区 530 与主动区 501 相邻。形成多个沟槽 531 于耐压区 530,且各沟槽 531 是沿第一方向延伸。每二相邻的沟槽 531 之间具有沟槽间隔,且沟槽间隔的宽度为  $d_1$ 。根据本发明的实施例,形成各沟槽 531 的步骤包含蚀刻磊晶层 520 以形成各沟槽 531,及移除各沟槽 531 表面的一氧化层,如地 5D 图所示。各沟槽 531 表面的一氧化层被移除之后,每二相邻的沟槽 531 之间的沟槽间隔宽度为  $d_2$ ,其中  $d_2$  小于  $d_1$ 。

[0051] 在图 5E 中,形成介电层 532 于各沟槽 531 内。根据本发明的实施例,每二相邻的沟槽 531 内的介电层 532 是彼此接触。

[0052] 在图 5F 中,形成导电材料层 533 于各沟槽 531 内的介电层 532 上。如图 5G 所示,形成导电材料层 533 的步骤包含将导电材料填入并覆盖各沟槽 531;以及移除部分导电材料,以形成导电材料层 533 于各沟槽 531 中。根据本发明的实施例,上述制造方法还包含如图 5H 所示形成第二介电层 534 于磊晶层 520、介电层 532 及导电材料层 533 上;以及如图 5I 所示移除部分第二介电层 534,以暴露导电材料层 533 以及部分磊晶层 520。根据本发明的实施例,移除部分第二介电层 534,以形成第一介电层 535 于每二相邻的沟槽 531 间彼此接触的介电层 532 上。

[0053] 在图 5J 中,形成导电层 540 于各沟槽 531 上,导电层 540 接触导电材料层 533 及部分磊晶层 520。根据本发明的实施例,形成导电层 540 是形成肖特基能障金属层。

[0054] 图 6A ~ 图 6F 是根据本发明的实施例所绘示的制造半导体元件的阶段示意图。图 6A 是接续图 5D 的另一实施例。在图 6A 中,形成介电层 632 于各沟槽 631 内。根据本发明的实施例,每二相邻的沟槽 631 内的介电层 632 是由一沟槽间隔 650 所隔开。

[0055] 在图 6B 中,形成导电材料层 633 于各沟槽 631 内的介电层 632 上。根据本发明的实施例,形成导电材料层 633 的步骤包含将导电材料填入并覆盖各沟槽 631;以及移除部分导电材料,以形成导电材料层 633 于各沟槽 631 中,如图 6C 所示。根据本发明的实施例,上述制造方法还包含形成第二介电层 634 于磊晶层 620、介电层 632 及导电材料层 633 上;以及移除部分第二介电层 634,以暴露导电材料层 633 以及部分磊晶层 620,如第 6D ~ 6E 图所示。根据本发明的实施例,移除部分第二介电层 634,以形成第一介电层 635 于每二相邻的沟槽 631 间的沟槽间隔 650 上。根据本发明的实施例,上述制造方法还包含使磊晶层、介



电层及导电材料层形成平坦化表面。

[0056] 在图 6F 中,形成导电层 640 于各沟槽 631 上,导电层 640 接触导电材料层 633 及部分磊晶层 620。根据本发明的实施例,形成导电层 640 是形成肖特基能障金属层。

[0057] 图 7 是根据本发明的实施例所绘示的制造半导体元件的阶段示意图。在图 7 中,位于基板 710 上的磊晶层 720 具有耐压区 730。先在耐压区 730 以外的区域覆盖介电层 732 及光阻层 740,再进行掺杂制程 741。透过掺杂制程 741,在磊晶层 720 的表面形成掺杂区 751。根据本发明的实施例,掺杂区 751 为 P 型掺杂区。根据本发明的实施例,此掺杂步骤可设计在磊晶层尚未形成沟槽之前。

[0058] 图 8 是根据本发明的实施例所绘示的制造半导体元件的阶段示意图。在图 8 中,位于基板 810 上的磊晶层 820 具有耐压区 830。耐压区 830 已形成多个沟槽 831、介电层 832 及导电材料层 833,其中每二相邻的沟槽 831 之间具有沟槽间隔 850。先在耐压区 830 以外的区域覆盖光阻层 840,再进行掺杂制程 841。透过掺杂制程 841,在每二相邻的沟槽 831 之间具有沟槽间隔 850 形成掺杂区 851。根据本发明的实施例,掺杂区 851 为 P 型掺杂区。根据本发明的实施例,此掺杂步骤是在形成导电层之前。

[0059] 在本发明的实施例中,半导体元件的终端结构包含多个沟槽位于耐压区,且各沟槽内均具有介电层及导电材料层。本发明的实施例所提供的终端结构可以有效缩减功率半导体元件中终端区的占有面积,以达到体积微小化的目的。另一方面,由于各沟槽的介电层是相互连接,透过沟槽的起伏结构以增加介电层的表面积,能在较小的面积中承受较高的崩溃电压,因此本发明所提供的半导体元件的终端结构可显著提升整体元件的崩溃电压。在本发明的一实施例中,终端结构的崩溃电压可提升 10 ~ 20% 以上,且其面积减少 50% 以上。在本发明的实施例所提供的终端结构的制造方法中,仅需三至四道光罩制程即可完成先前技术所需繁琐的光罩制程,如此便能有效简化制程时间及提高生产效能。

[0060] 虽然本发明的实施例已揭露如上,然其并非用以限定本发明,任何熟悉此技艺者,在不脱离本发明的精神和范围内,当可做些许的更动与润饰,因此本发明的保护范围当以所附的权利要求书所界定的范围为准。

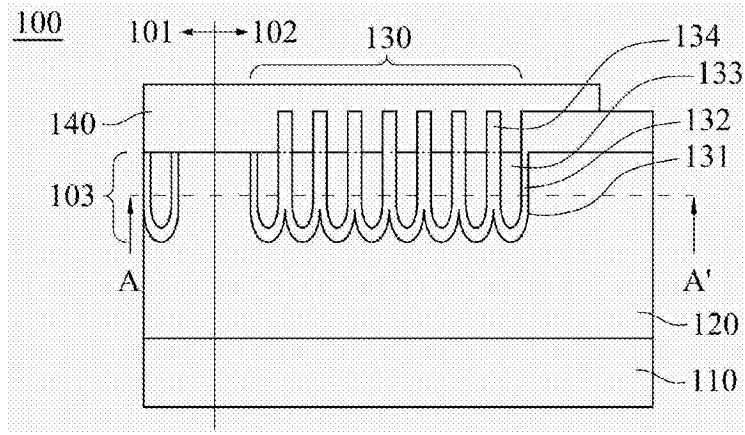


图 1A

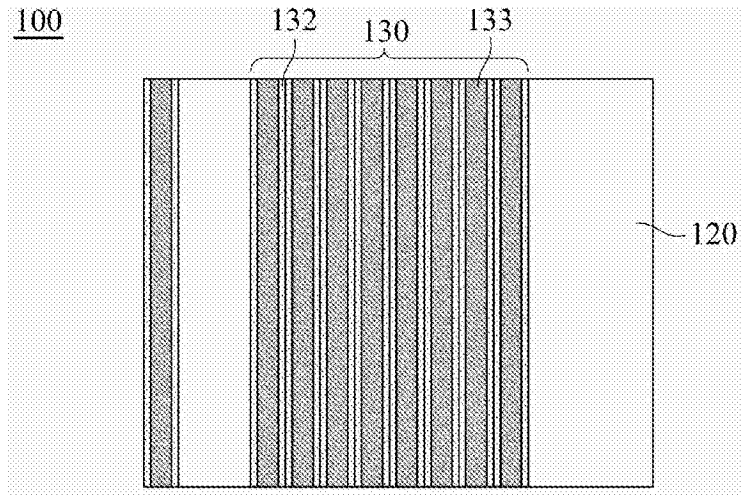


图 1B

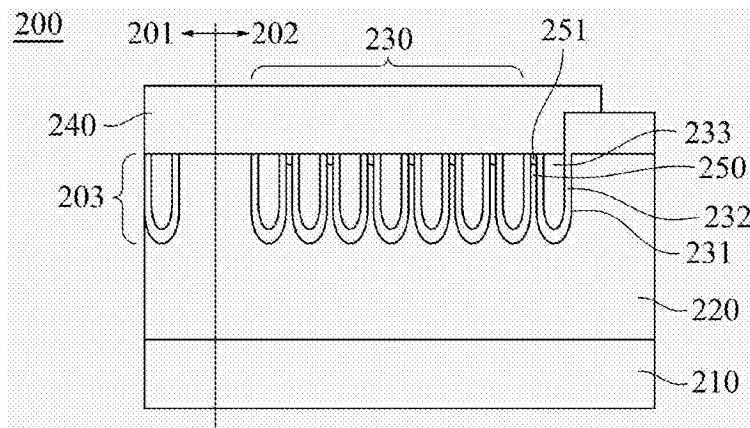


图 2

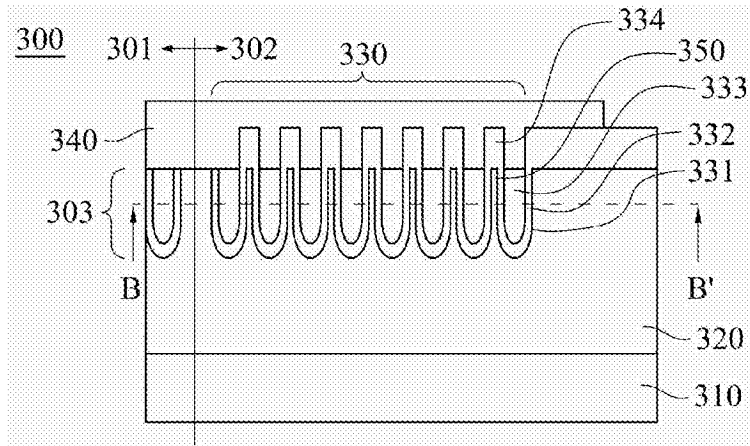


图 3A

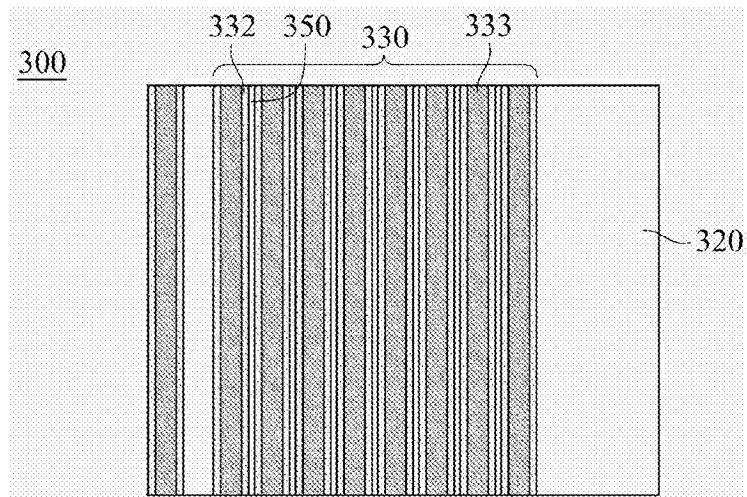


图 3B

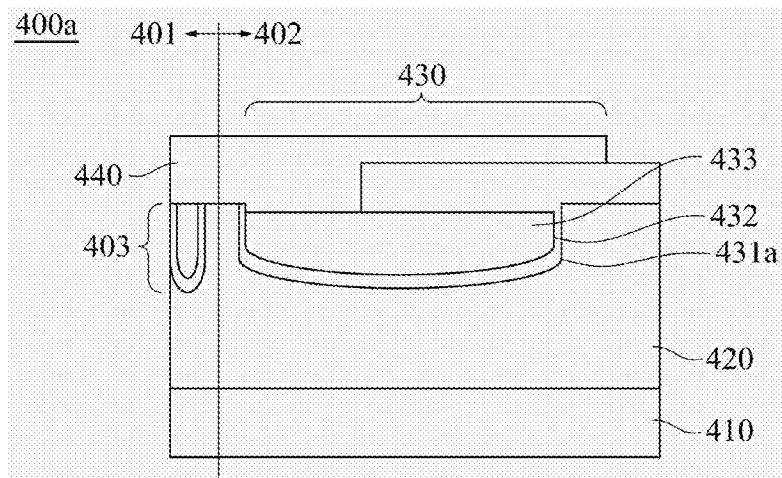


图 4A

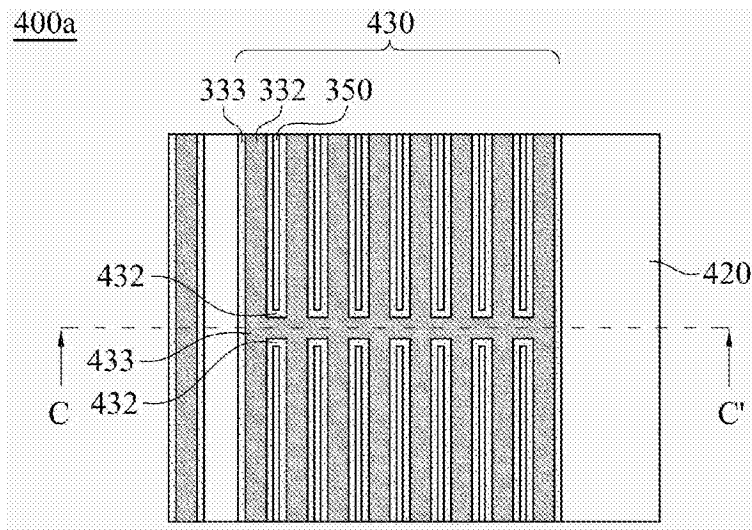


图 4B

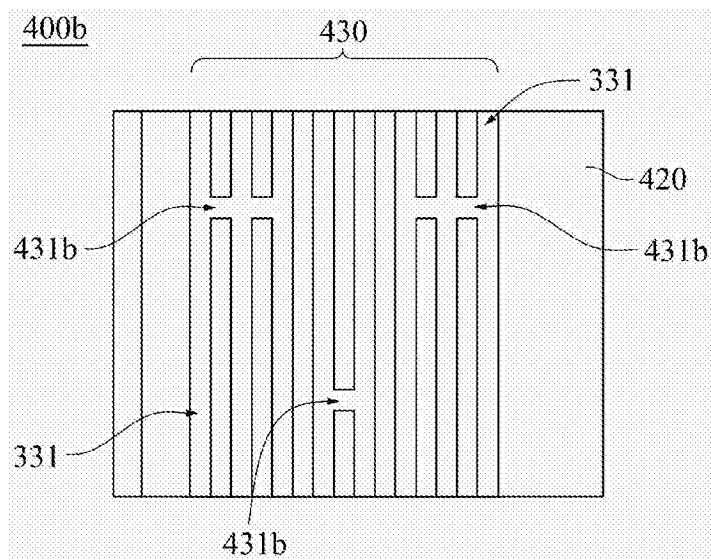


图 4C

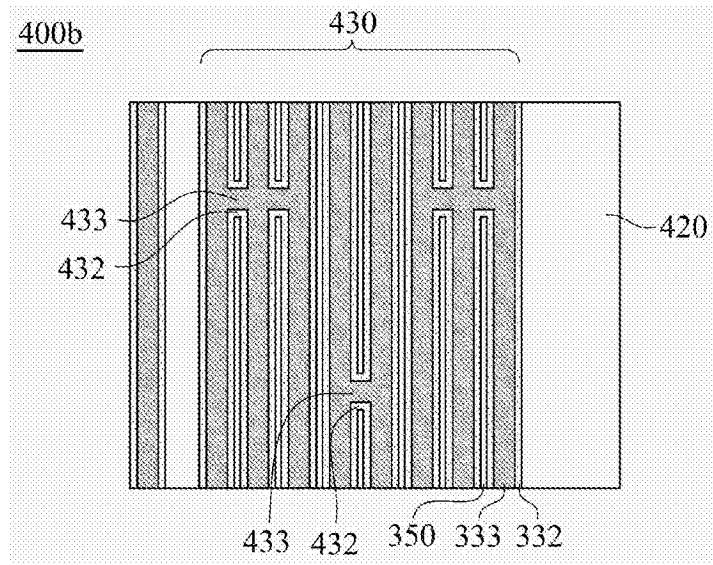


图 4D

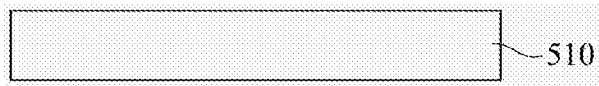


图 5A

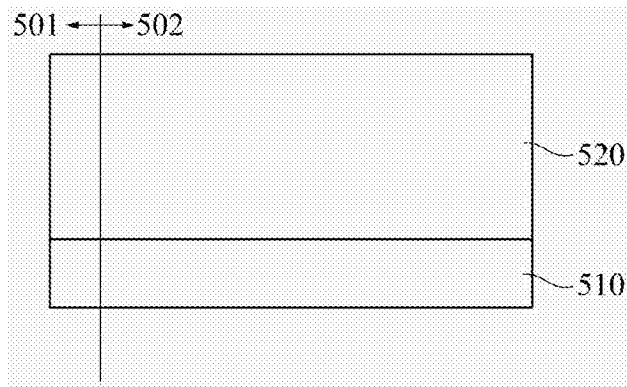


图 5B

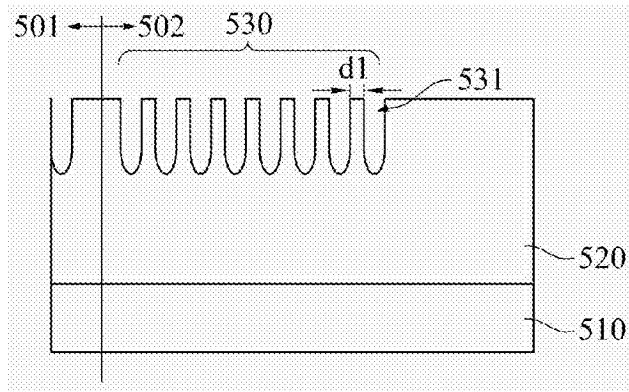


图 5C

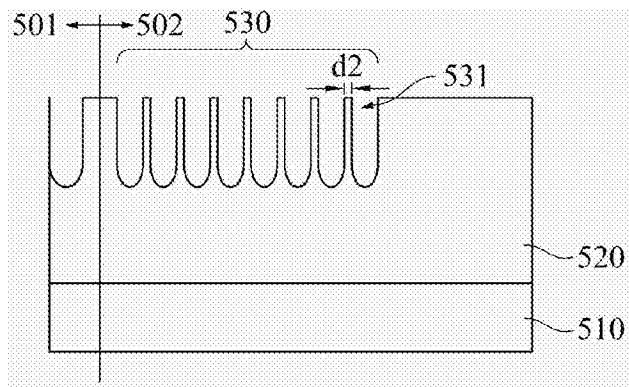


图 5D

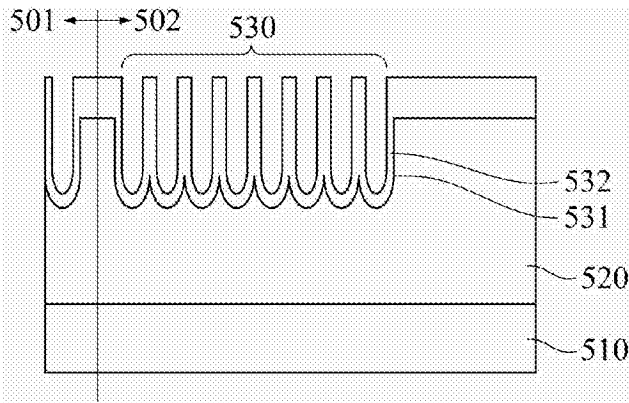


图 5E

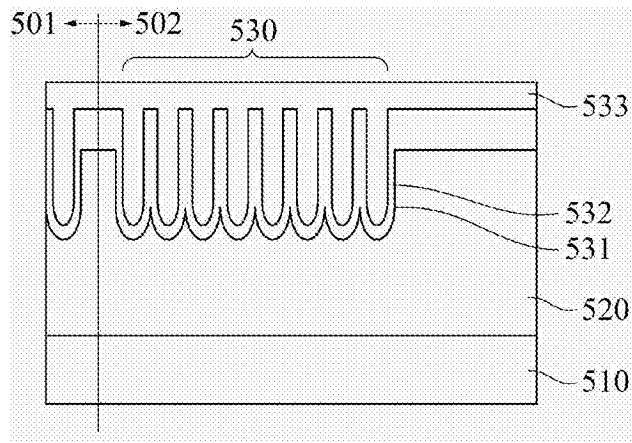


图 5F

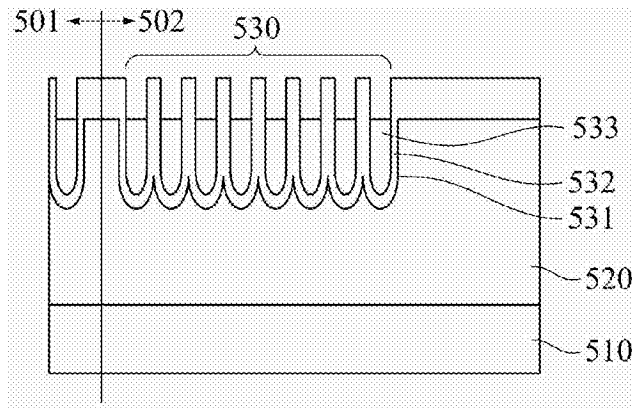


图 5G

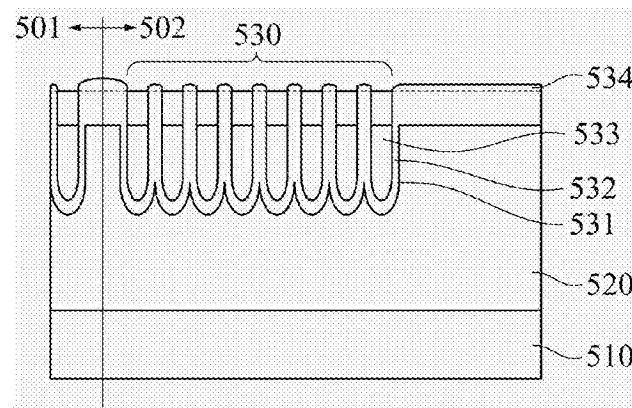


图 5H

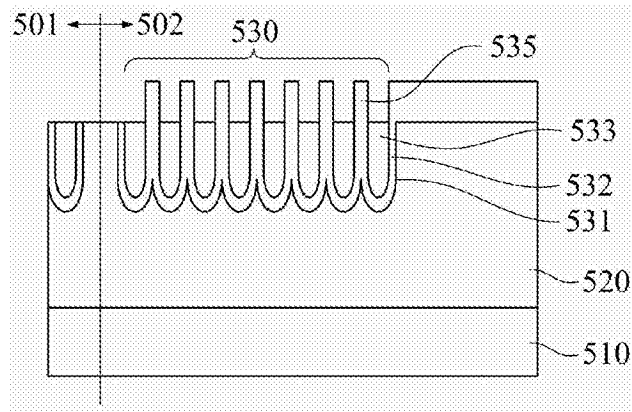


图 5I

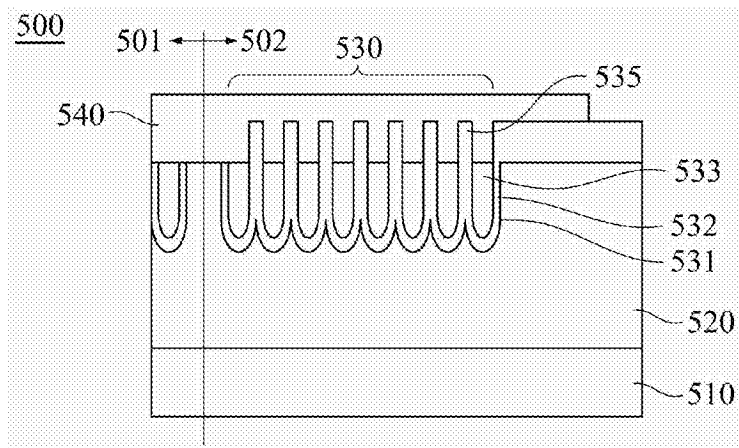


图 5J

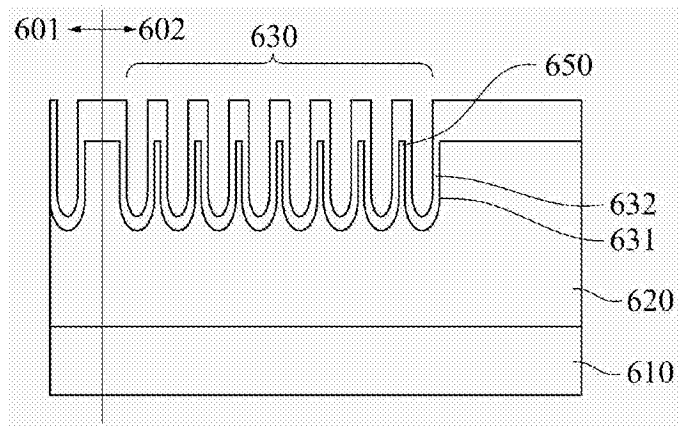


图 6A



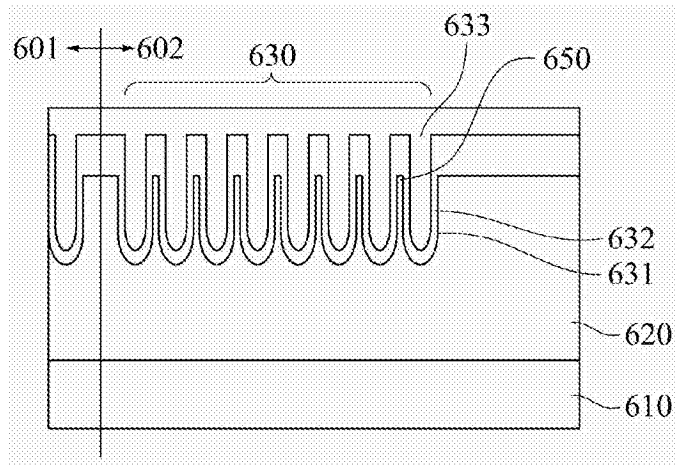


图 6B

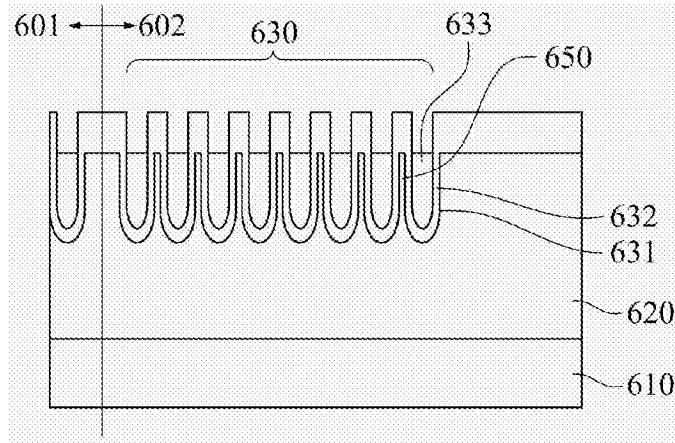


图 6C

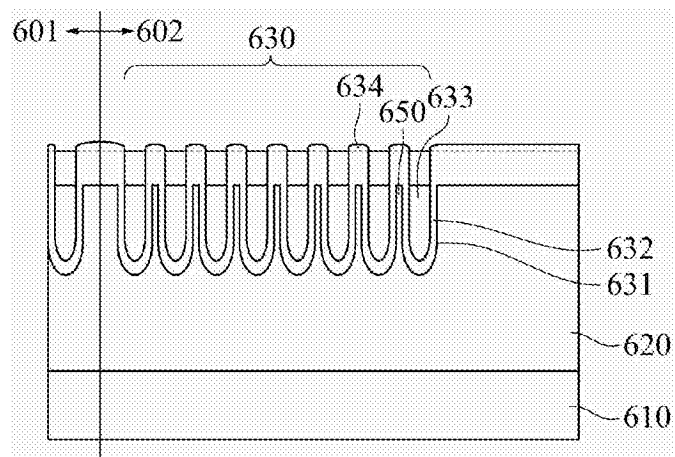


图 6D

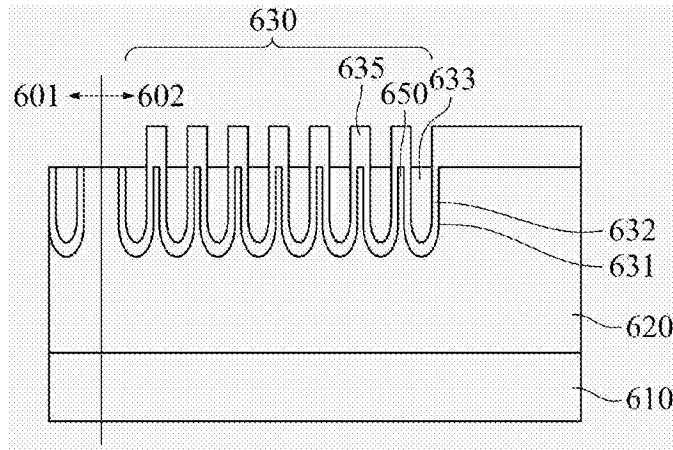


图 6E

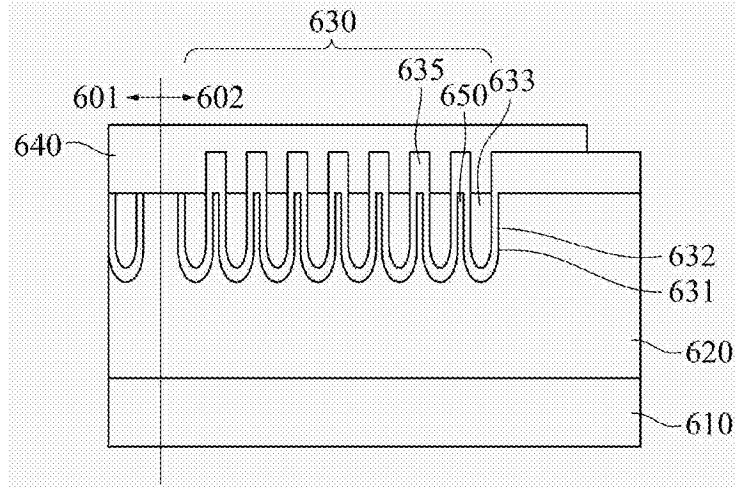


图 6F

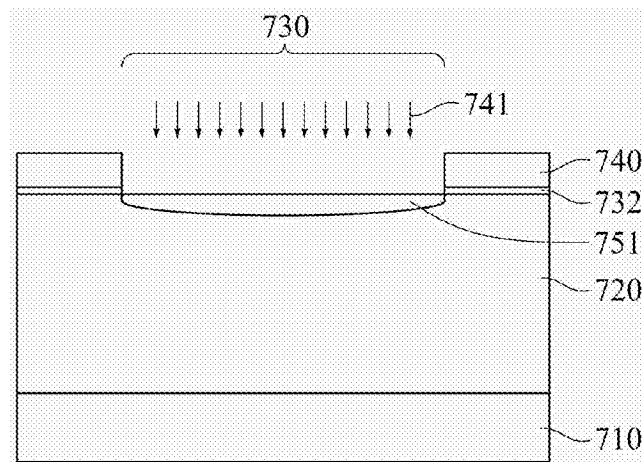


图 7

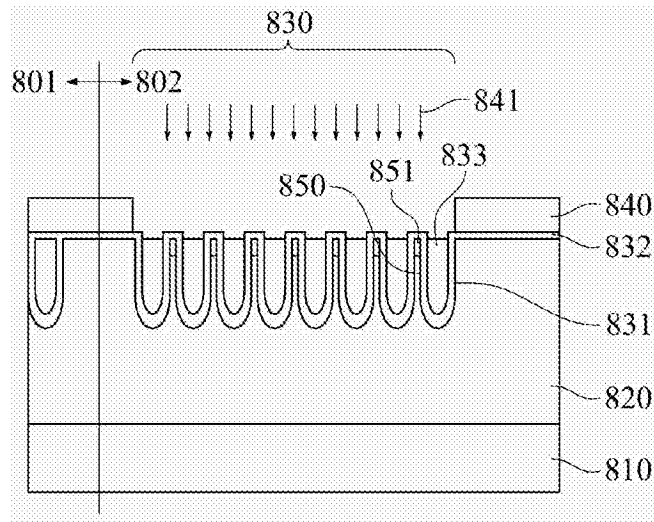


图 8