



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년12월16일
(11) 등록번호 10-2478044
(24) 등록일자 2022년12월12일

(51) 국제특허분류(Int. Cl.)
G11C 7/22 (2015.01)

(52) CPC특허분류
G11C 7/22 (2018.05)
G11C 7/222 (2013.01)

(21) 출원번호 10-2018-0057252

(22) 출원일자 2018년05월18일

심사청구일자 2021년02월03일

(65) 공개번호 10-2019-0132055

(43) 공개일자 2019년11월27일

(56) 선행기술조사문헌

JP2009117025 A*

(뒷면에 계속)

전체 청구항 수 : 총 18 항

심사관 : 박소정

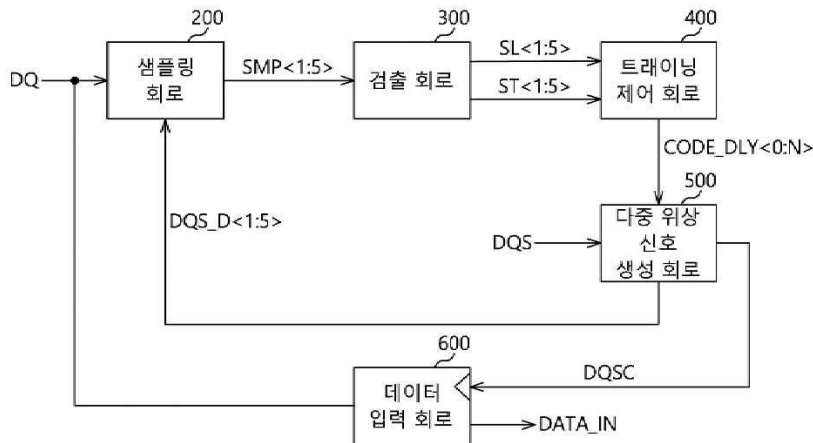
(54) 발명의 명칭 반도체 시스템

(57) 요약

본 기술은 명령에 응답하여 데이터 및 데이터 스트로브 신호를 출력하도록 구성된 반도체 장치; 및 상기 데이터 스트로브 신호에 따라 내부적으로 생성한 다중 위상 신호를 이용하여 상기 데이터를 샘플링하고, 상기 샘플링 결과에 따라 생성한 제어 코드를 이용하여 상기 데이터 스트로브 신호의 지연시간을 보상하는 트레이닝을 수행하도록 구성된 컨트롤러를 포함할 수 있다.

대표도 - 도2

101



(52) CPC특허분류
G11C 2207/2254 (2013.01)

(56) 선행기술조사문헌
KR1020090035508 A*
KR1020160074969 A*
KR1020160075094 A*
US20170075837 A1
W02016195898 A1
*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

명령에 응답하여 데이터 및 데이터 스트로브 신호를 출력하도록 구성된 반도체 장치; 및

상기 데이터 스트로브 신호에 따라 내부적으로 생성한 다중 위상 신호를 이용하여 상기 데이터를 샘플링하고, 상기 샘플링 결과에 따라 생성한 제어 코드를 이용하여 상기 데이터 스트로브 신호의 지연시간을 보상하는 트레이닝을 수행하도록 구성된 컨트롤러를 포함하며,

상기 컨트롤러는 기 저장된 지연 코드들 중에서 상기 다중 위상 신호 중에서 리드(Lead) 신호로 판별된 어느 하나에 해당하는 지연 코드를 상기 제어 코드로서 사용하여 상기 리드 신호와 상기 데이터의 타이밍을 일치시키기 위한 제 1 엣지 매칭을 수행하고,

상기 지연 코드들 중에서 상기 다중 위상 신호 중에서 트레일 신호로 판별된 어느 하나에 해당하는 지연 코드를 상기 제어 코드로서 사용하여 상기 트레일 신호와 상기 데이터의 타이밍을 일치시키기 위한 제 2 엣지 매칭을 수행하며,

상기 제 1 엣지 매칭이 완료된 상기 리드 신호에 해당하는 제어 코드와 상기 제 2 엣지 매칭이 완료된 상기 트레일 신호에 해당하는 제어 코드의 중간 값에 해당하는 시간만큼 상기 데이터 스트로브 신호를 지연시켜 보상된 데이터 스트로브 신호를 생성함으로써 상기 트레이닝을 완료하도록 구성되는 반도체 시스템.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

제 1 항에 있어서,

상기 컨트롤러는

상기 다중 위상 신호에 따라 상기 데이터를 샘플링하여 생성한 샘플링 신호들을 출력하도록 구성된 샘플링 회로,

상기 샘플링 신호들에 따라 리드 플래그들 및 트레일 플래그들을 생성하도록 구성된 검출 회로,

상기 리드 플래그들 및 트레일 플래그들에 따라 상기 제어 코드를 생성하도록 구성된 트레이닝 제어회로, 및

상기 데이터 스트로브 신호를 지연시키기 위한 지연 라인의 내부 지연 신호들 중에서 원하는 위상을 갖는 일부 신호들을 상기 다중 위상 신호로서 출력하도록 구성된 다중 위상 신호 생성회로를 포함하는 반도체 시스템.

청구항 6

제 5 항에 있어서,

상기 샘플링 회로는

상기 다중 위상 신호 각각에 따라 상기 데이터를 샘플링하기 위한 복수의 플립플롭들을 포함하는 반도체 시스템.

청구항 7

제 5 항에 있어서,

상기 리드 플래그들 및 상기 트래일 플래그들은 각각 상기 다중 위상 신호 중에서 자신과 동일한 순번의 신호가 상기 리드 신호인지 아니면 상기 트래일 신호인지를 정의하도록 구성된 반도체 시스템.

청구항 8

제 7 항에 있어서,

상기 리드 신호 및 상기 트래일 신호는

상기 다중 위상 신호 중에서 상기 데이터의 천이 타이밍들과 가장 가까운 천이 타이밍들을 갖는 위상 신호들인 반도체 시스템.

청구항 9

제 8 항에 있어서,

상기 리드 신호는

상기 다중 위상 신호 중에서 라이징 엣지가 상기 데이터의 하이 레벨 구간에 최초로 대응되는 신호의 바로 이전 위상을 갖는 신호인 반도체 시스템.

청구항 10

제 8 항에 있어서,

상기 트래일 신호는

상기 다중 위상 신호 중에서 라이징 엣지가 상기 데이터의 하이 레벨 구간에 마지막으로 대응되는 신호인 반도체 시스템.

청구항 11

제 5 항에 있어서,

상기 검출 회로는

상기 샘플링 신호들을 입력 받아 쉬프트된 샘플링 신호들을 생성하는 복수의 플립플롭,

상기 쉬프트된 샘플링 신호들을 반전시켜 출력하는 복수의 제 1 로직 게이트,

상기 쉬프트된 샘플링 신호들과 상기 복수의 제 1 로직 게이트의 출력들을 제 1 논리 연산하는 복수의 제 2 로직 게이트,

상기 복수의 제 2 로직 게이트의 출력들을 쉬프트시켜 상기 리드 플래그들을 생성하는 제 1 쉬프트 레지스터,

상기 샘플링 신호들과 상기 쉬프트된 샘플링 신호들을 제 2 논리 연산하는 복수의 제 3 로직 게이트,

상기 복수의 제 3 로직 게이트의 출력들과 상기 샘플링 신호들을 제 3 논리 연산하는 복수의 제 4 로직 게이트, 및

상기 복수의 제 4 로직 게이트의 출력들을 쉬프트시켜 상기 트래일 플래그들을 생성하는 제 2 쉬프트 레지스터를 포함하는 반도체 시스템.

청구항 12

제 5 항에 있어서,

상기 트레이닝 제어회로는

상기 다중 위상 신호 각각의 지연 값에 해당하는 상기 지연 코드들을 저장하며,

상기 지연 코드들 중에서, 상기 다중 위상 신호 중에서 상기 리드 신호와 상기 트래일 신호 각각에 해당하는,

지연 코드들을 상기 제어 코드로서 가변시켜가며 상기 리드 신호와 상기 트래일 신호의 라이징 엣지를 상기 데이터의 라이징 엣지와 폴링 엣지 각각에 일치시키기 위한 상기 제 1 엣지 매칭 및 상기 제 2 엣지 매칭을 수행하도록 구성된 반도체 시스템.

청구항 13

제 12 항에 있어서,

상기 트레이닝 제어회로는

상기 제 1 엣지 매칭이 완료된 상기 리드 신호에 해당하는 제어 코드와 상기 제 2 엣지 매칭이 완료된 상기 트래일 신호에 해당하는 제어 코드의 중간 값에 해당하는 제어 코드의 값을 상기 다중 위상 신호 생성회로의 지연 시간으로서 설정하도록 구성된 반도체 시스템.

청구항 14

제 5 항에 있어서,

상기 트레이닝 제어회로는

상기 지연 코드들을 저장하도록 구성된 레지스터, 및

상기 지연 코드들 중에서, 상기 다중 위상 신호 중에서 리드 신호와 트래일 신호 각각에 해당하는, 지연 코드들을 상기 제어 코드로서 가변시켜가며 상기 리드 신호와 상기 트래일 신호의 라이징 엣지를 상기 데이터의 라이징 엣지와 폴링 엣지 각각에 일치시키기 위한 제 1 엣지 매칭 및 제 2 엣지 매칭을 수행하며,

상기 제 1 엣지 매칭이 완료된 상기 리드 신호에 해당하는 제어 코드와 상기 제 2 엣지 매칭이 완료된 상기 트래일 신호에 해당하는 제어 코드의 중간 값에 해당하는 제어 코드의 값을 상기 다중 위상 신호 생성회로의 지연 시간으로 설정하도록 구성된 제어회로를 포함하는 반도체 시스템.

청구항 15

제 5 항에 있어서,

상기 다중 위상 신호 생성회로는

상기 제어 코드에 따라 가변된 지연 시간만큼 상기 데이터 스트로브 신호를 지연시켜 상기 보상된 데이터 스트로브 신호를 생성하도록 구성되는 반도체 시스템.

청구항 16

제 5 항에 있어서,

상기 다중 위상 신호 생성회로는

복수의 유닛 딜레이들의 출력 신호들 중에서 원하는 위상을 갖는 일부 신호들을 상기 다중 위상 신호로서 출력하고, 지연 제어신호에 따라 상기 데이터 스트로브 신호를 가변된 지연시간만큼 지연시켜 상기 보상된 데이터 스트로브 신호로서 출력하도록 구성된 지연 라인,

상기 보상된 데이터 스트로브 신호를 기 설정된 지연시간만큼 지연시켜 피드백 신호로서 출력하도록 구성된 레플리카,

상기 데이터 스트로브 신호와 상기 피드백 신호의 위상차를 검출하여 위상 검출 신호를 생성하도록 구성된 위상 검출기, 및

상기 위상 검출 신호 또는 상기 제어 코드에 따라 상기 지연 제어신호를 생성하도록 구성된 지연 제어기를 포함하는 반도체 시스템.

청구항 17

제 16 항에 있어서,

상기 지연 제어기는

트레이닝 모드 신호에 따라 상기 위상 검출 신호 또는 상기 제어 코드를 이용하여 상기 지연 제어신호의 값을 조정하도록 구성되는 반도체 시스템.

청구항 18

제 5 항에 있어서,

상기 보상된 데이터 스트로브 신호에 따라 상기 데이터를 입력 받아 내부 데이터를 생성하도록 구성된 데이터 입력회로를 더 포함하는 반도체 시스템.

청구항 19

다중 위상 신호에 따라 데이터를 샘플링하여 생성한 샘플링 신호들을 출력하도록 구성된 샘플링 회로;

상기 샘플링 신호들에 따라 리드 플래그들 및 트레이일 플래그들을 생성하도록 구성된 검출 회로;

상기 리드 플래그들 및 트레이일 플래그들에 따라 제어 코드를 생성하도록 구성된 트레이닝 제어회로; 및

반도체 장치에서 제공된 데이터 스트로브 신호를 지연시키기 위한 지연 라인의 내부 지연 신호들 중에서 원하는 위상을 갖는 일부 신호들을 상기 다중 위상 신호로서 출력하고, 지연 제어신호에 따라 상기 데이터 스트로브 신호를 가변된 지연시간만큼 지연시켜 보상된 데이터 스트로브 신호로서 출력하도록 구성된 다중 위상 신호 생성 회로를 포함하며,

상기 트레이닝 제어회로는

상기 다중 위상 신호 각각에 해당하는 지연 코드들을 저장하도록 구성된 레지스터, 및

상기 지연 코드들 중에서, 상기 다중 위상 신호 중에서 리드 신호와 트레이일 신호 각각에 해당하는, 지연 코드들을 상기 제어 코드로서 가변시켜가며 상기 리드 신호와 상기 트레이일 신호의 라이징 엣지를 상기 데이터의 라이징 엣지와 폴링 엣지 각각에 일치시키기 위한 제 1 엣지 매칭 및 제 2 엣지 매칭을 수행하며,

상기 제 1 엣지 매칭이 완료된 상기 리드 신호에 해당하는 제어 코드와 상기 제 2 엣지 매칭이 완료된 상기 트레이일 신호에 해당하는 제어 코드의 중간 값에 해당하는 제어 코드의 값을 상기 다중 위상 신호 생성회로의 지연 시간으로 설정하도록 구성되는 반도체 시스템.

청구항 20

삭제

청구항 21

제 19 항에 있어서,

상기 다중 위상 신호 생성회로는

복수의 유닛 딜레이들의 출력 신호들 중에서 원하는 위상을 갖는 일부 신호들을 상기 다중 위상 신호로서 출력하고, 상기 지연 제어신호에 따라 상기 데이터 스트로브 신호를 가변된 지연시간만큼 지연시켜 상기 보상된 데이터 스트로브 신호로서 출력하도록 구성된 지연 라인,

상기 보상된 데이터 스트로브 신호를 기 설정된 지연시간만큼 지연시켜 피드백 신호로서 출력하도록 구성된 레플리카,

상기 데이터 스트로브 신호와 상기 피드백 신호의 위상차를 검출하여 위상 검출 신호를 생성하도록 구성된 위상 검출기, 및

상기 위상 검출 신호 또는 제어 코드에 따라 상기 지연 제어신호를 생성하며, 트레이닝 모드 신호에 따라 상기 위상 검출 신호 또는 상기 제어 코드를 이용하여 지연 제어신호의 값을 조정하도록 구성된 지연 제어기를 포함하는 반도체 시스템.

청구항 22

제 19 항에 있어서,

상기 보상된 데이터 스트로브 신호에 따라 상기 데이터를 입력 받아 내부 데이터를 생성하도록 구성된 데이터 입력회로를 더 포함하는 반도체 시스템.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 회로에 관한 것으로서, 특히 트레이닝 기능을 갖는 반도체 시스템에 관한 것이다.

배경 기술

[0002] 반도체 장치의 동작이 고속화됨에 따라 반도체 장치 예를 들어, 반도체 메모리와 이를 제어하는 컨트롤러(예를 들어, CPU 또는 GPU와 같은 프로세서 또는 프로세서에 포함된 메모리 컨트롤러)로 이루어진 반도체 시스템에서 정확하게 데이터를 주고 받기 위해서 트레이닝(Training)이 중요하게 되었다.

[0003] 반도체 장치에 대해서 커맨드 트레이닝, 읽기(Read) 트레이닝, 또는 쓰기(Write) 트레이닝 등이 정해진 순서에 따라 이루어질 수 있다.

[0004] 예를 들어, 읽기 트레이닝은 컨트롤러가 반도체 메모리에서 제공된 스트로브 신호를 기준으로 데이터를 읽는 과정을 반복하여 스트로브 신호를 데이터의 센터(Center)에 얼라인(align) 방식으로 수행될 수 있다.

[0005] 따라서 트레이닝의 속도를 높이면서 정확도 또한 원하는 수준으로 유지할 수 있는 트레이닝 방법이 요구되고 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명의 실시예는 트레이닝 속도 및 정확성을 높일 수 있는 반도체 시스템을 제공한다.

과제의 해결 수단

[0007] 본 발명의 실시예는 명령에 응답하여 데이터 및 데이터 스트로브 신호를 출력하도록 구성된 반도체 장치; 및 상기 데이터 스트로브 신호에 따라 내부적으로 생성한 다중 위상 신호를 이용하여 상기 데이터를 샘플링하고, 상기 샘플링 결과에 따라 생성한 제어 코드를 이용하여 상기 데이터 스트로브 신호의 지연시간을 보상하는 트레이닝을 수행하도록 구성된 컨트롤러를 포함할 수 있다.

[0008] 본 발명의 실시예는 다중 위상 신호에 따라 상기 데이터를 샘플링하여 생성한 샘플링 신호들을 출력하도록 구성된 샘플링 회로; 상기 샘플링 신호들에 따라 리드 플래그들 및 트레일 플래그들을 생성하도록 구성된 검출 회로; 상기 리드 플래그들 및 트레일 플래그들에 따라 제어 코드를 생성하도록 구성된 트레이닝 제어회로; 및 반도체 장치에서 제공된 데이터 스트로브 신호를 지연시키기 위한 지연 라인의 내부 지연 신호들 중에서 원하는 위상을 갖는 일부 신호들을 상기 다중 위상 신호로서 출력하고, 지연 제어신호에 따라 상기 데이터 스트로브 신호를 가변된 지연시간만큼 지연시켜 보상된 데이터 스트로브 신호로서 출력하도록 구성된 다중 위상 신호 생성 회로를 포함할 수 있다.

발명의 효과

[0009] 본 기술은 반도체 장치의 트레이닝 속도 및 정확성을 높일 수 있다.

도면의 간단한 설명

- [0010] 도 1은 본 발명의 실시예에 따른 반도체 시스템의 구성을 나타낸 도면,
- 도 2는 도 1의 컨트롤러의 구성을 나타낸 도면,
- 도 3은 도 2의 검출 회로의 구성을 나타낸 도면
- 도 4는 도 2의 트레이닝 제어회로의 구성을 나타낸 도면,
- 도 5는 도 2의 다중 위상 신호 생성회로의 구성을 나타낸 도면,

도 6은 도 5의 지연라인의 구성을 나타낸 도면이고,

도 7은 본 발명의 실시예에 따른 트레이닝 방법을 설명하기 위한 타이밍도이다.

발명을 실시하기 위한 구체적인 내용

- [0011] 이하에서는 첨부된 도면을 참조하여 본 발명의 실시예를 보다 상세히 설명하기로 한다.
- [0012] 도 1은 본 발명의 실시예에 따른 반도체 시스템의 구성을 나타낸 도면이다.
- [0013] 도 1에 도시된 바와 같이, 본 발명의 실시예에 따른 반도체 시스템(100)은 컨트롤러(101) 및 반도체 장치(102)를 포함할 수 있다.
- [0014] 컨트롤러(101)는 반도체 장치(102)에 읽기, 쓰기 또는 트레이닝 모드 설정 등과 같은 동작을 지시하기 위한 명령(CMD)을 제공할 수 있다.
- [0015] 컨트롤러(101)는 데이터 스트로브 신호(DQS)를 이용하여 내부적으로 생성한 다중 위상 신호를 이용하여 데이터(DQ)를 샘플링하고, 샘플링 결과에 따라 생성한 제어 코드를 이용하여 데이터 스트로브 신호(DQS)의 지연시간을 보상하는 읽기 트레이닝을 수행하도록 구성될 수 있다.
- [0016] 컨트롤러(101)는 읽기 트레이닝 과정의 일부로서 엡지 매칭 동작들을 수행하고, 엡지 매칭 동작들의 결과에 따라 읽기 트레이닝을 완료할 수 있다.
- [0017] 반도체 장치(102)는 명령(CMD) 예를 들어, 읽기 명령에 따라 데이터(DQ) 및 데이터 스트로브 신호(DQS)를 컨트롤러(101)에 제공할 수 있다.
- [0018] 반도체 장치(102)는 복수의 단위 메모리 영역들 예를 들어, 메모리 뱅크들(BK)을 포함할 수 있다.
- [0019] 반도체 장치(102)는 명령(CMD) 예를 들어, 쓰기 명령에 따라 컨트롤러(101)에서 제공된 데이터(DQ)를 메모리 뱅크들(BK)에 저장할 수 있다.
- [0020] 반도체 장치(102)는 명령(CMD) 예를 들어, 읽기 명령에 따라 메모리 뱅크들(BK)에 저장된 데이터(DQ) 및 데이터(DQ)의 수신 타이밍을 지정하기 위한 데이터 스트로브 신호(DQS)를 컨트롤러(101)에 제공할 수 있다.
- [0021] 도 2는 도 1의 컨트롤러의 구성을 나타낸 도면이다.
- [0022] 도 2를 참조하면, 컨트롤러(101)는 샘플링 회로(200), 검출 회로(300), 트레이닝 제어회로(400), 다중 위상 신호 생성회로(500) 및 데이터 입력 회로(600)를 포함할 수 있다.
- [0023] 샘플링 회로(200)는 다중 위상 신호(DQS_D<1:5>)에 따라 데이터(DQ)를 샘플링하여 생성한 샘플링 신호들(SMP<1:5>)을 출력할 수 있다.
- [0024] 샘플링 회로(200)는 다중 위상 신호(DQS_D<1:5>)에 따라 데이터(DQ)를 오버 샘플링(over sampling)할 수 있다.
- [0025] 다중 위상 신호(DQS_D<1:5>)의 구간 즉, DQS_D1의 하이 레벨 시점부터 DQS_D5의 하이 레벨 시점까지의 구간은 데이터(DQ)의 하이 레벨 구간에 비해 길다.
- [0026] 샘플링 회로(200)는 다중 위상 신호(DQS_D<1:5>)에 따라 데이터(DQ)를 오버 샘플링하여 생성한 샘플링 신호들(SMP<1:5>)을 출력할 수 있다.
- [0027] 샘플링 회로(200)는 다중 위상 신호(DQS_D<1:5>) 각각에 따라 데이터(DQ)를 샘플링하기 위한 복수의 플립플롭들을 포함할 수 있다.
- [0028] 검출 회로(300)는 샘플링 신호들(SMP<1:5>)에 따라 리드(Lead) 플래그들(SL<1:5>) 및 트레일(Trail) 플래그들(ST<1:5>)을 생성할 수 있다.
- [0029] 리드 플래그들(SL<1:5>) 및 트레일 플래그들(ST<1:5>)은 각각 다중 위상 신호(DQS_D<1:5>) 중에서 자신과 동일한 순번의 신호가 리드 신호인지 아니면 트레일 신호인지를 정의할 수 있다.
- [0030] 리드 플래그들(SL<1:5>) 및 트레일 플래그들(ST<1:5>)은 다중 위상 신호(DQS_D<1:5>) 중에서 DQS_D1이 리드 신호인지 아니면 트레일 신호인지를 정의할 수 있고, 리드/트레일 플래그 쌍(SL2, ST2)은 다중 위상 신호(DQS_D<1:5>) 중에서 DQS_D2가 리드 신호인지 아니면 트레일 신호인지를 정의할 수 있으며, 동일한 방식으로 리드/트레일 플래그 쌍(SL5, ST5)은 다중 위상 신호(DQS_D<1:5>) 중에서 DQS_D5가 리드 신호인지 아니면 트레일

신호인지를 정의할 수 있다.

- [0031] 리드 신호 및 트래일 신호는 다중 위상 신호(DQS_D<1:5>) 중에서 데이터(DQ)의 천이 타이밍들과 가장 가까운 천이 타이밍들을 갖는 위상 신호들이다.
- [0032] 즉, 리드 신호는 다중 위상 신호(DQS_D<1:5>) 중에서 해당 라이징 엣지가 데이터(DQ)의 하이 레벨 구간에 최초로 대응되는 신호의 바로 이전 위상 신호를 의미한다.
- [0033] 트래일 신호는 다중 위상 신호(DQS_D<1:5>) 중에서 해당 라이징 엣지가 데이터(DQ)의 하이 레벨 구간에 마지막으로 대응되는 신호를 의미한다.
- [0034] 트레이닝 제어회로(400)는 리드 플래그들(SL<1:5>) 및 트래일 플래그들(ST<1:5>)에 따라 제어 코드(CODE_DLY<0:N>)를 생성할 수 있다.
- [0035] 트레이닝 제어회로(400)는 다중 위상 신호(DQS_D<1:5>) 각각의 지연 값에 해당하는 지연 코드들을 저장하고 있다.
- [0036] 트레이닝 제어회로(400)는 리드 플래그들(SL<1:5>)에 따라 다중 위상 신호(DQS_D<1:5>) 중에서 리드 신호를 판별할 수 있다.
- [0037] 트레이닝 제어회로(400)는 트래일 플래그들(ST<1:5>)에 따라 다중 위상 신호(DQS_D<1:5>) 중에서 리드 신호와 트래일 신호를 판별할 수 있다.
- [0038] 트레이닝 제어회로(400)는 제어 코드(CODE_DLY<0:N>)를 이용하여 읽기 트레이닝 과정의 일부로서 엣지 매칭 동작들 즉, 제1 엣지 매칭 및 제 2 엣지 매칭을 수행할 수 있다.
- [0039] 트레이닝 제어회로(400)는 제 1 엣지 매칭이 완료된 리드 신호에 해당하는 제어 코드(CODE_DLY<0:N>)와 제 2 엣지 매칭이 완료된 트래일 신호에 해당하는 제어 코드(CODE_DLY<0:N>)의 중간 값에 해당하는 제어 코드(CODE_DLY<0:N>)의 값을 다중 위상 신호 생성회로(500)의 지연시간으로서 설정함으로써 읽기 트레이닝을 완료할 수 있다.
- [0040] 제 1 엣지 매칭 및 제 2 엣지 매칭은 저장된 지연 코드들 중에서, 다중 위상 신호(DQS_D<1:5>) 중에서 리드 신호와 트래일 신호 각각에 해당하는, 일부 지연 코드들을 제어 코드(CODE_DLY<0:N>)로서 가변시켜가며 리드 신호의 라이징 엣지와 트래일 신호의 라이징 엣지를 데이터(DQ)의 라이징 엣지와 폴링 엣지 각각에 일치시키기 위한 동작들일 수 있다.
- [0041] 제 1 엣지 매칭은 저장된 지연 코드들 중에서, 다중 위상 신호(DQS_D<1:5>) 중에서 리드 신호에 해당하는, 하나의 지연 코드를 제어 코드(CODE_DLY<0:N>)로서 가변시켜가며 리드 신호의 라이징 엣지를 데이터(DQ)의 라이징 엣지에 일치시키는 동작일 수 있다.
- [0042] 제 2 엣지 매칭은 저장된 지연 코드들 중에서, 다중 위상 신호(DQS_D<1:5>) 중에서 트래일 신호에 해당하는, 하나의 지연 코드를 제어 코드(CODE_DLY<0:N>)로서 가변시켜가며 트래일 신호의 라이징 엣지를 데이터(DQ)의 폴링 엣지에 일치시키는 동작일 수 있다.
- [0043] 다중 위상 신호 생성회로(500)는 제어 코드(CODE_DLY<0:N>)에 따라 가변된 지연 시간만큼 데이터 스트로브 신호(DQS)를 지연시켜 보상된 데이터 스트로브 신호(DQSC)를 생성할 수 있다.
- [0044] 다중 위상 신호 생성회로(500)는 데이터 스트로브 신호(DQS)를 지연시키기 위한 지연 라인(추후 도 5를 참조하여 설명)의 내부 지연 신호들 중에서 원하는 위상을 갖는 일부 신호들을 다중 위상 신호(DQS_D<1:5>)로서 출력할 수 있다.
- [0045] 데이터 입력회로(600)는 보상된 데이터 스트로브 신호(DQSC)에 따라 데이터(DQ)를 입력 받아 내부 데이터(DATA_EN)를 생성할 수 있다.
- [0046] 도 3은 도 2의 검출 회로의 구성을 나타낸 도면이다.
- [0047] 도 3에 도시된 바와 같이, 검출 회로(300)는 복수의 플립플롭(310), 복수의 제 1 로직 게이트(320), 복수의 제 2 로직 게이트(330), 제 1 쉬프트 레지스터(340), 복수의 제 3 로직 게이트(350), 복수의 제 4 로직 게이트(360) 및 제 2 쉬프트 레지스터(370)를 포함할 수 있다.
- [0048] 복수의 플립플롭(310)은 샘플링 신호들(SMP<1:5>)을 입력 받아 쉬프트된 샘플링 신호들(SMPS<1:5>)을 생성할 수

있다.

- [0049] 복수의 제 1 로직 게이트(320) 즉, 복수의 인버터는 쉬프트된 샘플링 신호들(SMPS<1:5>)을 반전시켜 출력할 수 있다.
- [0050] 복수의 제 2 로직 게이트(330) 즉, 복수의 AND 게이트는 쉬프트된 샘플링 신호들(SMPS<1:5>)과 복수의 제 1 로직 게이트(320)의 출력들을 제 1 논리 연산 즉, 논리곱할 수 있다.
- [0051] 제 1 쉬프트 레지스터(SREG)(340)는 복수의 제 2 로직 게이트(330)의 출력들을 쉬프트시켜 리드 플래그들(SL<1:5>)을 생성할 수 있다.
- [0052] 복수의 제 3 로직 게이트(350) 즉, 복수의 OR 게이트는 샘플링 신호들(SMP<1:5>)과 쉬프트된 샘플링 신호들(SMPS<1:5>)을 제 2 논리 연산 즉, 논리합할 수 있다.
- [0053] 복수의 제 4 로직 게이트(360) 즉, 복수의 XOR 게이트는 복수의 제 3 로직 게이트(350)의 출력들과 샘플링 신호들(SMP<1:5>)을 제 3 논리 연산 즉, 배타적 논리합할 수 있다.
- [0054] 제 2 쉬프트 레지스터(370)는 복수의 제 4 로직 게이트(360)의 출력들을 쉬프트시켜 트레일 플래그들(ST<1:5>)을 생성할 수 있다.
- [0055] 예를 들어, 샘플링 신호들(SMP<1:5>)이 '01100'의 값을 가질 경우 SMP1에 대응되는 DQS_D1이 리드 신호 그리고 SMP3에 대응되는 DQS_D3이 트레일 신호다.
- [0056] 제 1 쉬프트 레지스터(340)는 리드 플래그들(SL<1:5>)을 '10000'으로 출력하고, 제 2 쉬프트 레지스터(370)는 트레일 플래그들(ST<1:5>)을 '00100'으로 출력한다.
- [0057] 리드 플래그들(SL<1:5>) = '10000', 트레일 플래그들(ST<1:5>) = '00100'의 값을 가지므로 DQS_D1이 리드 신호 그리고 DQS_D3이 트레일 신호임을 정의할 수 있다.
- [0058] 다른 예를 들어, 샘플링 신호들(SMP<1:5>)이 '00110'의 값을 가질 경우 SMP2에 대응되는 DQS_D2가 리드 신호 그리고 SMP4에 대응되는 DQS_D4가 트레일 신호다.
- [0059] 제 1 쉬프트 레지스터(340)는 리드 플래그들(SL<1:5>)을 '01000'으로 출력하고, 제 2 쉬프트 레지스터(370)는 트레일 플래그들(ST<1:5>)을 '00010'으로 출력한다.
- [0060] 리드 플래그들(SL<1:5>) = '01000', 트레일 플래그들(ST<1:5>) = '00010'의 값을 가지므로 DQS_D2가 리드 신호 그리고 DQS_D4가 트레일 신호임을 정의할 수 있다.
- [0061] 도 4는 도 2의 트레이닝 제어회로의 구성을 나타낸 도면이다.
- [0062] 도 4에 도시된 바와 같이, 트레이닝 제어회로(400)는 레지스터(410) 및 제어회로(420)를 포함할 수 있다.
- [0063] 레지스터(410)는 다중 위상 신호(DQS_D<1:5>) 각각의 지연 값에 해당하는 지연 코드들(DQS_DLY<1:5>)을 저장할 수 있다.
- [0064] 제어회로(420)는 리드 플래그들(SL<1:5>) 및 트레일 플래그들(ST<1:5>)에 따라 다중 위상 신호(DQS_D<1:5>) 중에서 리드 신호와 트레일 신호를 판별하고, 지연 코드들(DQS_DLY<1:5>) 중에서 리드 신호와 트레일 신호 각각에 해당하는 지연 코드들을 제어 코드(CODE_DLY<0:N>)로서 가변시켜가며 리드 신호의 라이징 엣지와 트레일 신호의 라이징 엣지를 데이터(DQ)의 라이징 엣지와 폴링 엣지 각각에 일치시키기 위한 제 1 엣지 매칭 및 제 2 엣지 매칭을 수행할 수 있다.
- [0065] 제어회로(420)는 제 1 엣지 매칭이 완료된 리드 신호에 해당하는 제어 코드(CODE_DLY<0:N>)와 제 2 엣지 매칭이 완료된 트레일 신호에 해당하는 제어 코드(CODE_DLY<0:N>)의 중간 값에 해당하는 제어 코드(CODE_DLY<0:N>)의 값을 다중 위상 신호 생성회로(500)에 설정함으로써 읽기 트레이닝을 완료할 수 있다.
- [0066] 도 5는 도 2의 다중 위상 신호 생성회로의 구성을 나타낸 도면이다.
- [0067] 도 5에 도시된 바와 같이, 다중 위상 신호 생성회로(500)는 반도체 장치의 내부 지연시간을 모델링한 레플리카(Replica)(520)를 이용하여 보상된 데이터 스트로브 신호(DQSC)를 생성할 수 있다.
- [0068] 다중 위상 신호 생성회로(500)로서 지연 고정 루프를 적용할 수 있다.
- [0069] 다중 위상 신호 생성회로(500)는 지연 라인(510), 레플리카(520), 위상 검출기(530) 및 지연 제어기(540)를 포

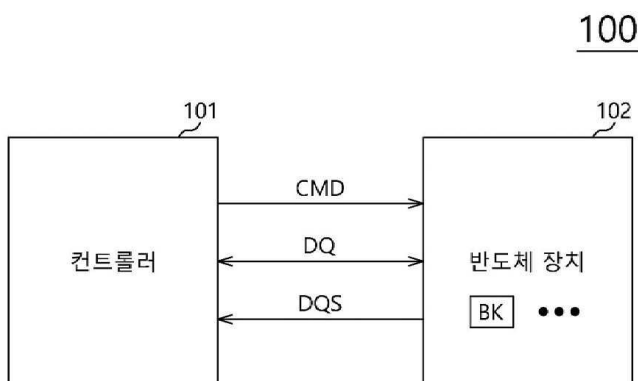
함할 수 있다.

- [0070] 지연 라인(510)의 내부 지연 신호들 중에서 원하는 위상을 갖는 일부 신호들을 다중 위상 신호(DQS_D<1:5>)로서 출력할 수 있다.
- [0071] 지연 라인(510)은 지연 제어신호(CTRLD<0:N>)에 따라 데이터 스트로브 신호(DQS)를 가변된 지연시간만큼 지연시켜 보상된 데이터 스트로브 신호(DQSC)로서 출력할 수 있다.
- [0072] 레플리카(520)는 보상된 데이터 스트로브 신호(DQSC)를 기 설정된 지연시간만큼 지연시켜 피드백 신호(FB)로서 출력할 수 있다.
- [0073] 위상 검출기(530)는 데이터 스트로브 신호(DQS)와 피드백 신호(FB)의 위상차를 검출하여 위상 검출 신호(PDOU T)를 생성할 수 있다.
- [0074] 지연 제어기(540)는 위상 검출 신호(PDOU T) 또는 제어 코드(CODE_DLY<0:N>)에 따라 지연 라인(510)의 지연시간을 조정 즉, 증가 또는 감소시키기 위한 지연 제어신호(CTRLD<0:N>)를 생성할 수 있다.
- [0075] 지연 제어기(540)는 트레이닝 모드 신호(TRM)에 따라 위상 검출 신호(PDOU T) 또는 제어 코드(CODE_DLY<0:N>)를 이용하여 지연 제어신호(CTRLD<0:N>)의 값을 조정할 수 있다.
- [0076] 트레이닝 모드 신호(TRM)는 컨트롤러(101)에서 제공된 명령(CMD)의 한 종류 이거나, 컨트롤러(101)에서 제공된 명령(CMD)에 의해 내부적으로 생성된 신호일 수 있다.
- [0077] 지연 제어기(540)는 트레이닝 모드 신호(TRM)가 활성화되면 제어 코드(CODE_DLY<0:N>)에 따라 지연 제어신호(CTRLD<0:N>)의 값을 가변시킴으로써 지연 라인(510)의 지연시간을 조정하고, 트레이닝 모드 신호(TRM)가 비 활성화되면 위상 검출 신호(PDOU T)에 따라 지연 제어신호(CTRLD<0:N>)의 값을 가변시킴으로써 지연 라인(510)의 지연시간을 조정할 수 있다.
- [0078] 도 6은 도 5의 지연라인의 구성을 나타낸 도면이다.
- [0079] 도 6을 참조하면, 지연라인(510)은 서로 연결된 복수의 유닛 딜레이(Unit Delay: UD)를 포함할 수 있다.
- [0080] 지연라인(510)의 내부 지연신호들 즉, 복수의 유닛 딜레이(UD)의 출력 신호들 중에서 원하는 위상을 갖는 일부 신호들이 다중 위상 신호(DQS_D<1:5>)로서 출력될 수 있다.
- [0081] 다중 위상 신호(DQS_D<1:5>)들 사이의 지연시간은 지연 라인의 단위 딜레이(UD)에 비해 큰 값을 가진다.
- [0082] 도 7은 본 발명의 실시예에 따른 트레이닝 방법을 설명하기 위한 타이밍도이다.
- [0083] 도 1 내지 도 7을 참조하여, 본 발명의 실시예에 따른 트레이닝 방법을 설명하기로 한다.
- [0084] 컨트롤러(101)의 명령(CMD)에 따라 반도체 장치(102)에서 데이터(DQ) 및 데이터 스트로브 신호(DQS)가 출력된다.
- [0085] 컨트롤러(101)의 다중 위상 신호 생성회로(500)의 지연라인(510)에서 다중 위상 신호(DQS_D<1:5>)들이 생성된다.
- [0086] 컨트롤러(101)는 다중 위상 신호(DQS_D<1:5>)를 이용하여 데이터(DQ)를 오버 샘플링한다.
- [0087] 도 7을 기준으로, 오버 샘플링 결과에 따른 샘플링 신호들(SMP<1:5>)이 '01100'의 값을 가진다.
- [0088] 샘플링 신호들(SMP<1:5>)이 '01100'의 값을 가지므로, 리드 플래그들(SL<1:5>)은 '10000'의 값을 가지고 트레일 플래그들(ST<1:5>)은 '00100'의 값을 가지게 된다.
- [0089] 컨트롤러(101)는 리드 플래그들(SL<1:5>) 및 트레일 플래그들(ST<1:5>)에 따라 DQS_D1이 리드 신호, DQS_D3이 트레일 신호임을 판별할 수 있다.
- [0090] 컨트롤러(101)는 도 4의 레지스터(410)에 저장된 지연 코드들(DQS_DLY<1:5>) 중에서 리드 신호로 판별된 DQS_D1에 해당하는 지연 코드(DQS_DLY1)를 제어 코드(CODE_DLY<0:N>)로서 사용하여 DQS_D1의 라이징 엣지를 데이터(DQ)의 라이징 엣지에 일치시키기 위한 제 1 엣지 매칭을 수행한다.
- [0091] 컨트롤러(101)는 도 6의 지연라인(510)의 유닛 딜레이(UD)들을 제어하여 DQS_D1의 라이징 엣지를 데이터(DQ)의 라이징 엣지에 일치시키는 제 1 엣지 매칭을 't1'의 시간내에 수행할 수 있다.

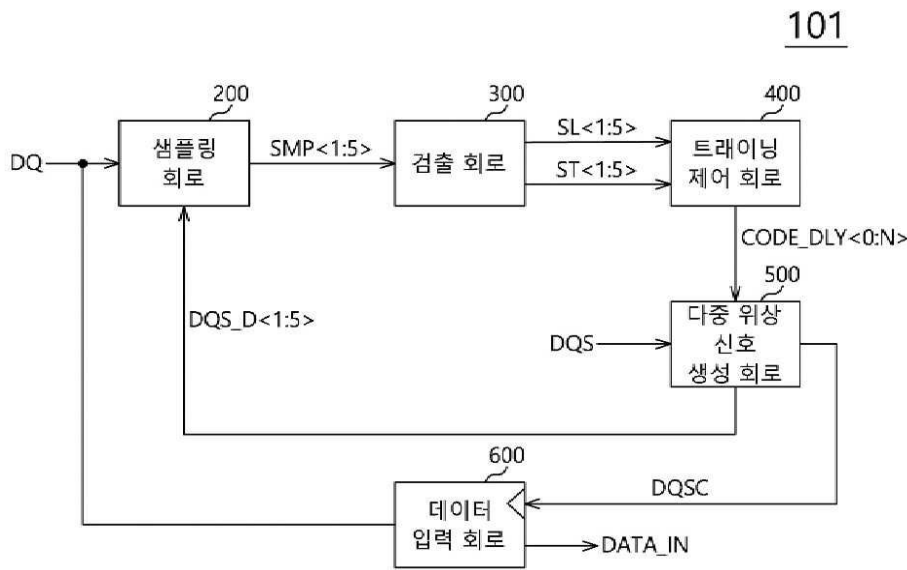
- [0092] 컨트롤러(101)는 데이터(DQ)의 라이징 엣지에 일치되는 DQS_D1의 라이징 엣지에 해당하는 제어 코드(CODE_DLY<0:N>)를 저장한다.
- [0093] 컨트롤러(101)는 DQS_D1의 라이징 엣지를 데이터(DQ)의 라이징 엣지에 일치시키는 제 1 엣지 매칭이 완료되면, 트래일 신호로 판별된 DQS_D3에 해당하는 지연 코드(DQS_DLY3)를 제어 코드(CODE_DLY<0:N>)로서 사용하여 DQS_D3의 라이징 엣지를 데이터(DQ)의 폴링 엣지에 일치시키기 위한 제 2 엣지 매칭을 수행한다.
- [0094] 컨트롤러(101)는 도 6의 지연라인(510)의 유닛 딜레이(UD)들을 제어하여 DQS_D3의 라이징 엣지를 데이터(DQ)의 폴링 엣지에 일치시키는 제 2 엣지 매칭을 't2'의 시간내에 수행할 수 있다.
- [0095] 컨트롤러(101)는 데이터(DQ)의 폴링 엣지에 일치되는 DQS_D3의 라이징 엣지에 해당하는 제어 코드(CODE_DLY<0:N>)를 저장한다.
- [0096] 컨트롤러(101)는 DQS_D1의 라이징 엣지에 해당하는 제어 코드(CODE_DLY<0:N>)와 DQS_D3의 라이징 엣지에 해당하는 제어 코드(CODE_DLY<0:N>)의 중간 값을 산출하고, 이를 최종 제어 코드로서 다중 위상 신호 생성회로(500)에 설정함으로써 읽기 트레이닝을 완료할 수 있다.
- [0097] 다중 위상 신호 생성회로(500)는 최종 제어 코드에 따라 데이터 스트로브 신호(DQS)를 지연시켜 보상된 데이터 스트로브 신호(DQSC)를 출력할 수 있다.
- [0098] 상술한 읽기 트레이닝을 통해 보상된 데이터 스트로브 신호(DQSC)는 데이터(DQ)의 중간에 얼라인(Align)될 수 있다.
- [0099] 따라서 도 2의 데이터 입력회로(600)는 보상된 데이터 스트로브 신호(DQSC)에 따라 데이터(DQ)를 안정적으로 입력 받아 내부 데이터(DATA_EN)를 생성할 수 있다.
- [0100] 한편, 본 발명의 실시예는 리드 신호 및 트래일 신호 모두를 이용하여 읽기 트레이닝을 수행하는 예를 든 것일 뿐, 리드 신호만을 이용하여 읽기 트레이닝을 수행하는 것도 가능하다.
- [0101] 이와 같이, 본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

도면

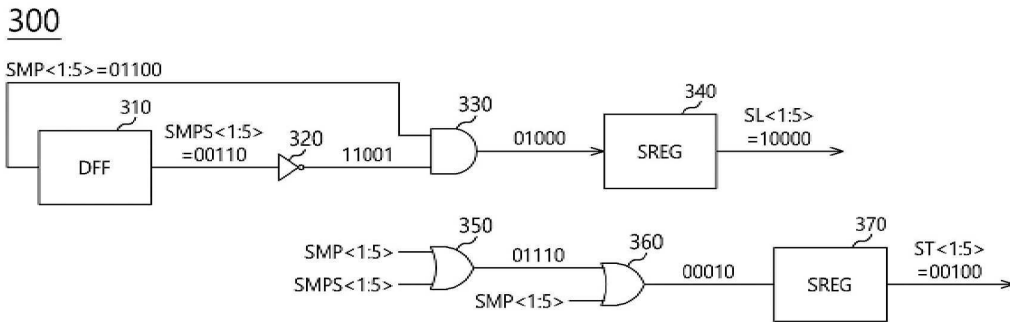
도면1



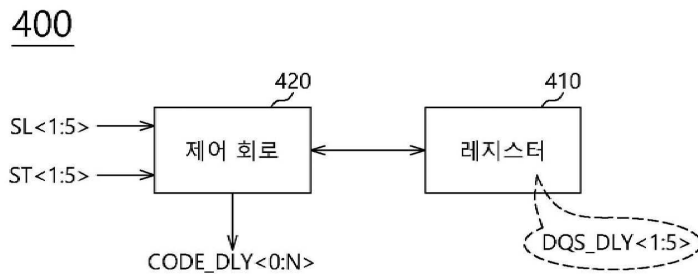
도면2



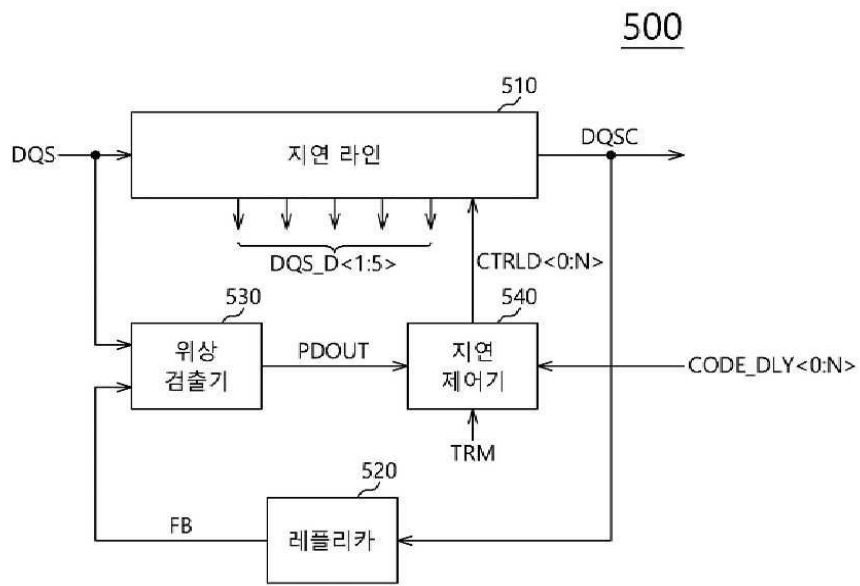
도면3



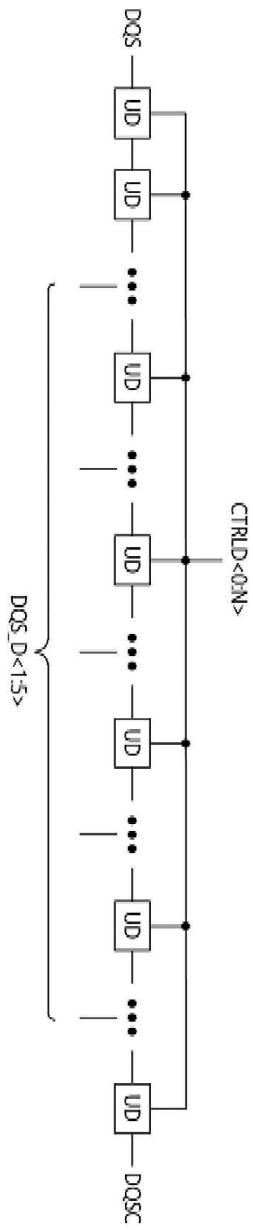
도면4



도면5



도면6



510

도면7

