



⑫ A **Terinzagelegging** ⑪ **8402223**

Nederland

⑲ NL

-
- ⑤4 **Werkwijze ter vervaardiging van een halfgeleiderinrichting en inrichting, vervaardigd door toepassing daarvan.**
- ⑤1 Int.Cl⁴.: H01L29/44, H01L29/08, H01L29/46, H01L29/52, H01L29/54, H01L21/28.
- ⑦1 Aanvrager: N.V. Philips' Gloeilampenfabrieken te Eindhoven.
- ⑦4 Gem.: Ir. P.J.P.G. Simons c.s.
Internationaal Octrooibureau B.V.
Prof. Holstlaan 6
5656 AA Eindhoven.

②1 Aanvraag Nr. 8402223.

②2 Ingediend 13 juli 1984.

③2 --

③3 --

③1 --

⑥2 --

④3 Ter inzage gelegd 3 februari 1986.

De aan dit blad gehechte stukken zijn een afdruk van de oorspronkelijk ingediende beschrijving met conclusie(s) en eventuele tekening(en).

N.V. Philips' Gloeilampenfabrieken te Eindhoven.

"Werkwijze ter vervaardiging van een halfgeleiderinrichting en inrichting, vervaardigd door toepassing daarvan".

De uitvinding heeft betrekking op een werkwijze voor het vervaardigen van een halfgeleiderinrichting met een aantal naast elkaar gelegen smalle coplanaire siliciumelektroden met zeer geringe onderlinge afstand, bevattende de volgende processtappen:

- 5 a) het op een elektrisch isolerende laag aanbrengen van achtereenvolgens een eerste siliciumlaag, een oxydatieverhinderende laag en een tweede siliciumlaag,
- b) het etsen van de tweede siliciumlaag in een patroon bevattende een aantal evenwijdige siliciumstroken,
- 10 c) het gedeeltelijk oxyderen van de tweede siliciumlaag, ter vorming van een geoxydeerd randdeel daarvan,
- d) het wegetsen van de onbedekte delen van de oxydatieverhinderende laag,
- e) het wegetsen van het vrijliggende siliciumoxyde,
- f) het uitvoeren van een thermische oxydatie ter verkrijging van afwisselend met een oxydelaag en met de oxydatieverhinderende laag bedekte
- 15 delen van de eerste siliciumlaag,
- g) het selectief wegetsen van de onbedekte delen van de oxydatieverhinderende laag en
- h) het etsen van groeven in de zo vrijgelegde delen van de eerste silicium-
- 20 laag ter vorming van afwisselend met de oxydelaag en met de oxydatieverhinderende laag bedekte siliciumelektroden.

De uitvinding heeft voorts betrekking op een halfgeleiderinrichting, vervaardigd door toepassing van de werkwijze.

Een werkwijze van de hierboven beschreven soort is bekend uit de

25 gepubliceerde Britse octrooiaanvraag GB-A 2111304 van Aanvraagster. Daarin wordt beschreven de vervaardiging van een ladingsgekoppelde (CCD) halfgeleiderinrichting, waarbij op zelfregistrerende wijze stuur-elektroden van silicium worden gevormd waarvan de zeer geringe onderlinge afstand van bijvoorbeeld minder dan $1\text{ }\mu\text{m}$ wordt bepaald door de laterale oxydatie van

30 een siliciumpatroon, welke stuur-elektroden afwisselend met oxyde en met een oxydatieverhinderende laag b.v. siliciumnitride zijn bedekt.

Op deze wijze is het mogelijk, overlappende stuur-elektroden en daarmee een dubbellaags-elektrodensysteem te vermijden, wat technologisch

en elektrisch belangrijke voordelen heeft.

Bij het contacteren van een groot aantal zeer smalle en dicht bij elkaar gelegen elektroden doen zich echter vaak problemen voor. Omdat het moeilijk is, op zeer smalle elektroden contacten aan te brengen kan men
5 de elektroden aan één of beide uiteinden waaiervormig naar buiten laten lopen, maar dit kost ruimte. Verder zullen de siliciumelektroden in van elkaar gescheiden groepen moeten worden aangebracht, waartoe onderbrekingen in de genoemde eerste siliciumlaag zullen moeten worden gevormd. Volgens de in GB-A 2111304 beschreven methode gebeurt dit door op die
10 plaatsen waar in de voltooide inrichting één siliciumlaag aanwezig moet zijn de tweede siliciumlaag reeds in het begin van het proces over zijn gehele dikte om te zetten in siliciumoxyde. Dit kost echter een maskerings- en oxydatiestap. De genoemde onderbrekingen in de eerste siliciumlaag ontstaan dan automatisch gedurende de processtap waarbij de groeven tussen de
15 strookvormige siliciumelektroden worden gevormd.

In de eerdere, niet vóórgpubliceerde Nederlandse octrooiaanvraag No. 8400224 (PHN 10913) van Aanvraagster wordt een werkwijze van de beschreven soort voorgesteld, waarbij na het uitvoeren van dit proces tenminste twee van de door de ene laag, bijvoorbeeld de oxydatieverhinderende laag bedekte siliciumelektroden met elkaar zijn verbonden en een tussenliggende door de andere laag, hier dus door oxyde, bedekte siliciumelektrode insluiten, waarna door een maskerings- en etsstap deze verbinding wordt verbroken, door thermisch oxyderen de groeven althans ten dele door oxyde worden opgevuld, en door selectief plaatselijk etsen van de bedekende lagen contactvensters op de siliciumelektroden worden gevormd. Door
25 deze verbeterde werkwijze wordt in het begin van het proces een maskerings- en etsstap uitgevoerd, terwijl de contactvensters op de siliciumelektroden althans ten dele zelfuitrichtend kunnen worden aangebracht. Hierdoor wordt ruimte bespaard, en kunnen ondermeer geheugencellen met zeer kleine afmetingen gerealiseerd worden.
30

Wanneer het laatstgenoemde proces zonder meer wordt uitgevoerd, mogen de in het oxyde aangebrachte contactvensters respectievelijk de daarvoor gebruikte etsmaskers in het algemeen de naburige elektroden niet overlappen. Dit zou namelijk tot gevolg hebben dat het oxyde in de tussenliggende groef wordt weggeëtsd. Op plaatsen waar onder de groef slechts
35 een dunne oxydelaag aanwezig is kan dan kortsluiting met een later aangebrachte metallisering ontstaan. Echter, wanneer geen "overlappende" contactvensters mogen worden aangebracht betekent dit ruimteverlies.

8402223

Doel van de onderhavige uitvinding is onder meer, een verbeterde werkwijze aan te geven waardoor ook in het oxyde "overlappende" contactvensters kunnen worden gevormd.

- Een werkwijze van de in de aanhef beschreven soort is volgens de uitvinding daardoor gekenmerkt, dat aan het genoemde patroon een zodanige configuratie wordt gegeven dat na processtap (h) een verbindingsgebied ontstaat dat de via de eerste siliciumlaag met elkaar verbonden uiteinden van een eerste en een tweede, met de ene laag bedekte siliciumelektrode en het door deze uiteinden ingesloten deel van de tussenliggende, met de andere laag bedekte derde siliciumelektrode omvat,
- k) twee van de genoemde drie siliciumelektroden door etsen van het verbindingsgebied gescheiden worden,
 - l) door thermisch oxyderen de groeven althans ten dele door oxyde worden opgevuld,
 - m) binnen het verbindingsgebied de daarvan niet gescheiden siliciumelektrode door selectief etsen van de hem bedekkende laag via een althans één aangrenzende siliciumelektrode overlappend etsmasker van een contactvenster wordt voorzien en
 - n) buiten het verbindingsgebied de beide andere siliciumelektroden door selectief etsen van de hen bedekkende laag van contactvensters worden voorzien.

De uitvinding biedt, zoals hieronder nader zal worden uiteengezet, niet alleen de mogelijkheid tot het vormen van overlappende contactvensters maar ook tot het vermijden of verminderen van sommige parasitaire capaciteiten.

Op plaatsen waar zich ter plaatse van een contactvenster onder de groef slechts een dunne (gate-) oxydelaag bevindt, wordt volgens een voorkeursuitvoering het etsen van de groef achterwege gelaten. Dit kan op verschillende manieren geschieden.

Volgens een eerste variant kan op de plaats (of plaatsen) waar de groef achterwege moet blijven tussen de processtappen (e) en (f) het onbedekte deel van de oxydatieverhinderende laag worden weggeëtsd.

Een andere mogelijkheid is, om op de plaats waar de groef achterwege moet worden gelaten tijdens processtap (g) het onbedekte deel van de oxydatieverhinderende laag tegen etsen te maskeren.

Volgens een derde variant wordt op de plaats waar de groef achterwege moet blijven tussen de processtappen (c) en (d) het geoxydeerde randdeel van de tweede siliciumlaag weggeëtsd.

Volgens een vierde methode tenslotte wordt daar, waar géén groef geëetst mag worden, onder de oxydatieverhinderende laag een siliciumoxyde-laag aangebracht.

Een en ander zal thans nader worden toegelicht aan de hand van enkele uitvoeringsvoorbeelden en de tekening, waarin

Figuur 1 een bovenaanzicht van een door toepassing van de uitvinding verkregen inrichting weergeeft,

Figuur 2 t/m 4 schematisch dwarsdoorsneden van de inrichting van Figuur 1 tonen volgens de lijnen II-II, III-III en IV-IV,

Figuur 5 schematisch in dwarsdoorsnede opeenvolgende stadia van vervaardiging van de inrichting volgens Fig. 1 t/m 4 toont,

Figuur 6 een bovenaanzicht van een door toepassing van een variant van de werkwijze volgens de uitvinding verkregen inrichting toont,

Figuur 7 t/m 9 schematisch dwarsdoorsneden van de inrichting volgens Figuur 1 tonen volgens de lijnen VII-VII, VIII-VIII en IX-IX, en

Figuur 10, 11 en 12 andere varianten tonen volgens welke het etsen van groeven plaatselijk kan worden vermeden.

De figuren zijn zuiver schematisch en niet op schaal getekend terwille van de duidelijkheid. Dit geldt in het bijzonder voor de afmetingen in de dikterichting van de dwarsdoorsneden. Overeenkomstige delen zijn in de verschillende figuren als regel met dezelfde verwijzingscijfers aangeduid.

Figuur 1 toont in bovenaanzicht een voorbeeld van een halfgeleiderinrichting, vervaardigd voor toepassing van de werkwijze volgens de uitvinding. Deze inrichting bevat een aantal naast elkaar gelegen smalle en coplanaire siliciumelektroden $3A_{1\dots n}$, $3B_{1\dots n}$ en $3C_{1\dots n}$ met zeer geringe onderlinge afstand. Deze elektroden, waarvan hier alleen de omgeving van het te contacteren deel is getekend, kunnen bijvoorbeeld de stuur-elektroden van een ladingsgekoppelde (CCD) inrichting vormen. De dwarsdoorsneden volgens de lijnen II-II, III-III en IV-IV zijn achtereenvolgens in de figuren 2,3 en 4 getekend. De elektroden zijn door smalle, althans ten dele met siliciumoxyde gevulde groeven of spleten 14 van elkaar gescheiden. Zij zijn zeer smal, bijvoorbeeld $1,5\ \mu\text{m}$ breed, waardoor het contacteren ervan een probleem vormt dat in het algemeen slechts ten koste van extra ruimte kan worden opgelost. De uitvinding verschaft een werkwijze waarbij dankzij een grote mate van zelfuitrichting het contacteren praktisch zonder ruimteverlies kan geschieden.

In de figuren 5A t/m 5G worden dwarsdoorsneden van de inrichting

8402223

van Figuur 1 in opeenvolgende stadia van vervaardiging getoond. De figuren 5C t/m 5G hebben in het bijzonder betrekking op de dwarsdoorsnede IV-IV, en de figuren 5C' t/m 5G' op de dwarsdoorsnede II-II van Figuur 1.

Uitgangspunt is een ondergrond bestaande uit een elektrisch isolerende laag. In dit voorbeeld bestaat deze uit een laag 2 van siliciumoxyde die is gelegen op een siliciumlaag 1. Op deze isolerende laag 2 worden achtereenvolgens (zie Figuur 5A) een eerste, hooggedoteerde N-type siliciumlaag 3, een oxydatieverhinderende laag 4 en een tweede ongedoteerde siliciumlaag 5 aangebracht. De siliciumlagen kunnen van polykristallijn silicium, doch ook van bijvoorbeeld amorf silicium zijn, terwijl ook monokristallijn silicium zou kunnen worden toegepast al zal het aanbrengen daarvan technologisch op bezwaren stuiten. De oxydatieverhinderende laag 4 kan van siliciumnitride of van een andere, bij voorkeur siliciumnitride bevattende, laag zoals bijvoorbeeld siliciumoxynitride zijn.

Vervolgens wordt de tweede siliciumlaag 5 door maskeren en etsen in een patroon gebracht dat een aantal gescheiden, evenwijdige siliciumstroken bevat. Zo ontstaat de structuur van Figuur 5A.

Het uit de tweede siliciumlaag 5 gevormde siliciumpatroon wordt dan gedeeltelijk geoxydeerd. Daarbij ontstaat aan de randen een geoxydeerd randdeel 6. Daarna wordt het thans onbedekte deel van de oxydatieverhinderende laag 4 weggeëtsd, waardoor de situatie zoals geschetst in Figuur 5B ontstaat.

Nu wordt het vrijliggende siliciumoxyde weggeëtsd, waardoor de situatie van Figuur 5C' wordt verkregen. In de doorsnede volgens Figuur 5C' worden daarna onder toepassing van een fotolakmasker M1 beurtelings rechts en links de onder de siliciumstroken uitstekende randen van de oxydatieverhinderende laag 4 weggeëtsd, zie Figuur 5C'. In de doorsneden III-III en IV-IV blijven deze randen behouden.

Dan wordt, na verwijdering van het masker M1, een thermische oxydatie uitgevoerd, waarbij op de vrijliggende, hooggedoteerde delen van de siliciumlaag 3 een dikkere oxydelaag 8 gevormd wordt dan die (7) op de nagenoeg ongedoteerde stroken van de laag 5, zie Figuur 5D en D'. Zo ontstaan afwisselend met oxyde 8 en met de oxydatieverhinderende laag 4 bedekte delen van de eerste siliciumlaag 3. Met een dip-ets wordt vervolgens de dunne oxydelaag 7 verwijderd.

Nu wordt (zie Figuur 5E en E') een fotolakmasker M2 aangebracht dat de te vormen elektrodestroken en de andere te behouden delen van de siliciumlaag 3 afdekt. De onbedekte delen van de tweede siliciumlaag 5

worden nu door etsen verwijderd, waarna het masker M2 wordt verwijderd, zie Fig. 5F en 5F'. De hierbij verwijderde delen van de siliciumlaag 5 waren gelegen boven de plaatsen waar in de voltooide inrichting de eerste siliciumlaag 3 afwezig moet zijn.

5 Nu worden de eerder genoemde, onder de stroken van de laag 5 uitstekende onbedekte randdelen van de laag 4 alsmede de overige onbedekte delen van de oxydatieverhinderende laag 4 verwijderd, waarna de nu vrijliggende delen van de siliciumlaag 3, en daarmee tevens de resterende delen van de laag 5 worden weggeëtsd. Hierbij ontstaan groeven 14 in de
10 laag 3. Op de plaatsen waar onder toepassing van het fotolakmasker M1 (zie Figuur 5C') de uitstekende randen van de laag 4 waren verwijderd ontstaan géén groeven, zie Figuur 5G'.

Zoals blijkt uit in het bijzonder de figuren 1 en 2 is volgens de uitvinding bij het in patroon brengen van de tweede siliciumlaag 5 aan
15 dit patroon een zodanige configuratie gegeven, dat na de hierboven beschreven bewerkingen een verbindingsgebied is ontstaan dat de beide via de eerste siliciumlaag 3 met elkaar verbonden uiteinden van een eerste (3B1) en een tweede (3B2) siliciumelektrode die beide met eenzelfde laag (in dit voorbeeld de oxydatieverhinderende laag 4) bedekt zijn, en het door deze
20 uiteinden ingesloten deel van de tussenliggende, met de andere laag (in dit voorbeeld dus met de oxydelaag 8) bedekte derde siliciumelektrode 3C1 omvat. Dit verbindingsgebied is in Figuur 1 met de lijn 21 aangegeven.

Volgens de uitvinding werden bij de voorafgaande bewerking tevens twee van de genoemde drie siliciumelektroden 3B1, 3B2 en 3C1 door etsen
25 van het verbindingsgebied 21 gescheiden. In dit voorbeeld zijn dit de elektroden 3B1 en 3B2; de plaatsen waar deze worden doorgeëtsd zijn in Figuur 1 met het cijfer 22 aangeduid. Bij andere varianten van de werkwijze kan het onder omstandigheden van voordeel zijn, de scheiding 22 in een afzonderlijke etsstap te realiseren.

30 Nu wordt overal, behalve op de plaatsen (15) waar de met de oxydatieverhinderende laag 4 bedekte elektroden moeten worden gecontacteerd, deze laag 4 verwijderd. Door thermisch oxyderen wordt vervolgens op alle zo vrijgelegde siliciumdelen een oxydelaag gevormd, waarbij de groeven 14 althans ten dele met oxyde worden opgevuld, zie Figuur 2 en 4.

35 Binnen het verbindingsgebied 21 wordt nu de niet van dit verbindingsgebied gescheiden elektrode, in dit voorbeeld dus de elektrode 3C1, van een contactvenster voorzien. Dit geschiedt door selectief etsen van de oxydelaag via een de elektroden 3B1 en 3B2 overlappend etsmasker 16

(zie Figuur 1). Daarna wordt, zonder masker, de laag 4 door selectief etsen verwijderd waardoor op de plaatsen 15 (zie Figuur 1) op de elektroden 3B1 en 3B2 vanzelf contactvensters ontstaan, buiten het verbindingsgebied 21. De elektroden 3A_{1...n} worden via een gemeenschappelijk contactvenster 19 dat tegelijk met het venster 16 kan worden aangebracht, gecontacteerd.

Het contacteren van de elektroden geschiedt nu op gebruikelijke wijze met geleiderbanen 18, die in de dwarsdoorsneden volgens Figuur 2 en 4 schematisch zijn aangegeven doch in Figuur 1 ter wille van de duidelijkheid niet getekend zijn.

Op de plaatsen waar aan de elektroden grenzende gedoteerde zones, bijvoorbeeld aan- en afvoerzones gewenst zijn kunnen deze (17) bijvoorbeeld door ionen implantatie met behulp van een niet-kritisch fotolakmasker 9 worden verkregen; dit is gestippeld in Figuur 5G aangeduid.

Doordat binnen het verbindingsgebied 21 de groeven 14 ontbreken (gestippelde lijnen 14A) wordt door het etsen van het venster 16 de oxydel laag 2 niet aangetast, zodat bij het metalliseren geen kortsluiting tussen de geleidende laag 18 en het siliciumgebied 1 kan ontstaan. Wanneer de oxydel laag 2 dik genoeg is mogen de groeven 14 overal aanwezig zijn. Een bijkomend voordeel is dat in dit voorbeeld bij de kruisingen tussen de metaalbanen 18 en de siliciumelektroden de banen 18 overal over oxyde lopen waardoor de capaciteit op de kruisingen wordt verminderd.

De beschreven werkwijze kan ook op andere manieren dan in dit voorbeeld beschreven worden uitgevoerd. Zo kunnen in de configuratie van Figuur 1 bijvoorbeeld de elektroden 3B_{1...n} met oxyde, en de elektrode 3A_{1...n} en 3C_{1...n} met siliciumnitride of een andere oxydatieverhinderende laag bedekt zijn. In dat geval worden bijvoorbeeld de elektroden 3B1 en 3C1 van het verbindingsgebied 21 losgeëtsd terwijl de elektrode 3B2 met het gebied 21 verbonden blijft. Zie Figuur 6, waarbij overeenkomstige delen dezelfde verwijzingscijfers dragen als de figuren 1 t/m 5. De binnen de met diagonalen aangeduide contactvensters vrijliggende, te contacteren halfgeleidervlakken zijn in Fig. 6 gearceerd aangegeven. De getekende configuratie kan met behulp van dezelfde processtappen als in het voorafgaande voorbeeld worden gerealiseerd, waarbij nu echter de elektroden hun respectievelijke deklagen behouden. Op de in Fig. 6 aangegeven wijze kunnen bij 16 een overlappend contactvenster in het oxyde 8 op elektrode 3B2, en bij 15 contactvensters in de oxydatieverhinderende siliciumnitridelaag 4 op de elektroden 3A_{1...n} en 3C_{1...n} worden gevormd. Via het gemeenschappelijke contactvenster 19 kunnen de elektroden 3B_{1...n} worden gecontacteerd.

Daartoe worden de groeven 14 op de gestippelde plaatsen 14A achterwege gelaten.

In plaats van een hooggedoteerde siliciumlaag 3 en een laag- of niet-gedoteerde siliciumlaag 5 kunnen ook twee praktisch gelijk gedoteerde siliciumlagen worden toegepast. In dat geval moet echter op de tweede siliciumlaag 5 nog een tweede oxydatieverhinderende laag worden aangebracht, teneinde te voorkomen dat tijdens de thermische oxydatie van stap f (Figuur 5D) op de laag 5 een oxydelaag wordt gevormd die niet door een dip-ets kan worden verwijderd.

Het plaatselijk achterwege laten van de groef 14, dat in het beschreven voorbeeld van Fig. 5A-5G geschiedde door (zie Figuur 5C') de uitstekende randen van de oxydatieverhinderende laag 4 plaatselijk weg te etsen vóór de thermische oxydatie waarbij het oxyde 8 wordt gevormd, kan ook op andere wijze geschieden. In plaats daarvan kan bijvoorbeeld dáár, waar geen groef mag ontstaan, vóór de thermische oxydatie de oxyderand 6 worden weggeëtsd. Dan wordt in plaats van Figuur 5B de situatie van Figuur 10 verkregen. De verdere processtappen zijn analoog aan die van het voorbeeld van Figuur 5A-5G.

Volgens een andere variant wordt in de situatie van Figuur 5F dáár, waar geen groef mag ontstaan de uitstekende rand van de laag 4 tegen etsen beschermd, zodat na etsen de situatie van Figuur 11 ontstaat die na verwijdering van het etsmasker en na etsen van de laag 3 dezelfde situatie als Figuur 5G' oplevert.

Tenslotte kan dáár, waar de groef 14 niet gevormd mag worden onder de oxydatieverhinderende laag 4 een oxydelaag 20 worden aangebracht, zie Figuur 12. Ook dan ontstaat na dezelfde processtappen als in Figuur 5A-5G de situatie van Figuur 5G' aangezien na het etsen van de laag 4 het silicium 3 dáár, waar geen groef mag komen bedekt blijft met het oxyde 20, dat tegen het etsen van de laag 3 maskeert.

De uitvinding is niet beperkt tot de gegeven uitvoeringsvoorbeelden. Zo kan de uitvinding ook bij andere dan CCD-inrichtingen worden toegepast. Ook kan de laag 2A uit een ander isolerend materiaal dan siliciumoxyde bestaan, terwijl de oxydatieverhinderende laag uit andere materialen dan siliciumnitride of siliciumoxynitride kan bestaan mits deze ten opzichte van siliciumoxyde selectief etsbaar zijn.

Conclusies:

1. Werkwijze voor het vervaardigen van een halfgeleiderinrichting met een aantal naast elkaar gelegen smalle coplanaire siliciumelektroden met zeer geringe onderlinge afstand, bevattende de volgende processtappen:
- a) het op een elektrisch isolerende laag aanbrengen van achtereenvolgens
5 een eerste siliciumlaag, een oxydatieverhinderende laag en een tweede siliciumlaag,
 - b) het etsen van de tweede siliciumlaag in een patroon bevattende een aantal evenwijdige siliciumstroken,
 - c) het gedeeltelijk oxyderen van de tweede siliciumlaag, ter vorming van
10 een geoxydeerd randdeel daarvan,
 - d) het wegetsen van de onbedekte delen van de oxydatieverhinderende laag,
 - e) het wegetsen van het vrijliggende siliciumoxyde,
 - f) het uitvoeren van een thermische oxydatie ter verkrijging van afwisselend met een oxydelaag en met de oxydatieverhinderende laag bedekte de-
15 len van de eerste siliciumlaag,
 - g) het selectief wegetsen van de onbedekte delen van de oxydatieverhinderende laag en
 - h) het etsen van groeven in de zo vrijgelegde delen van de eerste siliciumlaag ter vorming van afwisselend met de oxydelaag en met de oxydatieverhinderende laag bedekte siliciumelektroden,
20 met het kenmerk, dat
 - j) aan het genoemde patroon een zodanige configuratie wordt gegeven dat na processtap (h) een verbingsgebied ontstaat dat de via de eerste siliciumlaag met elkaar verbonden uiteinden van een eerste en een tweede,,
25 met de ene laag bedekte siliciumelektrode en het door deze uiteinden ingesloten deel van de tussenliggende, met de andere laag bedekte derde siliciumelektrode omvat,
 - k) twee van de genoemde drie siliciumelektroden door etsen van het verbingsgebied gescheiden worden,
 - 30 l) door thermisch oxyderen de groeven althans ten dele door oxyde worden opgevuld,
 - m) binnen het verbingsgebied de daarvan niet gescheiden siliciumelektrode door selectief etsen van de hem bedekkende laag via een althans één aangrenzende siliciumelektrode overlappend etsmasker van een contact-
35 venster wordt voorzien en
 - n) buiten het verbingsgebied de beide andere siliciumelektroden door selectief etsen van de hen bedekkende laag van contactvensters worden voorzien.

84 0 2 2 2 3

2. Werkwijze volgens conclusie 1, met het kenmerk, dat ter plaatse van ten minste één contactvenster het etsen van een groef achterwege wordt gelaten.
3. Werkwijze volgens conclusie 2, met het kenmerk, dat ter plaatse
5 waar de groef achterwege moet worden gelaten tussen de processtappen e en f het onbedekte deel van de oxydatieverhinderende laag wordt weggeëtsd.
4. Werkwijze volgens conclusie 2, met het kenmerk, dat op de plaats waar de groef achterwege moet worden gelaten tijdens processtap g het onbedekte deel van de oxydatieverhinderende laag tegen etsen gemaskeerd wordt.
- 10 5. Werkwijze volgens conclusie 2, met het kenmerk, dat op de plaats waar de groef achterwege moet worden gelaten tussen de processtappen c en d het geoxydeerde randdeel van de tweede siliciumlaag wordt weggeëtsd.
6. Werkwijze volgens conclusie 2, met het kenmerk, dat op de plaats waar de groef achterwege moet worden gelaten onder de oxydatieverhinderende laag een siliciumoxydelaag wordt aangebracht.
- 15 7. Werkwijze volgens een der voorgaande conclusies, met het kenmerk, dat na processtap h ^{de}oxydatieverhinderende laag wordt weggeëtsd behalve ter plaatse van de aan te brengen contactvensters, dat daarna een thermische oxydatie wordt uitgevoerd, en vervolgens zonder masker de oxydatieverhinderende laag wordt weggeëtsd.
- 20 8. Werkwijze volgens een der voorgaande conclusies, met het kenmerk, dat de genoemde, de eerste en tweede siliciumelektroden bedekkende ene laag de oxydatieverhinderende laag is.
9. Werkwijze volgens een der voorgaande conclusies, met het kenmerk,
25 dat tussen de processtappen (f) en (g) de tweede siliciumlaag wordt verwijderd boven de plaatsen waar in de voltooide inrichting de eerste siliciumlaag afwezig moet zijn.
10. Halfgeleiderinrichting, vervaardigd door toepassing van de werkwijze volgens een der voorgaande conclusies.

30

35

84 02223

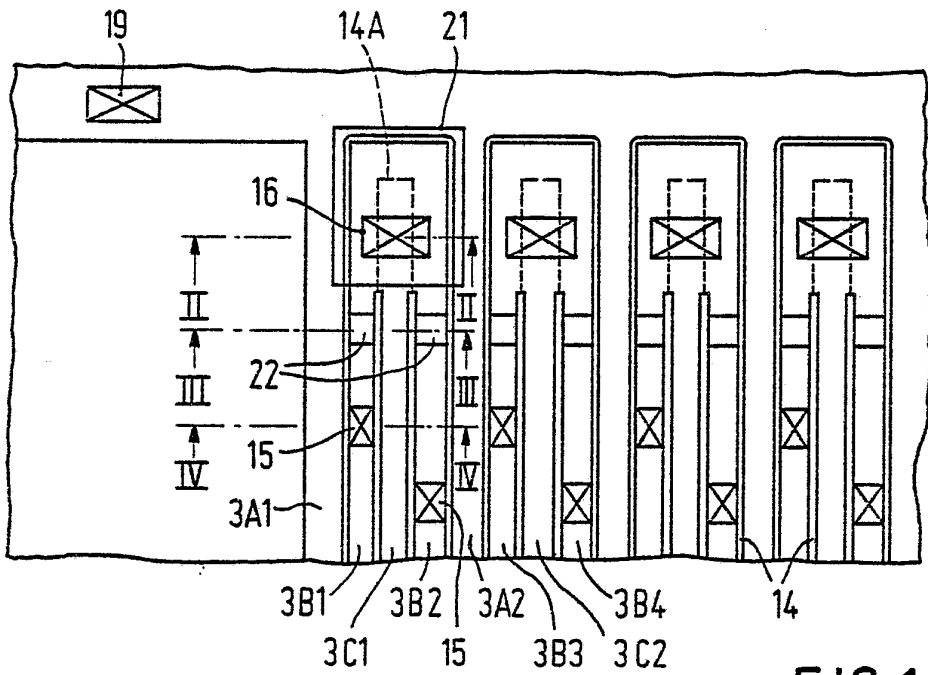


FIG. 1

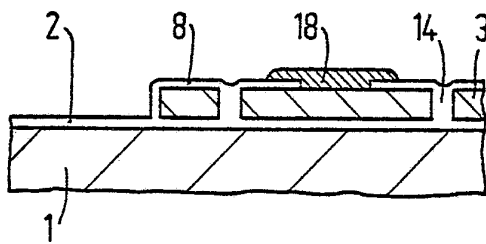


FIG. 2

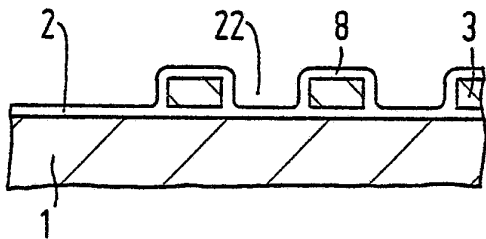


FIG. 3

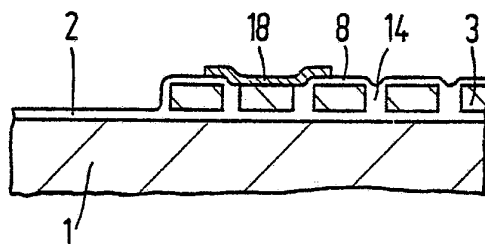


FIG. 4

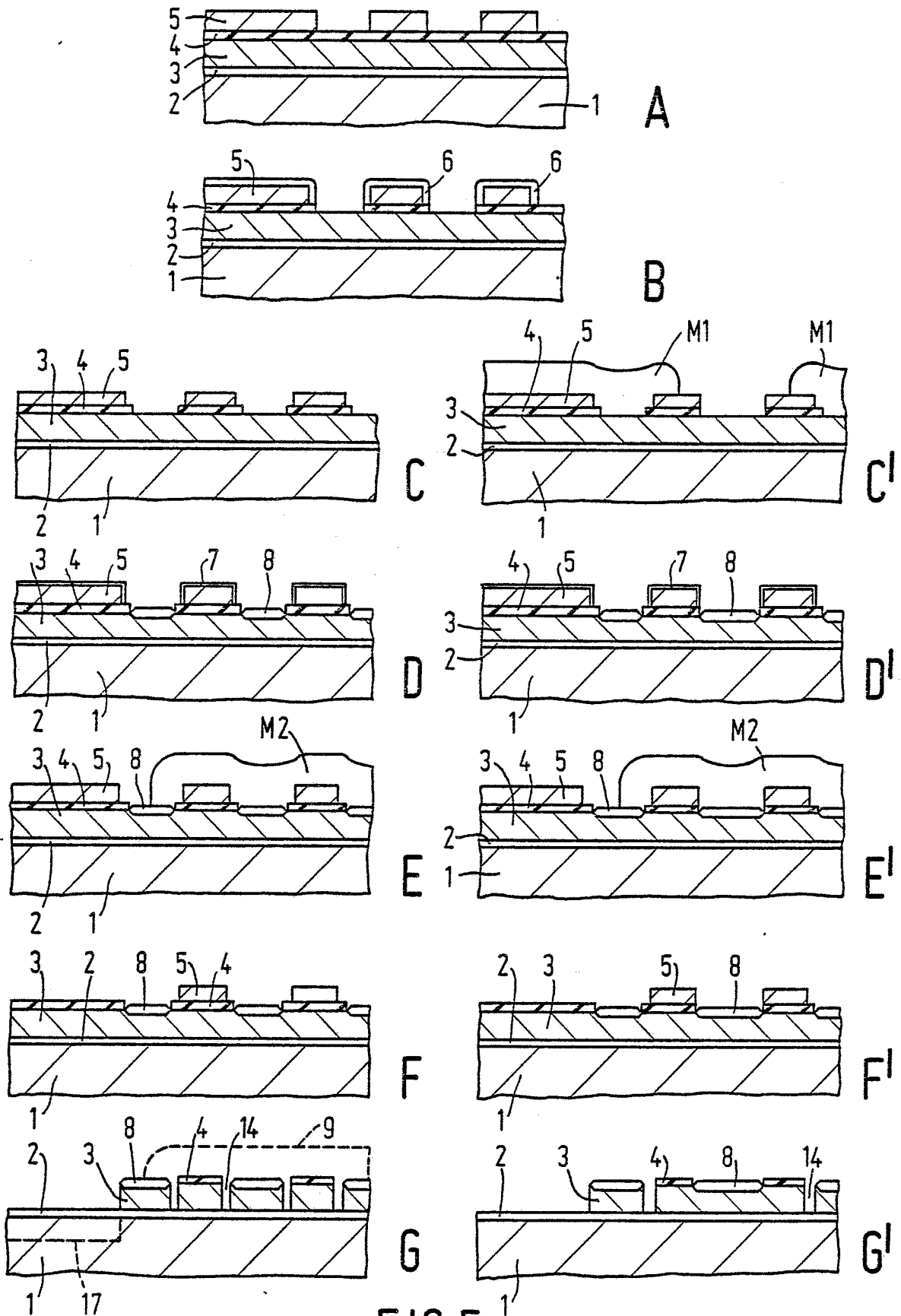


FIG. 5

8402223

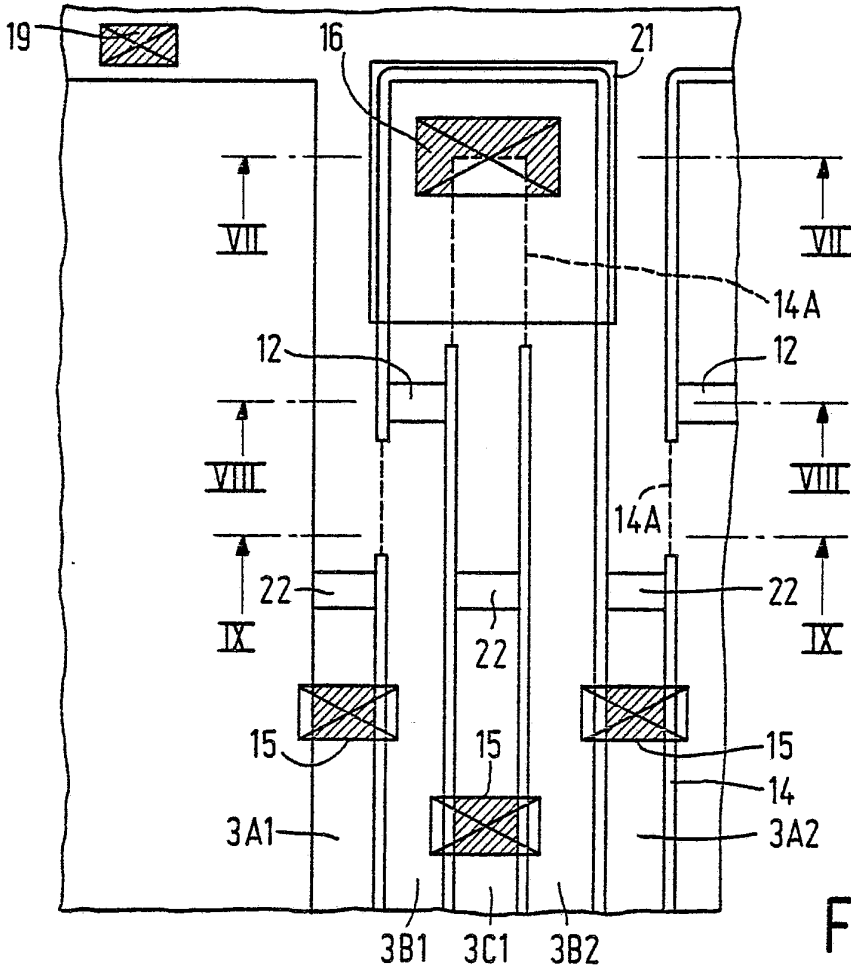


FIG. 6

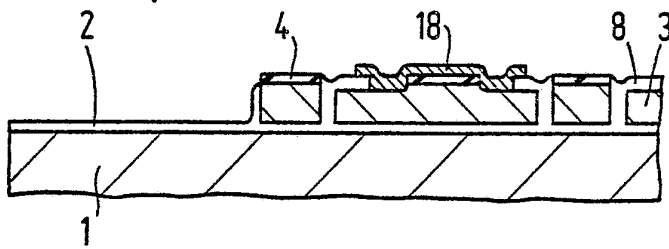


FIG. 7

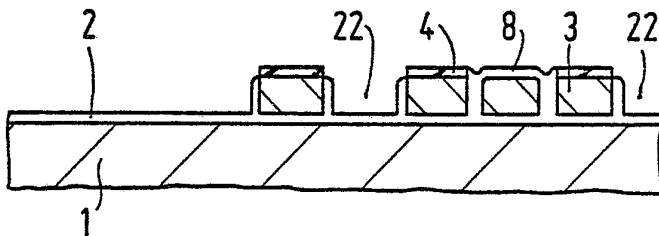


FIG. 8

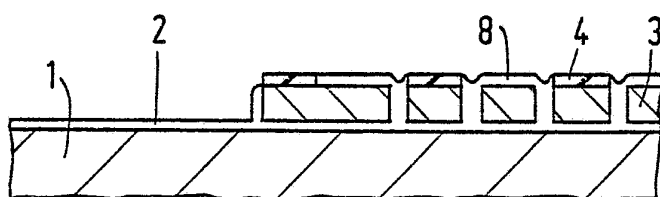


FIG. 9

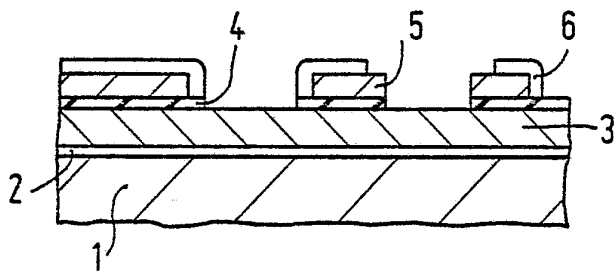


FIG.10

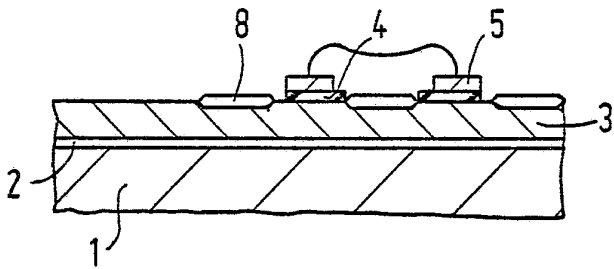


FIG.11

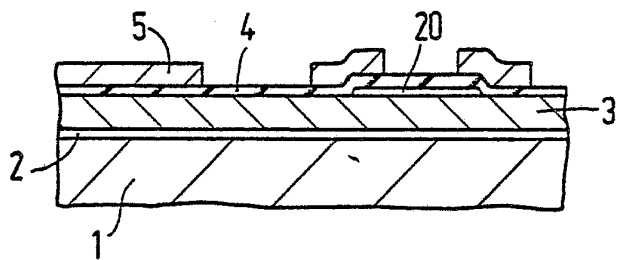


FIG.12