



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년10월11일
 (11) 등록번호 10-1907028
 (24) 등록일자 2018년10월04일

(51) 국제특허분류(Int. Cl.)
 G11C 11/419 (2015.01) G11C 11/413 (2006.01)
 G11C 7/16 (2015.01)
 (52) CPC특허분류
 G11C 11/419 (2018.05)
 G11C 11/413 (2013.01)
 (21) 출원번호 10-2016-0085736
 (22) 출원일자 2016년07월06일
 심사청구일자 2016년07월06일
 (65) 공개번호 10-2018-0005525
 (43) 공개일자 2018년01월16일
 (56) 선행기술조사문헌
 P. Harpe et al., 'A 0.37uW 4bit 1MS/s SAR ADC
 for ultra-low energy radios', 2011 Int'l
 Symp. on VLSI Design, June 2011.
 US20110289254 A1
 US20110128790 A1

(73) 특허권자
주식회사 유엑스팩토리
 경기도 성남시 분당구 판교역로 182, 704호(삼평동)
 (72) 발명자
이진수
 대구광역시 달서구 월서로 31, 107동 1202호 (상인동, 상인역 신일해피트리)
박준영
 경기도 성남시 분당구 운중로 242, 404호 (판교동, 리버스토리)
 (74) 대리인
특허법인 두성

전체 청구항 수 : 총 4 항

심사관 : 손운식

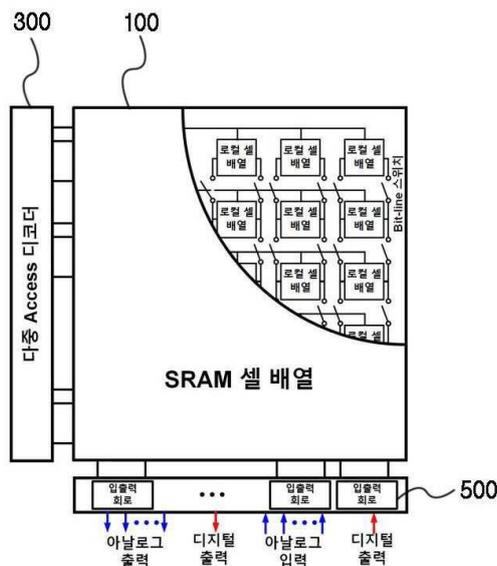
(54) 발명의 명칭 **아날로그 디지털 인터페이스 SRAM 구조**

(57) 요약

본 발명은 기존 SRAM의 IO회로와 비트라인 구조에서 스위치를 추가한 구조를 이용하여 저장된 디지털 데이터를 아날로그 데이터로 읽어내고, 아날로그 데이터를 디지털로 변환하여 저장할 수 있도록 한 아날로그 디지털 인터페이스 SRAM 구조에 관한 것으로, 가로방향 및 세로방향으로 복수의 로컬 셀이 형성되는 것으로, 상기 세로방향

(뒷면에 계속)

대표도 - 도1



으로 로컬 셀을 각각 선택하기 위한 일측의 비트라인 및 타측의 비트라인을 균등하게 나누는 비트스위치가 비트라인에 형성된 셀 어레이, 가로방향으로 로컬 셀을 선택하면서, 세로방향으로 복수의 로컬 셀을 동시에 선택하여 다중 액세스가 가능한 다중디코더 및 외부로부터 입력된 아날로그 데이터를 디지털 데이터로 변환하여 로컬 셀에 저장되도록 하며, 로컬 셀에 저장된 디지털 데이터를 아날로그 데이터로 변환하여 외부로 출력되도록 하는 입출력회로를 포함하여 구성된다.

본 발명에 따르면, Mixed-Signal Processing을 구현하기 위해서 DAC와 ADC가 없이도 아날로그 데이터를 SRAM에 쓰거나 읽을 수 있고, 아날로그로 쓴 값을 디지털로 읽을 수 있으며, 또한, 디지털로 쓴 값을 아날로그로 읽을 수 있도록 하여, ADC와 DAC 같은 변환기를 On Chip에 구현하기 위해 필요한 면적을 줄일 수 있으며, 변환 과정에 따른 소모 에너지를 줄일 수 있는 효과가 있다.

(52) CPC특허분류

G11C 7/16 (2018.05)

G11C 8/10 (2013.01)

공지예외적용 : 있음

명세서

청구범위

청구항 1

삭제

청구항 2

외부로부터 입력된 아날로그 데이터가 디지털 데이터로 변환되어 로컬 셀에 저장되도록 하거나 또는 로컬 셀에 저장된 디지털 데이터가 아날로그 데이터로 변환되도록 하기 위한 아날로그 디지털 인터페이스 SRAM 구조로서, 상기 아날로그 디지털 인터페이스 SRAM은 셀 어레이, 다중디코더 및 입출력회로를 포함하여 온 칩 형태의 집적 회로로 구성되고;

상기 셀 어레이는 가로방향 및 세로방향으로 로컬 셀이 복수로 형성되는 것으로, 세로방향으로 로컬 셀을 각각 선택하기 위한 일측의 비트라인 및 타측의 비트라인과, 복수의 로컬 셀을 세로방향으로 구분하기 위해 일측의 비트라인 및 타측의 비트라인을 균등하게 나누는 비트스위치가 비트라인에 세로 방향으로 형성되어 포함되고;

비트스위치를 이용하여, 비트라인을 중간에 끊어지게 하거나 연결할 수 있으므로, 각각의 세로방향에 대해서 비트스위치를 제어하여 8:4:2:1 형태의 비율로 비트라인이 나누어지도록 하여 각각의 비트라인이 8C:4C:2C:1C의 기생 커패시턴스 값을 가지도록 하며;

다중디코더는 워드라인을 통하여 가로방향으로 로컬 셀들을 선택하면서, 동시에 세로방향에 대해서 비트스위치를 제어하여, 8:4:2:1의 비율로 순차적으로 로컬 셀이 나누어지도록 비트라인을 형성하여, 로컬 셀에 대한 다중 액세스가 가능하도록 하며;

입출력회로는 외부로부터 입력된 아날로그 데이터를 입력받아 디지털 데이터로 변환되도록 한 후, 변환된 디지털 데이터를 로컬 셀에 저장되도록 하거나 또는 상기 다중디코더의 비트스위치 제어에 의해 로컬 셀에 저장된 디지털 데이터가 아날로그 데이터로 변환되면, 이를 전달받아 외부로 출력되도록 하는 회로인 것을 특징으로 한 아날로그 디지털 인터페이스 SRAM 구조.

청구항 3

청구항 2에 있어서, 상기 다중디코더는 세로방향에 대해서 비트스위치를 제어하여, 8:4:2:1의 비율로 순차적으로 로컬 셀이 나누어지도록 비트라인을 형성하며, 각각의 비트라인에는 4비트 데이터를 이루는 비트들 중 하나의 비트를 저장하는 로컬 셀이 하나씩 배치가 되는 것으로, 첫째 자릿수에 해당하는 로컬 셀은 8의 비율로 나눈 비트라인에 배치가 되고, 둘째 자릿수에 해당하는 로컬 셀은 4의 비율로 나눈 비트라인에 배치가 되고, 셋째 자릿수에 해당하는 로컬 셀은 2의 비율로 나눈 비트라인에 배치가 되고, 넷째 자릿수에 해당하는 로컬 셀은 1의 비율로 나눈 비트라인에 배치가 된 것을 특징으로 한 아날로그 디지털 인터페이스 SRAM 구조.

청구항 4

청구항 2에 있어서, 외부로부터 입력된 아날로그 데이터를 디지털 데이터로 변환하여 로컬 셀에 저장되도록 하기 위하여, 세로 방향에 대해서 다중디코더를 통하여 선택된 디지털 데이터를 저장할 4개의 로컬 셀을 0으로 초기화하고, 이어서, 다중디코더의 제어로 이진수 1000₍₂₎에 해당하는 기준전압을 생성하고, 입출력회로를 통하여 기준전압과 입력전압을 비교하여 입력전압이 더 클 경우 최상위 자리인 첫번째 로컬 셀에 1(D[3]=1)을 저장하고, 입력전압이 작거나 같으면 0(D[3]=0)을 저장하고, 이어서, 다중디코더의 제어로 이진수 {(D[3],100)₍₂₎에 해당하는 기준전압을 생성하고, 입출력회로를 통하여 기준전압과 입력전압을 비교하여 입력전압이 더 클 경우 두번째 자리인 두번째 로컬 셀에 1(D[2]=1)을 저장하고, 입력전압이 작거나 같으면 0(D[2]=0)을 저장하고, 이어서, 다중디코더의 제어로 이진수 {(D[3],D[2],10)₍₂₎에 해당하는 기준전압을 생성하고, 입출력회로를 통하여 기준전압과 입력전압을 비교하여 입력전압이 더 클 경우 세번째 자리인 세번째 로컬 셀에 1(D[1]=1)을 저장하고, 입력전압이 작거나 같으면 0(D[1]=0)을 저장하고, 이어서, 다중디코더의 제어로 이진수 {(D[3],D[2],D[1],1)₍₂₎에 해당하는 기준전압을 생성하고, 입출력회로를 통하여 기준전압과 입력전압을 비교하여

입력전압이 더 클 경우 네번째 자리인 네번째 로컬 셀에 1(D[0]=1)을 저장하고, 입력전압이 작거나 같으면 0(D[0]=0)을 저장하는 것을 특징으로 한 아날로그 디지털 인터페이스 SRAM 구조.

청구항 5

청구항 2에 있어서, 로컬 셀에 저장된 디지털 데이터를 아날로그 데이터로 변환하여 외부로 출력되도록 하기 위하여, 타측 비트라인의 비트스위치를 닫은 상태로 타측 비트라인을 VDD 전압으로 충전하고, 이어서, 비트스위치를 제어하여 타측 비트라인을 8:4:2:1의 비율을 가지는 4개의 비트라인으로 나누는 동시에 8:4:2:1의 비율을 가지는 기생 커패시턴스가 생성되도록 하고, 이어서, 다중디코더를 통하여 4개의 비트라인에 배치된 4개의 로컬 셀에 해당하는 워드라인을 동시에 활성화하고, 이어서, 비트스위치를 닫고 Charge Sharing을 통해 4비트 해상도의 아날로그 출력전압을 생성하여 입출력회로를 통하여 외부로 출력시키는 것을 특징으로 한 아날로그 디지털 인터페이스 SRAM 구조.

발명의 설명

기술 분야

[0001] 본 발명은 아날로그 디지털 인터페이스 SRAM 구조에 관한 것으로, 더욱 상세하게는 기존 SRAM의 IO회로와 비트라인 구조에서 스위치를 추가한 구조를 이용하여 저장된 디지털 데이터를 아날로그 데이터로 읽어내고, 아날로그 데이터를 디지털로 변환하여 저장할 수 있도록 한 아날로그 디지털 인터페이스 SRAM 구조에 관한 것이다.

배경 기술

[0002] 일반적으로 Mixed-signal processing은 bio-sensor, 온도센서와 같이 아날로그 Sensor로부터 얻은 데이터를 디지털 데이터로 변환하여 복잡한 연산을 처리하거나 디지털 데이터를 아날로그 데이터로 변환하여 효율적인 아날로그 프로세싱을 하는 것이다.

[0003] 바이오 메디컬 용 집적회로, 저전력 뉴럴 네트워크 집적회로 등에서 이런 Mixed-signal processing이 사용된다.

[0004] 이 과정에서 아날로그 데이터를 디지털 데이터로 변환하기 위해서 아날로그-디지털 변환기(ADC)와 디지털 데이터를 아날로그 데이터로 변환하기 위해 디지털-아날로그 변환기(DAC)가 필요하다.

[0005] 그리고 많은 경우에서 디지털로 변환되었거나 변환될 데이터를 버퍼에 저장하며 많은 양을 저장하기 위해서는 On Chip Memory로 사용이 되는 SRAM에 데이터가 저장된다.

[0006] ADC는 전압의 크기로 표현이 되는 아날로그 데이터를 bit로 표현이 되는 디지털 데이터로 변환해 주는 것으로, 대표적으로 SAR ADC가 있다.

[0007] SAR ADC는 Capacitive DAC, Comparator, Register 그리고 SAR 컨트롤러로 이루어져있다.

[0008] Capacitive DAC는 Digital bit를 Analog 전압으로 바꿔주는 Converter이다.

[0009] 1C, 2C, 4C, 8C, ... $2^n C$ 의 Capacitor로 이루어져 있으며, Digital bit의 자리 수에 따라 해당하는 Capacitor가 할당된다.

[0010] 예를 들면 12를 의미하는 Digital bit, $D=1100_{(2)}$ (D[3]=1, D[2]=1, D[1]=0, D[0]=0)를 Capacitive DAC을 이용해 Analog 전압으로 바꾸게 될 때, D[3]에 해당하는 Capacitor는 8C, D[2]는 4C, D[1]은 2C, D[0]는 C에 할당하여 해당되는 bit의 값에 따라(1 혹은 0) Capacitor를 VDD로 충전할지, 0으로 방전할지 결정하게 된다.

[0011] 그에 따라 각 Capacitor의 전하량이 각 Capacitor의 전압과 Capacitor의 크기 곱에 따라 정해지게 되고, 각 Capacitor에 저장된 전하량을 합침으로서 Digital bit에 해당하는 전압을 출력해낼 수 있게 된다.

[0012] Capacitive DAC에서 만들어지는 전압을 Comparator로 입력전압과 비교하여 순차적으로 상위 MSB에서 하위 LSB를 이진 탐색 방법으로 찾아 Register에 저장하여 아날로그 데이터에 해당하는 디지털 데이터를 찾는다.

[0013] SRAM은 bit를 저장하는 Cell들의 Array가 있고 이 Array는 Row 방향으로 있는 Word Line으로 Cell들을 행 단위로 선택하고, 선택된 한 행의 Cell들은 Column단위의 Bit-line으로 데이터를 읽어낸다.

[0014] 하나의 Column당 2개의 Bit-Line(BL, BLB)가 있고 Cell의 데이터를 읽기 전에 VDD 전압으로 충전이 된다.

- [0015] 그리고 Word Line이 켜지게 되면 각 Cell 마다 Bit-line을 방전하거나 VDD 상태로 유지를 시켜준다.
- [0016] 이때, BL과 BLB는 반대의 bit를 읽어 낸다.
- [0017] 예를 들면 선택된 Cell에 0이 저장되어 있으면 BL은 방전되고, BLB는 VDD로 유지된다.
- [0018] 만약 1이 저장되어있으면 BL은 유지되고 BLB는 방전된다.
- [0019] 이 BL, BLB당 Sense Amplifier가 있게 되고, BL과 BLB의 대소 관계를 비교해서 Cell에 저장된 값이 0인지 1인지 판단해 출력하게 된다.
- [0020] Mixed-signal processing에서 데이터 변환을 위해 ADC와 DAC를 사용하게 된다.
- [0021] 하지만, 이런 변환기의 면적이 매우 크기 때문에, Multi-Channel을 이용한 바이오센서 애플리케이션이나 Mixed-Signal Processing 뉴럴 네트워크 애플리케이션 같은 경우, 한 번에 여러 Data를 변환하기 위해서 여러 개의 변환기를 사용하게 되고 그에 따라 많은 면적을 차지하게 된다.
- [0022] 또한, ADC를 통해서 변형된 데이터를 On chip Memory에 저장하기 위해서 SRAM을 주로 사용하게 되고, DAC로 디지털 데이터를 아날로그 데이터로 변환할 때 SRAM에서 데이터를 읽어서 변환하는 과정을 거치며 SRAM과 ADC, DAC에서 많은 에너지 소모가 일어난다는 문제점이 있었다.

선행기술문헌

특허문헌

- [0023] (특허문헌 0001) 대한민국 공개특허공보 공개번호 제10-2014-0000421호

발명의 내용

해결하려는 과제

- [0024] 본 발명은 상술한 문제점을 해결하기 위해 안출된 것으로서, Mixed-Signal Processing을 구현하기 위해서 DAC와 ADC가 없이도 아날로그 데이터를 SRAM에 쓰거나 읽을 수 있고, 아날로그로 쓴 값을 디지털로 읽을 수 있으며, 또한 디지털로 쓴 값을 아날로그로 읽을 수 있도록 하여, ADC와 DAC 같은 변환기를 On Chip에 구현하기 위해 필요한 면적을 줄일 수 있으며, 변환 과정에 따른 소모 에너지를 줄일 수 있는 아날로그 디지털 인터페이스 SRAM 구조를 제공하는 것이다.

과제의 해결 수단

- [0025] 상술한 목적을 달성하기 위한 본 발명의 아날로그 디지털 인터페이스 SRAM 구조는, 외부로부터 입력된 아날로그 데이터가 디지털 데이터로 변환되어 로컬 셀에 저장되도록 하거나 또는 로컬 셀에 저장된 디지털 데이터가 아날로그 데이터로 변환되도록 하기 위한 아날로그 디지털 인터페이스 SRAM 구조로서, 분리된 별도의 아날로그 디지털 컨버터 또는 디지털 아날로그 컨버터 없이 아날로그 데이터를 디지털 데이터로 저장하거나 디지털 데이터를 아날로그 데이터로 읽을 수 있도록 하기 위하여, 다중디코더로 로컬 셀이 순차적으로 2^n 의 비율로 나누어지도록 비트라인의 비트스위치를 제어하는 것을 특징으로 한다.
- [0026] 그리고 상술한 목적을 달성하기 위한 본 발명의 아날로그 디지털 인터페이스 SRAM 구조는, 외부로부터 입력된 아날로그 데이터가 디지털 데이터로 변환되어 로컬 셀에 저장되도록 하거나 또는 로컬 셀에 저장된 디지털 데이터가 아날로그 데이터로 변환되도록 하기 위한 아날로그 디지털 인터페이스 SRAM 구조로서, 상기 SRAM 구조에서 아날로그 신호 또는 디지털 신호를 입출력시키는 입출력회로와, 가로방향 및 세로방향으로 복수의 로컬 셀이 형성되는 것으로, 상기 세로방향으로 로컬 셀을 선택하기 위한 비트라인과, 상기 복수의 로컬 셀을 세로방향으로 구분하기 위해 비트라인을 균등하게 나누는 비트라인에 형성되는 비트스위치를 포함하는 셀 어레이; 및 가로방향으로 로컬 셀을 선택하면서, 동시에 비트스위치를 제어하여 세로방향으로 복수의 로컬 셀을 선택하여 세로 방향으로 다중 액세스가 가능한 다중디코더를 포함하여 구성된 것을 특징으로 한다.
- [0027] 상기 다중디코더는 세로방향에 대해서 비트스위치를 제어하여, 2^n 의 비율로 순차적으로 로컬 셀이 나누어지도록 비트라인을 형성하며, 각각의 비트라인에는 4비트 데이터를 이루는 비트들 중 하나의 비트를 저장하는 로컬 셀

이 하나씩 배치가 되는 것으로, 첫째 자릿수에 해당하는 로컬 셀은 8의 비율로 나눈 비트라인에 배치가 되고, 둘째 자릿수에 해당하는 로컬 셀은 4의 비율로 나눈 비트라인에 배치가 되고, 셋째 자릿수에 해당하는 로컬 셀은 2의 비율로 나눈 비트라인에 배치가 되고, 넷째 자릿수에 해당하는 로컬 셀은 1의 비율로 나눈 비트라인에 배치가 된 것을 특징으로 할 수 있다.

[0028] 외부로부터 입력된 아날로그 데이터를 디지털 데이터로 변환하여 로컬 셀에 저장되도록 하기 위하여, 세로 방향에 대해서 다중디코더를 통하여 선택된 디지털 데이터를 저장할 4개의 로컬 셀을 0으로 초기화하고, 이어서, 다중디코더의 제어로 이진수 1000₍₂₎에 해당하는 기준전압을 생성하고, 입출력회로를 통하여 기준전압과 입력전압을 비교하여 입력전압이 더 클 경우 최상위 자리인 첫번째 로컬 셀에 1(D[3]=1)을 저장하고, 입력전압이 작거나 같으면 0(D[3]=0)을 저장하고, 이어서, 다중디코더의 제어로 이진수 {(D[3],100)₍₂₎에 해당하는 기준전압을 생성하고, 입출력회로를 통하여 기준전압과 입력전압을 비교하여 입력전압이 더 클 경우 두번째 자리인 두번째 로컬 셀에 1(D[2]=1)을 저장하고, 입력전압이 작거나 같으면 0(D[2]=0)을 저장하고, 이어서, 다중디코더의 제어로 이진수 {(D[3],D[2],10)₍₂₎에 해당하는 기준전압을 생성하고, 입출력회로를 통하여 기준전압과 입력전압을 비교하여 입력전압이 더 클 경우 세번째 자리인 세번째 로컬 셀에 1(D[1]=1)을 저장하고, 입력전압이 작거나 같으면 0(D[1]=0)을 저장하고, 이어서, 다중디코더의 제어로 이진수 {(D[3],D[2],D[1],1)₍₂₎에 해당하는 기준전압을 생성하고, 입출력회로를 통하여 기준전압과 입력전압을 비교하여 입력전압이 더 클 경우 네번째 자리인 네번째 로컬 셀에 1(D[0]=1)을 저장하고, 입력전압이 작거나 같으면 0(D[0]=0)을 저장할 수 있다.

[0029] 로컬 셀에 저장된 디지털 데이터를 아날로그 데이터로 변환하여 외부로 출력되도록 하기 위하여, 타측 비트라인의 비트스위치를 닫은 상태로 타측 비트라인을 VDD 전압으로 충전하고, 이어서, 비트스위치를 제어하여 타측 비트라인을 8:4:2:1의 비율을 가지는 4개의 비트라인으로 나누는 동시에 8:4:2:1의 비율을 가지는 기생 커패시턴스가 생성되도록 하고, 이어서, 다중디코더를 통하여 4개의 비트라인에 배치된 4개의 로컬 셀에 해당하는 워드라인을 동시에 활성화하고, 이어서, 비트스위치를 닫고 Charge Sharing을 통해 4비트 해상도의 아날로그 출력전압을 생성하여 입출력회로를 통하여 외부로 출력시킬 수 있다.

발명의 효과

[0030] 이상에서 설명한 바와 같은 본 발명의 아날로그 디지털 인터페이스 SRAM 구조에 따르면, Mixed-Signal Processing을 구현하기 위해서 DAC와 ADC가 없이도 아날로그 데이터를 SRAM에 쓰거나 읽을 수 있고, 아날로그로 쓴 값을 디지털로 읽을 수 있으며, 또한, 디지털로 쓴 값을 아날로그로 읽을 수 있도록 하여, ADC와 DAC 같은 변환기를 On Chip에 구현하기 위해 필요한 면적을 줄일 수 있으며, 변환 과정에 따른 소모 에너지를 줄일 수 있는 효과가 있다.

도면의 간단한 설명

[0031] 도 1 및 도 2는 본 발명의 일실시예에 따른 아날로그 디지털 인터페이스 SRAM 구조를 나타낸 블록도이며, 도 3 내지 도 5는 본 발명의 일실시예에 따른 로컬 셀의 연결 상태를 설명하기 위하여 나타낸 블록도이며, 도 6 및 도 7은 본 발명의 일실시예에 따른 입출력회로를 설명하기 위하여 나타낸 블록도이며, 도 8 내지 도 11은 본 발명의 일실시예에 따른 디지털 데이터를 아날로그 데이터로 변환하는 과정을 설명하는 예시도이며, 도 12 내지 도 17은 본 발명의 일실시예에 따른 아날로그 데이터를 디지털 데이터로 변환하는 과정을 설명하는 예시도이며, 도 18은 본 발명의 일실시예에 따른 로컬 셀의 연결 상태의 다른 예를 설명하기 위하여 나타낸 예시도이며, 도 19는 종래의 SAR ADC를 나타낸 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0032] 이하, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있도록 상세히 설명하기 위하여, 본 발명의 바람직한 실시예를 첨부한 도면을 참조하여 상세하게 설명한다.

[0033] 본 발명의 일실시예에 따른 아날로그 디지털 인터페이스 SRAM은 도 1에 나타낸 바와 같이, 셀 어레이(100), 다

중디코더(300) 및 입출력회로(500)를 포함하여 온 칩 형태의 집적회로로 구성된다.

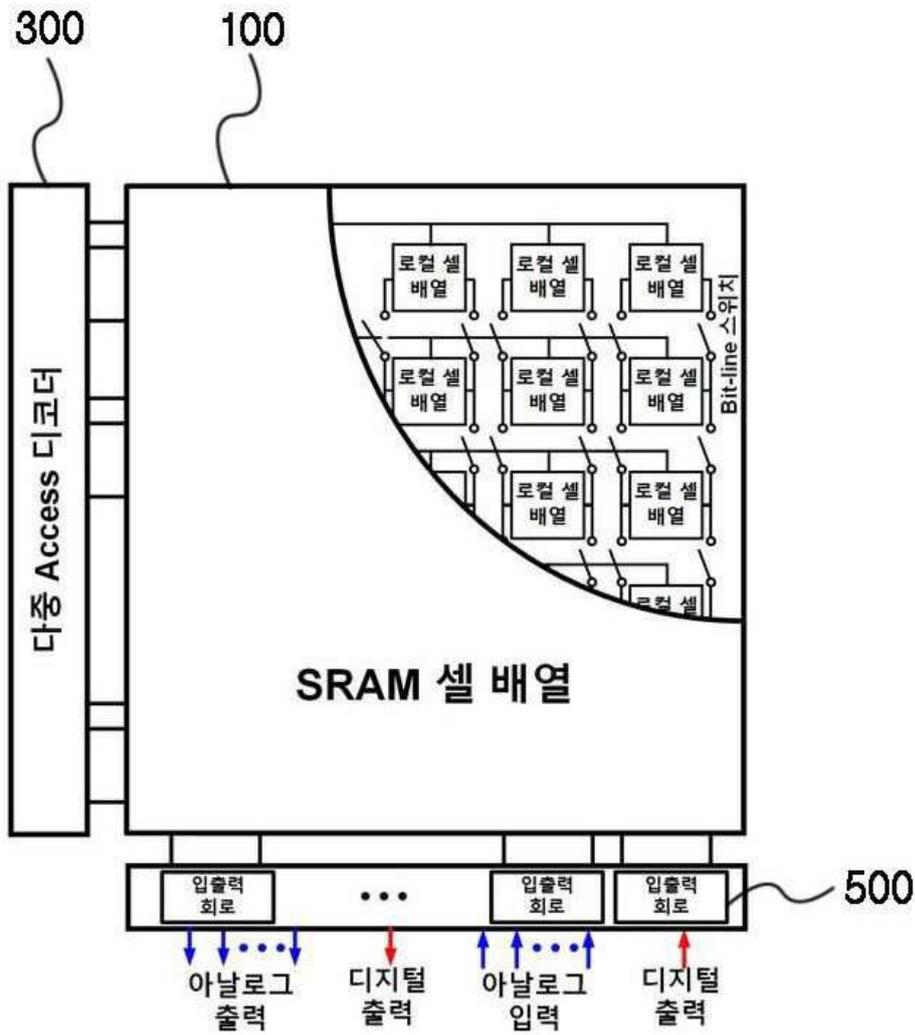
- [0034] 이를 통해 구현되는 본 발명에 따른 아날로그 디지털 인터페이스 SRAM은 하나의 가로방향마다 데이터 백터를 아날로그로 읽어 낼 수 있고, 또한 5 클럭에 걸쳐서 4비트 해상도의 아날로그 데이터를 디지털 데이터로 변환하여 쓰는 것이 각각 행마다 가능하다.
- [0036] 상기 셀 어레이(100)는 가로방향 및 세로방향으로 복수의 로컬 셀(130)이 형성되는 것으로, 도 2 및 도 3에 나타난 바와 같이, 상기 세로방향으로 로컬 셀(130)을 각각 선택하기 위한 일측의 비트라인(110) 및 타측의 비트라인(150)을 균등하게 나누는 비트스위치(111, 151)가 비트라인에 각각 형성된다.
- [0037] 비트스위치(111, 151)를 이용하여, 비트라인(110, 150)을 중간에 끈어지게 하거나 연결할 수 있다.
- [0038] 균등하게 나누어진 각각의 비트라인(110, 150)은 동일한 갯수의 로컬 셀(130)을 가지며, 각각의 로컬 셀(130) 배열마다 기생 커패시턴스를 가지게 된다.
- [0039] 기생 커패시턴스는 로컬 셀(130)의 개수에 비례하게 커지게 된다.
- [0040] 그리고 각각의 세로방향에 대해서 비트스위치(111, 151)를 제어하여, 8:4:2:1 형태의 비율로 비트라인이 나누어 지도록 할 수 있으며, 이때 각각의 비트라인은 8C:4C:2C:1C의 기생 커패시턴스 값을 가진다.
- [0041] 즉, 하나의 세로방향에 대해서 2^n 의 비율로 이루어진 각각의 비트라인(110, 150)은 2^n 의 커패시턴스 비율을 가지게 된다.
- [0042] 그리고 각각의 비트라인(110, 150)에는 4비트 데이터를 이루는 비트들 중 하나의 비트를 저장하고 있는 로컬 셀(130)이 하나씩 배치가 되어 있다.
- [0043] 가장 높은 자릿수(MSB)인 첫째 자리에 해당하는 로컬 셀(130)은 8의 비율로 나눈 비트라인에 배치가 되고, 둘째 자릿수에 해당하는 로컬 셀은 4의 비율로 나눈 비트라인에 배치가 되고, 셋째 자릿수에 해당하는 로컬 셀은 2의 비율로 나눈 비트라인에 배치가 되고, 가장 낮은 자릿수(LSB)인 넷째 자릿수에 해당하는 로컬 셀은 1의 비율로 나눈 비트라인에 배치가 된다.
- [0045] 상기 다중디코더(300)는 도 4에 나타난 바와 같이, 워드라인(170)을 통하여 가로방향으로 로컬 셀(130)들을 선택하면서, 동시에 세로방향에 대해서 비트스위치(111, 151)를 제어하여, 2^n 의 비율로 순차적으로 로컬 셀(130)이 나누어지도록 비트라인(110, 150)을 형성하여, 로컬 셀(130)에 대한 다중 액세스가 가능하다.
- [0046] 기존 디코더는 특정한 Address가 입력으로 들어오면 거기에 해당하는 워드라인 하나만 액세스 하였는데, 본 발명에서의 다중디코더(300)는 도 4 및 도 5에 나타난 바와 같이, 한 번에 여러 개의 로컬 셀(130)을 가로방향으로 선택하기 위해서 다중 액세스가 가능한 디코더를 사용한다.
- [0048] 상기 입출력회로(500)는 도 6에 나타난 바와 같이, 외부로부터 입력된 아날로그 데이터를 입력받아 디지털 데이터로 변환되도록 한 후, 변환된 디지털 데이터를 로컬 셀(130)에 저장되도록 하며, 또는 로컬 셀(130)에 저장된 디지털 데이터가 아날로그 데이터로 변환되면 이를 전달받아 외부로 출력되도록 하는 회로이다.
- [0049] 기본적으로 기존의 SRAM의 입출력회로와 같은 구조에서 Write 드라이버에 입력으로 비교기의 출력을 저장하는 플립플롭의 출력과 디지털 입력을 받는 플립플롭 데이터를 입력 종류에 따라 고를 수 있도록 MUX가 추가되었다.
- [0050] 아날로그 데이터를 디지털 데이터로 변환하여 로컬 셀(130)에 저장하는 과정은 기존 SAR ADC(Successive approximation ADC)와 같으며, SAR ADC에서 커패시티브 DAC를 본 발명에서 비트라인으로 대체 하였고, 비교기를 Sense Amplifier로, 결과가 저장되는 레지스터를 로컬 셀로 대체하여 기존의 SRAM 구조를 활용하여 면적효율을 높였다.
- [0051] 아울러, 입출력회로(500)는 도 6에 나타난 바와 같이, 5 클럭에 걸쳐서 4비트 해상도의 아날로그 데이터가 디지털 데이터로 변환되도록 하여 입력하는 과정에서 사용되는 입출력회로로, 비트라인에서 생성한 기준전압과 입력 전압을 비교하여 변환된 디지털 데이터를 로컬 셀(130)에 입력하는 기능을 한다.
- [0052] 따라서, 도 7에 나타난 시뮬레이션 결과처럼, 아날로그 데이터(V_{AIN})를 기준전압(V_{ref})과 비교해 가면서 4비트 디지털 데이터를 결정해 나가며, 결정된 4비트 데이터는 해당하는 위치의 로컬 셀(130)에 저장된다.
- [0053] 즉, 기존의 입출력회로는 외부로부터 디지털 데이터들을 전달받아 Bit 셀에 입력하거나, 또는 Bit 셀에서 비트

라인을 통해 전달받은 디지털 데이터를 외부로 전달하는 역할만 하였다.

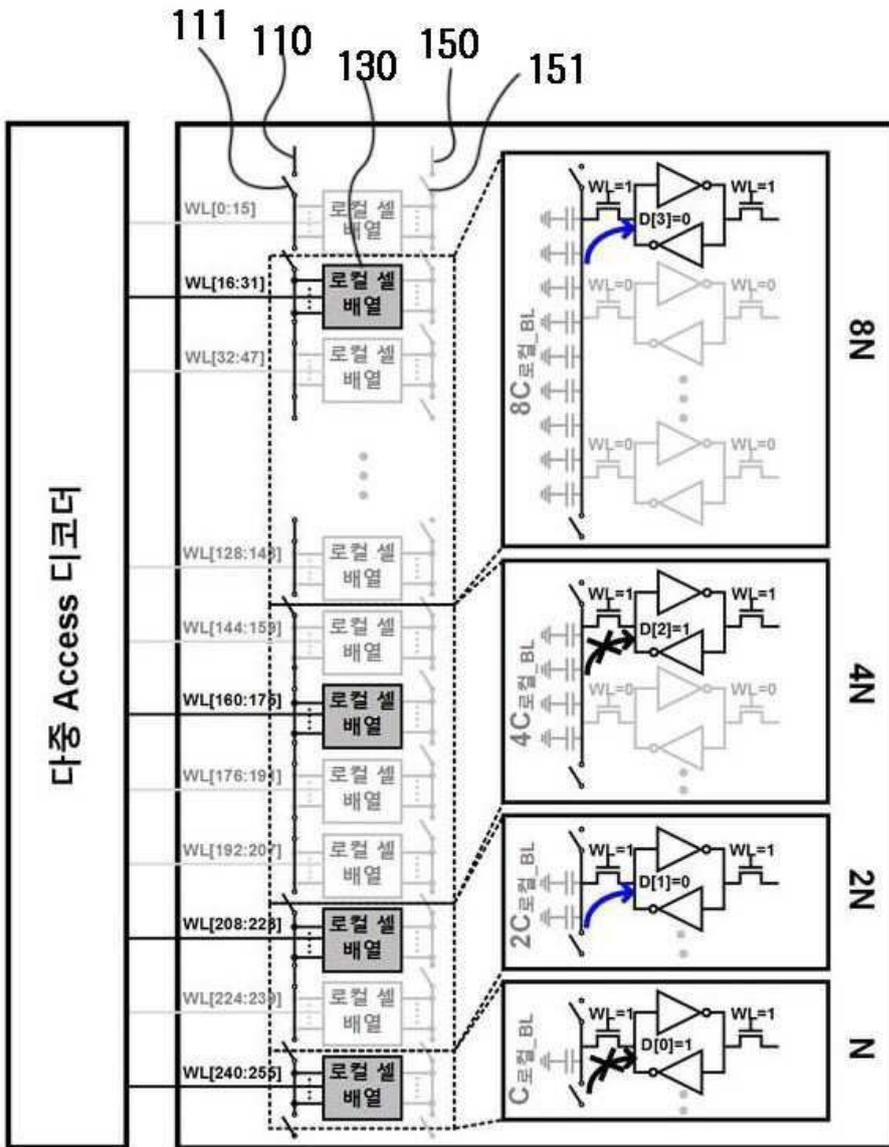
- [0054] 그러나 본 발명에서의 입출력회로(500)는 디지털 데이터뿐만 아니라 아날로그 데이터를 디지털 데이터로 변환되도록 하여 로컬 셀(130)에 저장할 수 있다.
- [0056] 상술한 바와 같이 구성된 아날로그 디지털 인터페이스 SRAM 구조에서, 로컬 셀(130)에 저장된 디지털 데이터를 아날로그 데이터로 변환하여 외부로 출력되도록 하기 위하여, 먼저, 도 8에 나타난 바와 같이, 타측 비트라인(150)의 비트스위치(151)를 모두 닫은 상태로 타측 비트라인(150)을 VDD 전압으로 충전한다.
- [0057] 이어서, 도 9에 나타난 바와 같이, 비트스위치(151)를 제어하여 타측 비트라인(150)을 8:4:2:1의 비율을 가지는 4개의 비트라인으로 나누어지도록 해당 비트스위치를 연다.
- [0058] 이렇게 나누어진 각각의 비트라인은 각각 8:4:2:1의 기생 커패시턴스를 가진다.
- [0059] 이어서, 도 10에 나타난 바와 같이, 4개의 비트라인으로 나누어진 상태에서 다중디코더(300)를 통하여 읽으려는 4개의 비트라인에 배치된 4개의 로컬 셀에 해당하는 워드라인을 동시에 활성화한다.
- [0060] 이때, 각각의 비트라인은 로컬 셀에 저장된 각각의 데이터에 따라서 방전이 되거나 전하를 유지하며 VDD의 전압을 유지한다.
- [0061] 이어서, 도 11에 나타난 바와 같이, 비트스위치(151)를 닫고 Charge Sharing을 통해 4비트 해상도의 아날로그 출력전압을 생성한다.
- [0062] 삭제
- [0063] 삭제
- [0064] 삭제
- [0066] 외부로부터 입력된 아날로그 데이터를 디지털 데이터로 변환하여 로컬 셀(130)에 저장되도록 하기 위하여는, 도 12에 나타난 바와 같이, 입출력회로를 통하여 아날로그 전압(V_{IN})을 기준전압(V_{REF})과 비교해가며 대소관계를 이용하여 해당 비트(Bit)가 1인지 0인지 판단한다.
- [0067] 먼저, 도 13에 나타난 바와 같이, 세로 방향에 대해서 디지털 데이터를 저장할 4개의 로컬 셀을 0으로 초기화하고, 이어서, 도 14에 나타난 바와 같이, 일측의 비트라인(110)을 통하여 이진수 $1000_{(2)}$ 에 해당하는 기준전압을 생성하고, 입출력회로(500)를 통하여 입력되는 입력전압과 비교하여 입력전압이 더 클 경우 최상위 자리인 첫번째 로컬 셀에 $1(D[3]=1)$ 을 저장하고, 입력전압이 작거나 같으면 $0(D[3]=0)$ 을 저장한다.
- [0068] 이어서, 도 15에 나타난 바와 같이, 이진수 $\{D[3], 100\}_{(2)}$ 에 해당하는 기준전압을 생성하고, 입출력회로(500)를 통하여 입력되는 입력전압과 비교하여 입력전압이 더 클 경우 두번째 자리인 두번째 로컬 셀에 $1(D[2]=1)$ 을 저장하고, 입력전압이 작거나 같으면 $0(D[2]=0)$ 을 저장한다.
- [0069] 이어서, 도 16에 나타난 바와 같이, 이진수 $\{D[3], D[2], 10\}_{(2)}$ 에 해당하는 기준전압을 생성하고, 입출력회로(500)를 통하여 입력되는 입력전압과 비교하여 입력전압이 더 클 경우 세번째 자리인 세번째 로컬 셀에 $1(D[1]=1)$ 을 저장하고, 입력전압이 작거나 같으면 $0(D[1]=0)$ 을 저장한다.
- [0070] 이어서, 도 17에 나타난 바와 같이, 이진수 $\{D[3], D[2], D[1], 1\}_{(2)}$ 에 해당하는 기준전압을 생성하고, 입출력회로(500)를 통하여 입력되는 입력전압과 비교하여 입력전압이 더 클 경우 네번째 자리인 네번째 로컬 셀에 $1(D[0]=1)$ 을 저장하고, 입력전압이 작거나 같으면 $0(D[0]=0)$ 을 저장한다.
- [0071] 아울러, 기준전압을 만들기 위해서는 순서에 따라 해당 자릿수의 비트는 1을 유지하여야 하고, 그 위의 데이터는 앞에서 써진 데이터에 의존하고 그 뒤의 자릿수는 0으로 고정된다.
- [0072] 이에 해당하는 기준 전압을 만들기 위해서 처음에 데이터가 써질 로컬 셀을 0으로 초기화하고 각 순서에서의 비트에 해당하는 로컬 셀만 워드라인을 켜지 않아 VDD로 충전된 전하를 유지한다.

도면

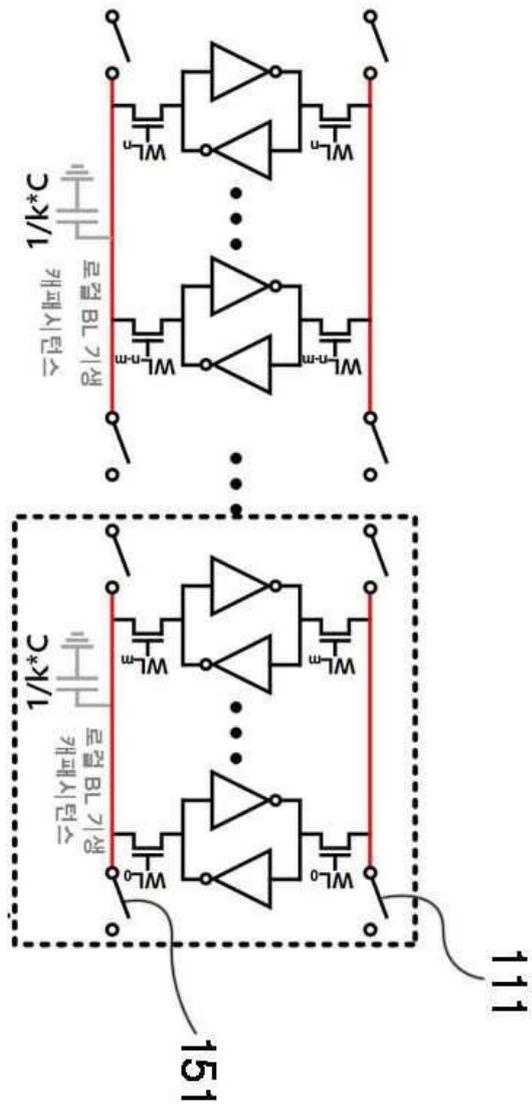
도면1



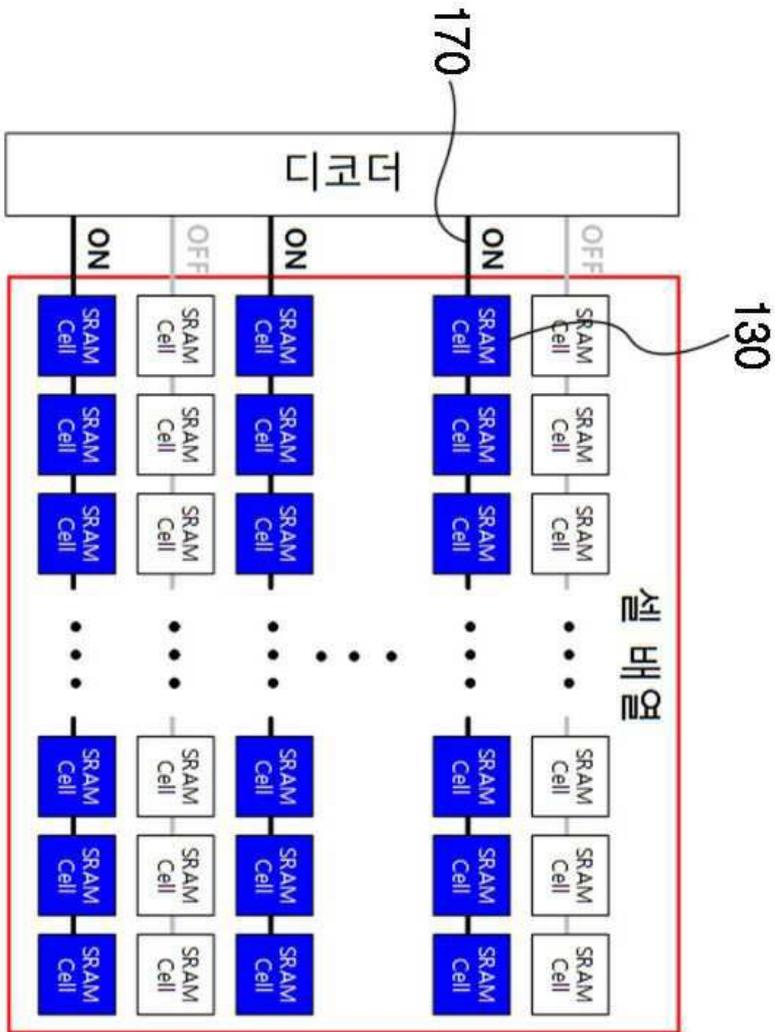
도면2



도면3

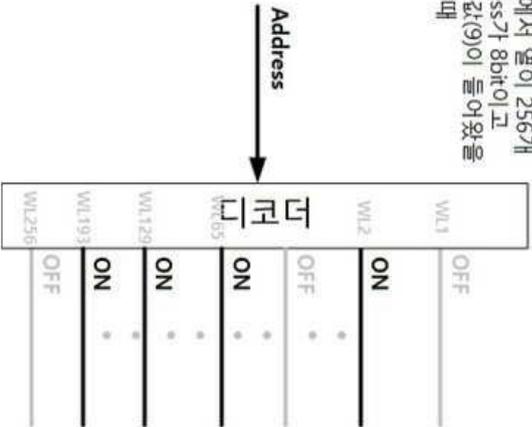


도면4



다중 Access Decoder

예로, 셀 배열에서 열이 256개 이면 Address가 8bit이고 00001001⁽²⁾의 값(9)이 들어왔을 때



Addressing

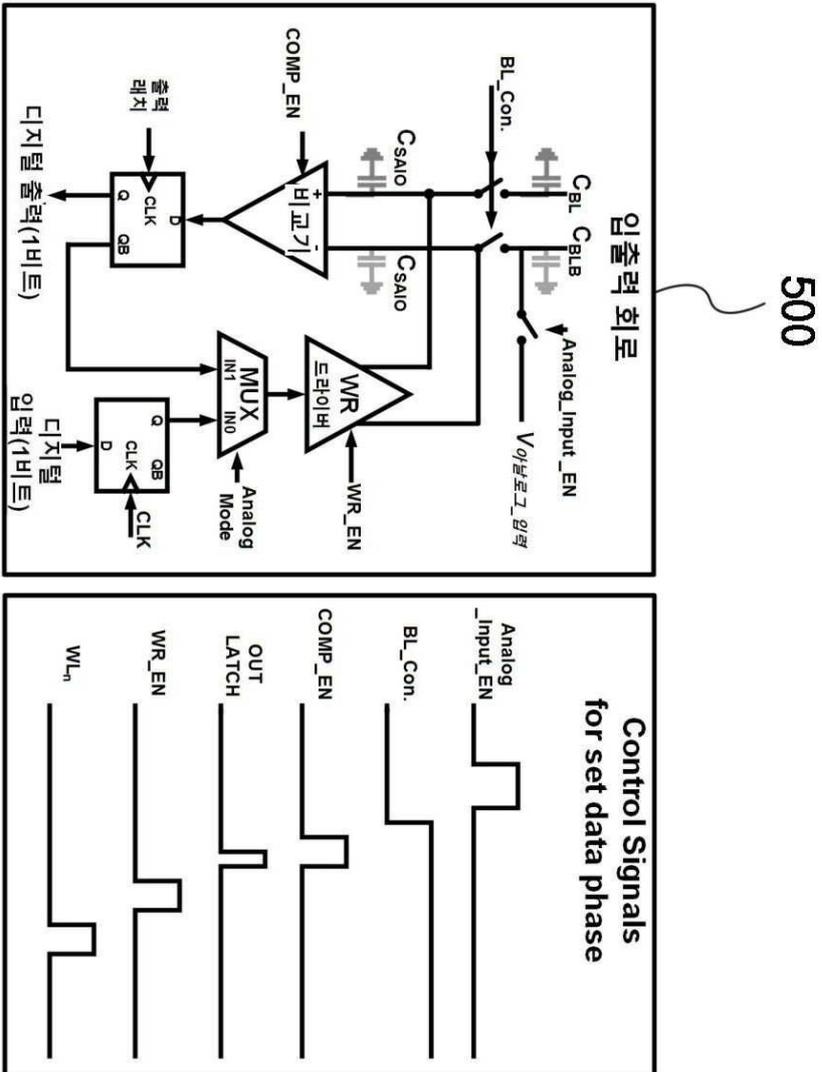
A[7]	A[6]	A[5]	A[4]	A[3]	A[2]	A[1]	A[0]
------	------	------	------	------	------	------	------

Mode Selection Address in Local Cell Array 2bit Offset

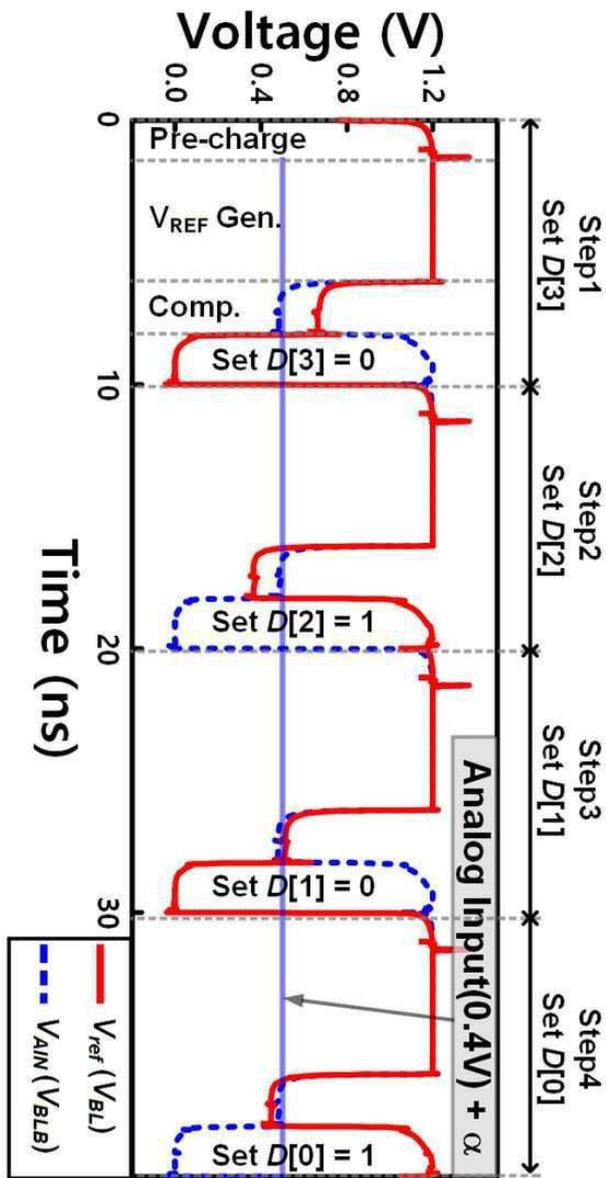
256개의 WL 중에서 동시에 4개의 WL이 켜지고, 4개가 선택되는 기준은 하위 2bit를 제외한 값을 들면 00001001⁽²⁾ 중에서 하위 2bit(01)은 무시되고 4개로 나뉜 각 64개중에서 000010₂에 해당하는 (두 번째, 2, 63+2, 127+2, 191+2) WL이 켜진다

도면5

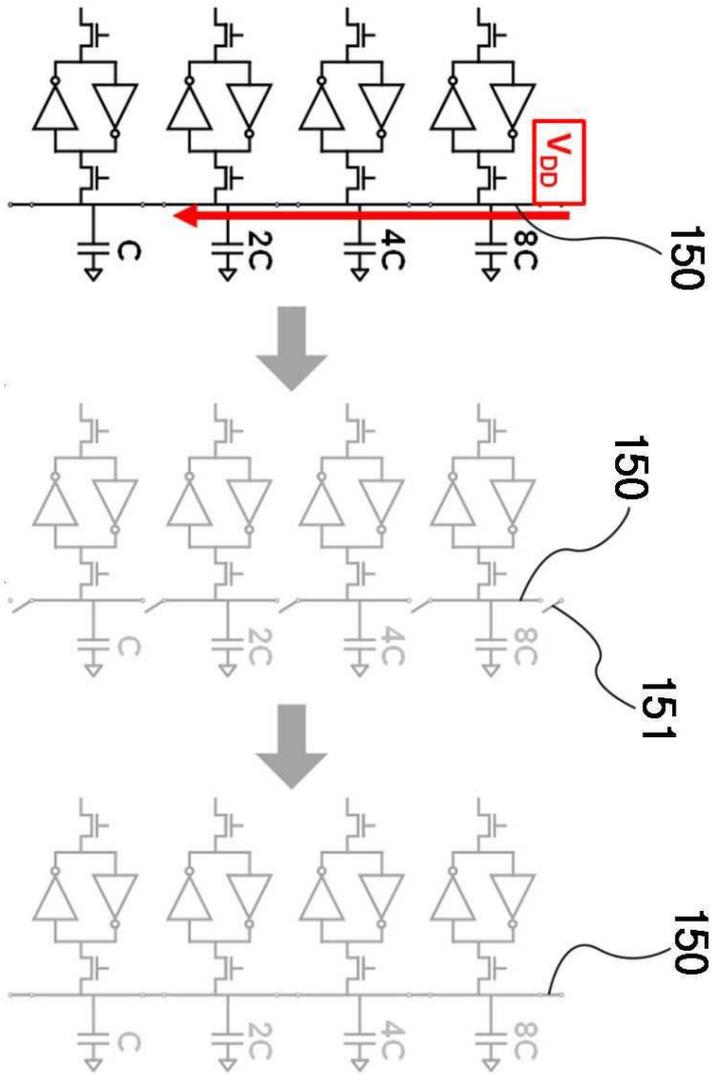
도면6



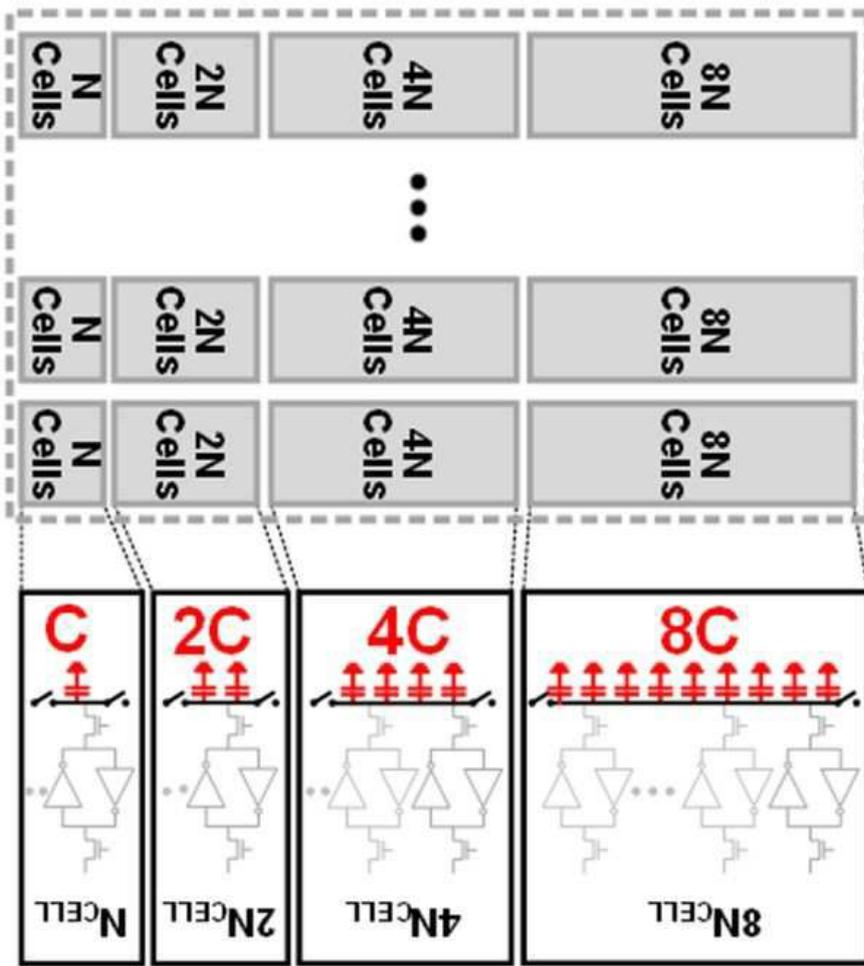
도면7



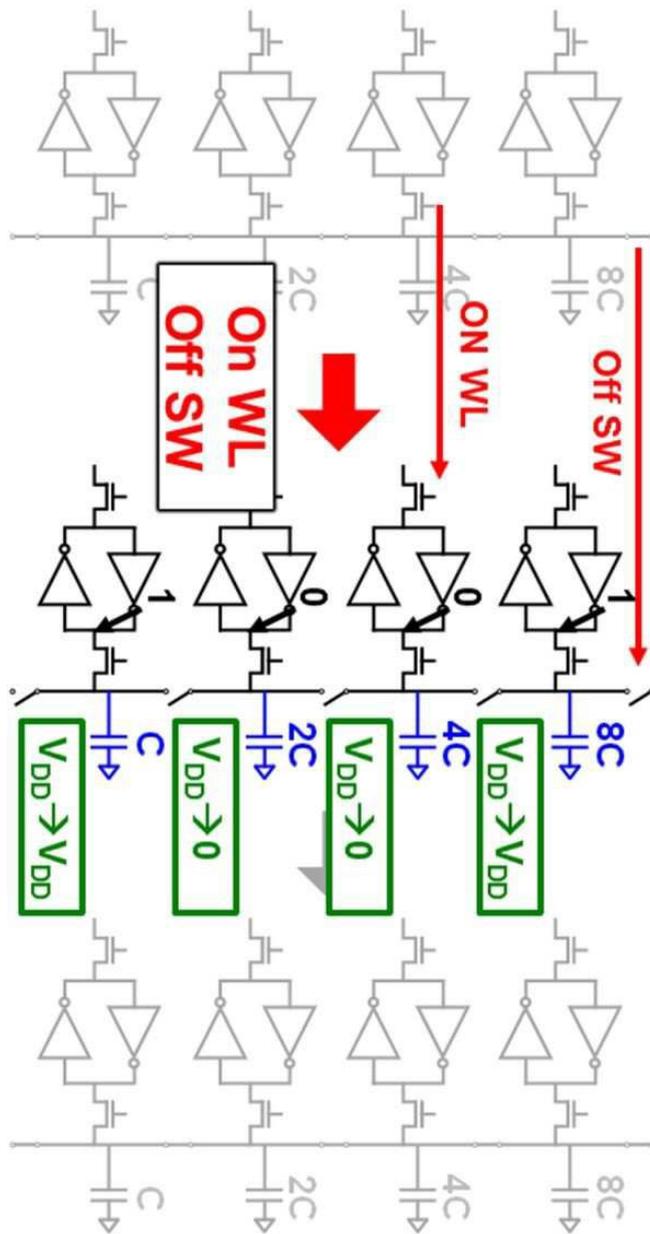
도면8



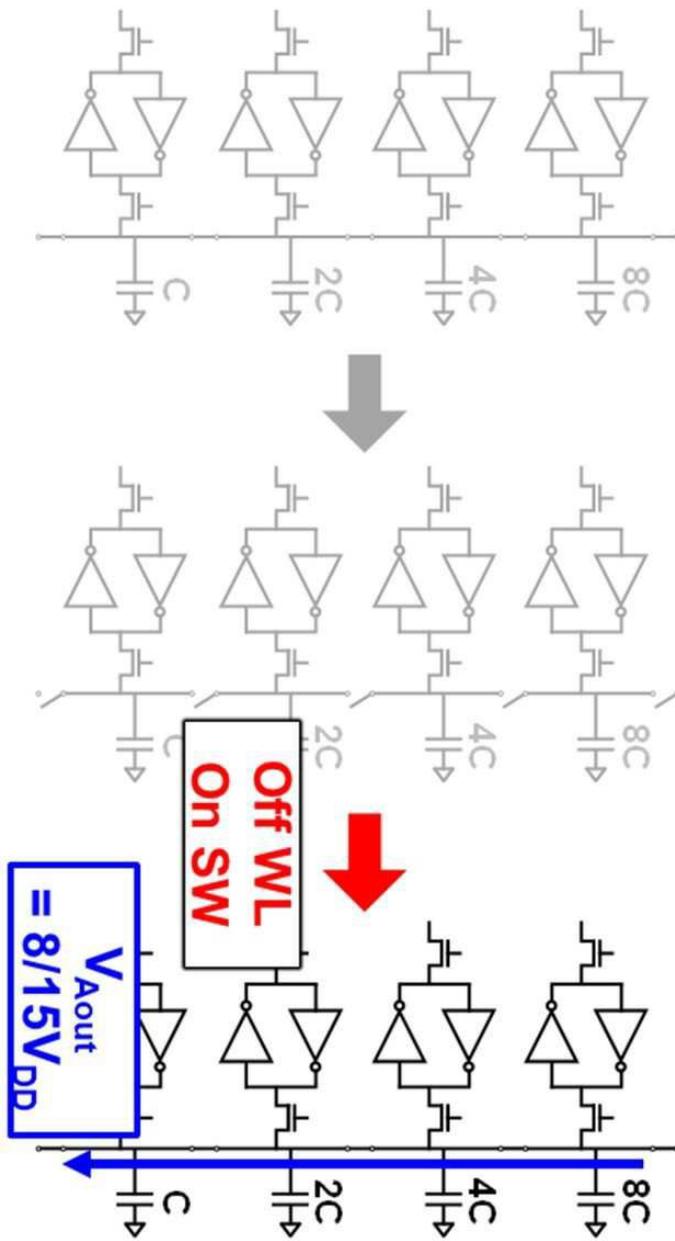
도면9



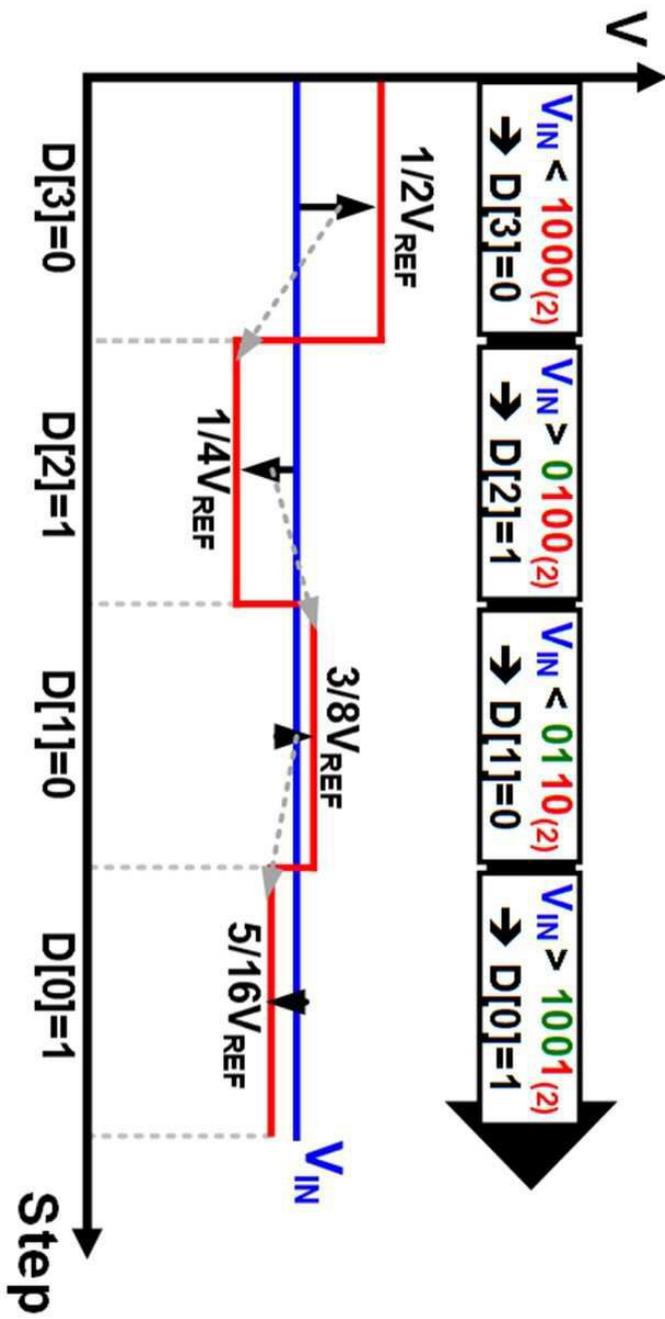
도면10



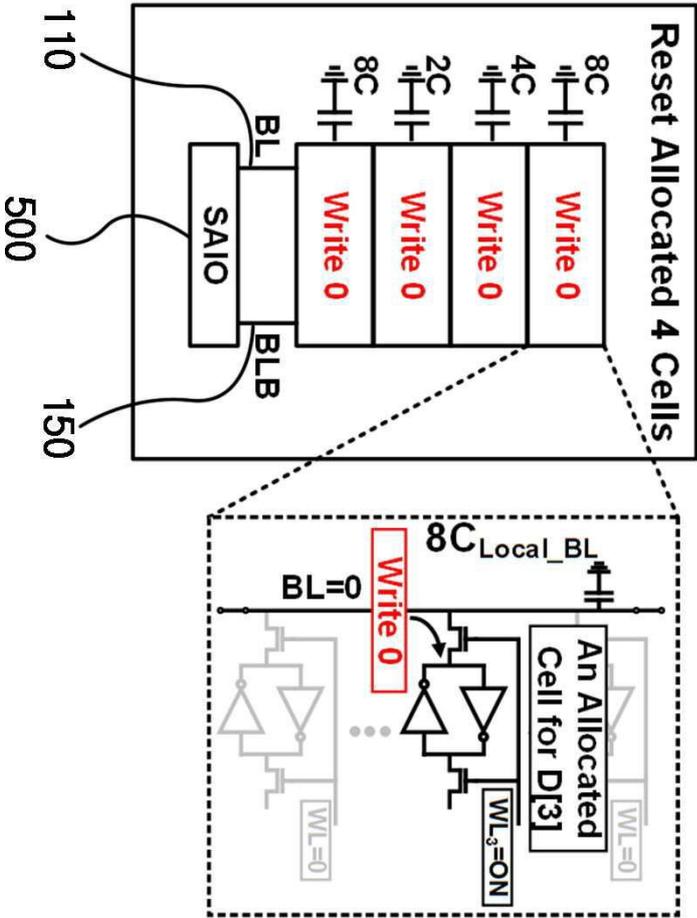
도면11



도면12

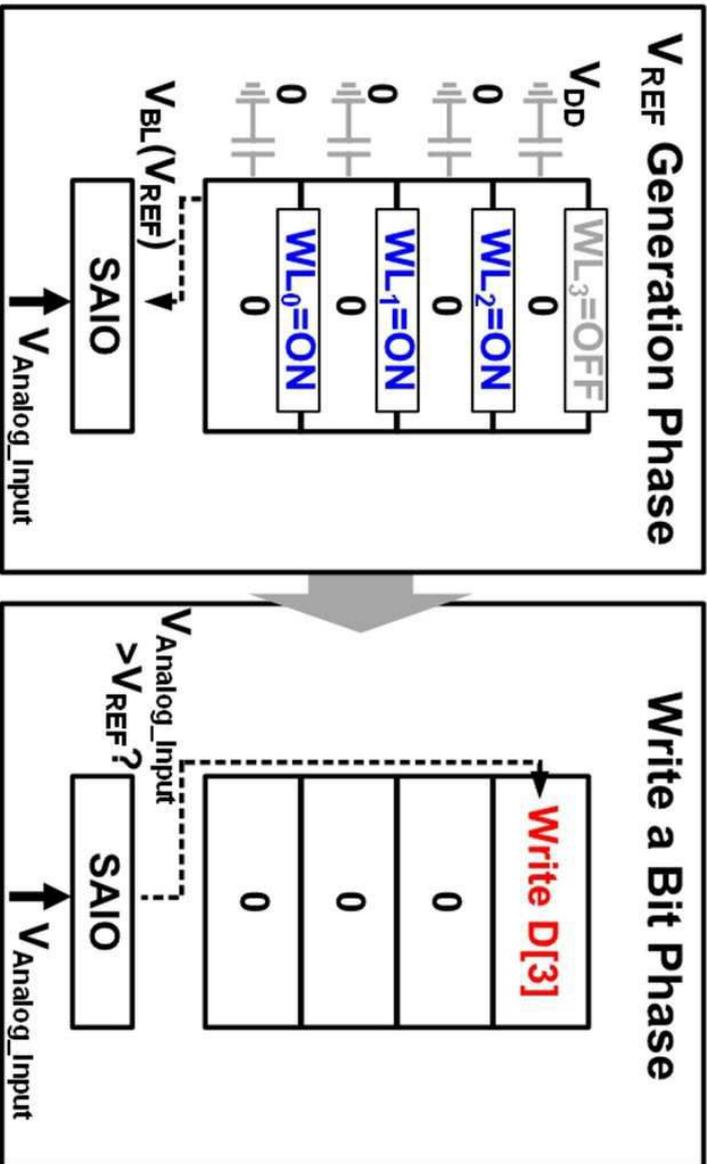


□ Step 1/5: Reset the Allocated Bit Cells



도면13

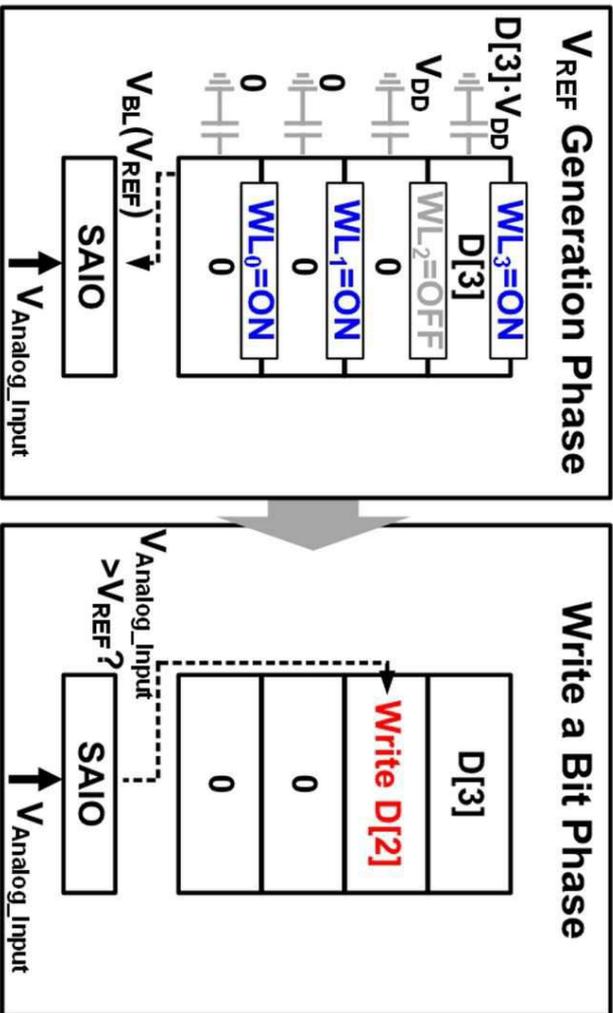
□ Step 2/5: Determine and Write a Bit of D[3]



도면14

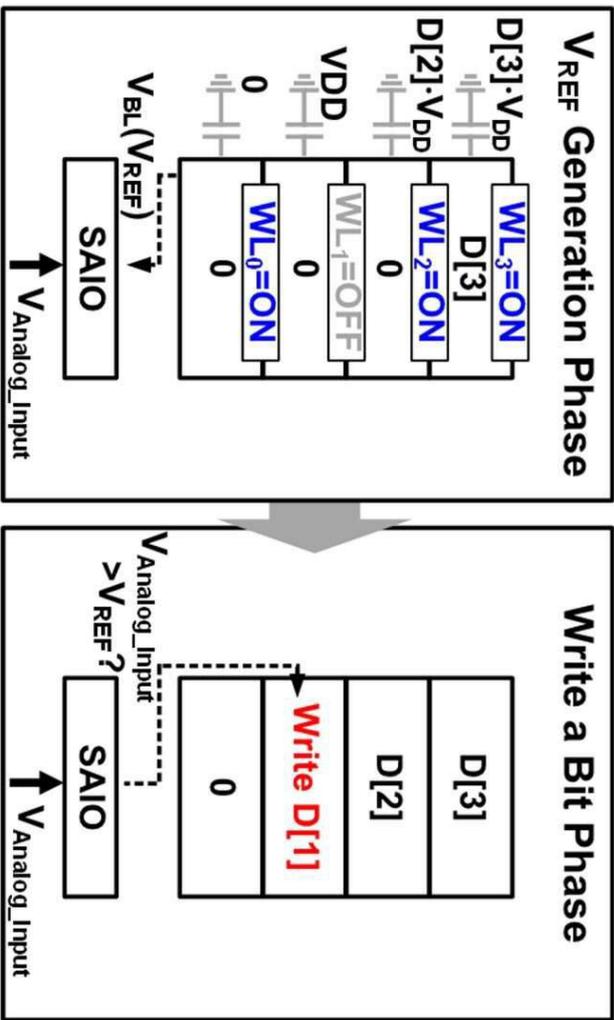
도면15

□ Step 3/5: Determine and Write a Bit of D[2]



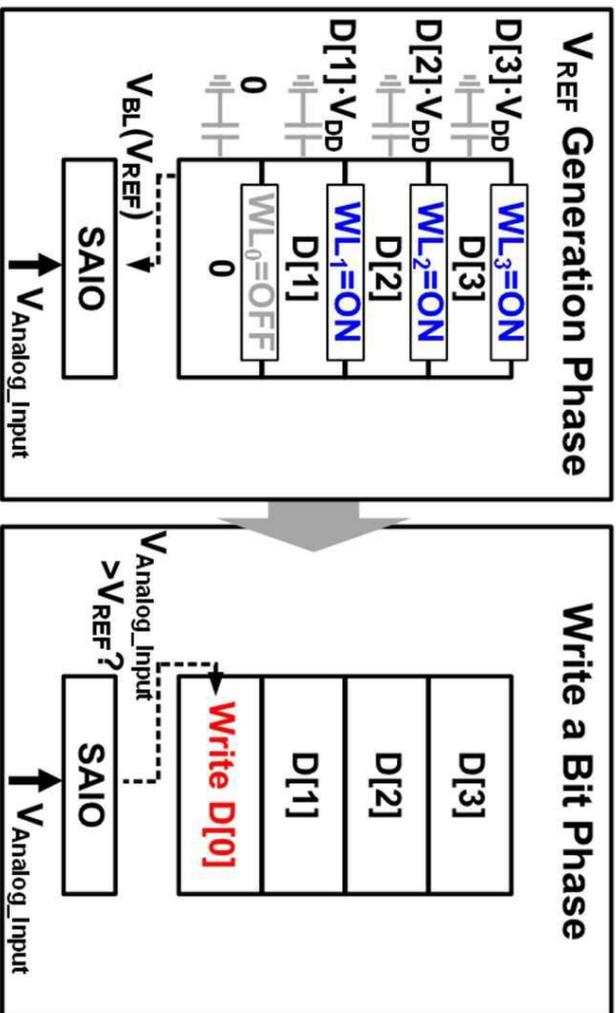
도면16

□ Step 4/5: Determine and Write a Bit of D[11]

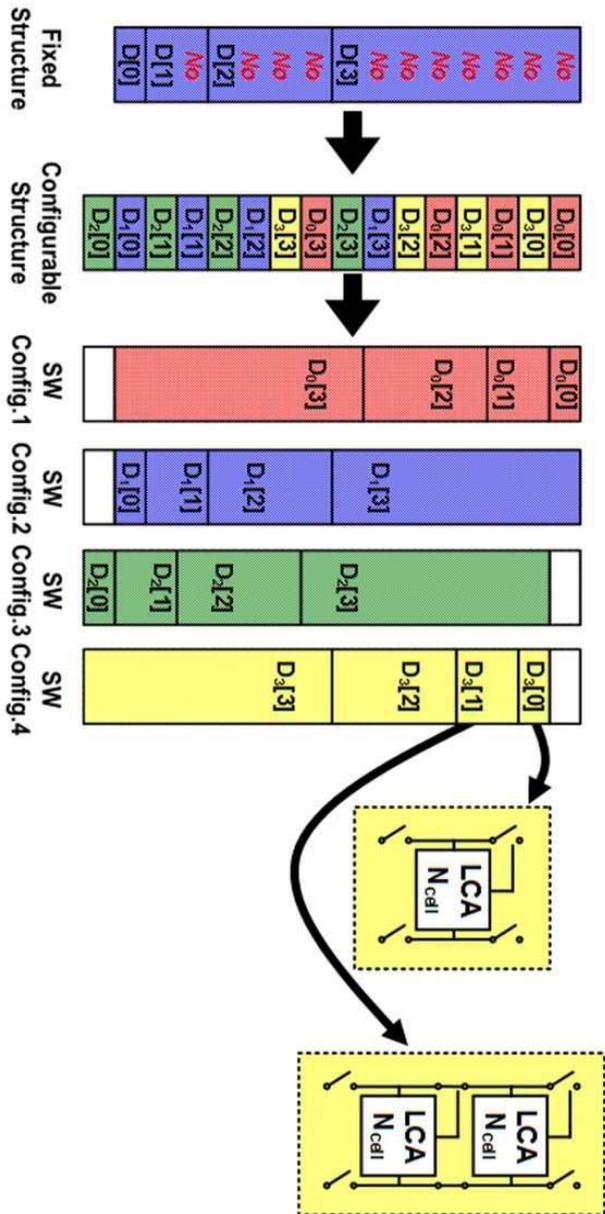


□ Step 5/5: Determine and Write a Bit of D[0]

도면17



도면18



도면19

