

**發明專利說明書**

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：95118106

※ 申請日期：95.5.22

※IPC 分類：H01L 21/8242

**一、發明名稱：**(中文/英文)

半導體元件之製造方法

METHOD FOR FORMING A SEMICONDUCTOR DEVICE

**二、申請人：**(共 1 人)

姓名或名稱：(中文/英文)

南亞科技股份有限公司 / Nanya Technology Corporation.

代表人：(中文/英文) 連日昌 / Jih-Chang Lien

住居所或營業所地址：(中文/英文)

桃園縣龜山鄉華亞科技園區復興三路 669 號

Hwa-Ya Technology Park 669, Fuhsing 3 Rd., Kueishan, Taoyuan, Taiwan, R.O.C

國 籍：(中文/英文) 中華民國/TW

**三、發明人：**(共 1 人)

姓 名：(中文/英文)

1. 李培瑛 / Pei-Ing LEE

國 籍：(中文/英文)

中華民國/TW

**四、聲明事項：**

主張專利法第二十二條第二項  第一款或  第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

美國 US；2005 年 6 月 6 日；11/145,728

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 九、發明說明：

### 【發明所屬之技術領域】

本發明係有關於一種半導體元件之製造方法，且更特別地，係有關於一種半導體元件之製造插塞的方法。

### 【先前技術】

半導體元件，如記憶體元件、用以資料儲存之動態隨機存取記憶體（Dynamic Random Access Memory, DRAM）、或其他種類等，係為目前廣泛使用，且許多申請案正進行此方面研究。

然而，傳統上製造電晶體及位元線插塞的方法需要至少兩道微影製程，其導致相關光罩之高製造成本。此外，於包含電容、主動區、電晶體、及位元線插塞等元件之製作製程中的四道微影製程間所造成之嚴重的對準誤差，其亦影響到製程良率。再者，字元線之線寬度會佔據位元線插塞的空間，因此，使位元線插塞與字元線間常發生短路，而提升插塞製程的不良率。特別地，隨著動態隨機存取記憶體尺寸的縮減，這種失敗率會益趨嚴重。據此，目前所需的是提供一種記憶體元件之字元線及位元線插塞的製造方法。

### 【發明內容】

本發明為提供一種本發明係提供一種半導體元件的製造方法。本發明之一實施例為提供一種形成半導體元件之方法，其包括提供一具有嵌壁式閘極與深溝槽電容元件於其中之基底，其暴露出嵌壁式閘極之突出部與深溝槽電

容元件之上部，且於上部及突出部之側壁形成間隙壁，並於間隙壁間之間隙形成一導電材料之埋入層，另對基底、間隙壁、及埋入層進行圖案化以形成平行之淺溝槽結構進而定義主動區，於淺溝槽結構內形成一介電材料層，而其中部分埋入層可作為埋入式位元線插塞，以及形成一穿過嵌壁式閘極之字元線，其中字元線係包括局部重疊覆蓋於嵌壁式閘極上，且至少重疊覆蓋部分之寬度乃小於嵌壁式閘極之寬度。

### 【實施方式】

本發明將藉由以下的較佳具體實施例而作更進一步地詳細說明，但這些具體實施例僅是作為舉例說明，而非用以限定本發明之範疇。

本發明說明書中，諸如「存在於基底上方 (overlying the substrate)」、「在層之上方 (above the layer)」、或「位於膜上 (on the film)」僅表示相對於基底層之表面的相對位置關係，並無關乎中間層的存在與否。據此，此種表示不僅指出一或多層直接接觸之狀態，且指出一或多層之未接觸狀態。

請參考第 1 圖，俯視示意圖，其繪示深溝槽電容元件 102 及嵌壁式電晶體 112 的配置狀態，其中嵌壁式電晶體之位置係藉由圍繞其周圍的深溝槽電容元件與位於深溝槽電容元件之上部側壁之間隙壁而界定。

請參考第 2 圖，先行形成一基底 100，於基底 100 內係具有深溝槽電容元件 102，且深溝槽電容元件 102 之上部 104 乃位於基底 100 之表面之上，墊層 106 及如氮化矽

(SiN)等之介電覆蓋層 108 係形成於深溝槽電容元件 102 上部 104 之側壁，介電覆蓋層 108 為具有凹陷區 (concave area)，此凹陷區係大體上位於兩鄰近深溝槽電容之上部 104 之間。是以，可對介電覆蓋層 108、墊層 106、及基底 100 進行自行對準之蝕刻製程以形成位於溝槽電容元件 102 之間的嵌壁式溝槽 110。

請參考第 3 圖，對鄰接嵌壁式溝槽 110 之基底 100。進行摻雜以形成環繞嵌壁式溝槽 110 之通道區域 114，接著，一閘極介電層 116，較佳地為包含氧化矽，係形成於基底 100 上之嵌壁式溝槽 110 之內，其中，如可使用一熱製程形成閘極介電材料層 116，接著填充一導電材料，如多晶矽、鎢、矽化鎢，於嵌壁式溝槽 110 以形成嵌壁式閘極 118。並且於形成閘極介電層 116 之熱製程及/或其他後續製程所發生的熱製程期間，於基底 100 中隨之形成外擴散區域 122。

對深溝槽電容元件 102 之上部 104、介電覆蓋層 108、嵌壁式閘極 118 之上部進行平坦化製程，接著，以選擇性濕式蝕刻製程進行介電覆蓋層 108 的移除以顯露深溝槽電容元件 102 之上部 104 及嵌壁式閘極 118 之突出部 120。此平坦化方法係包括化學機械研磨製程、毯覆式回蝕刻 (blanket etching back)、或凹蝕蝕刻 (recess etching) 製程。嵌壁式閘極 118 之突出部 120 的上表面大體上係與深溝槽電容元件 102 之上部 104 為同等平面。

請參考第 4 圖，間隙壁 124 係形成於上部 104 及突出部 120 之側壁，如此一來，位於其上的間隙壁 124 間之空隙 126 則可自行對準。間隙壁 124 可藉由沈積一化學氣相

沈積氮化矽薄膜以及對該化學氣相沈積氮化矽薄膜進行乾式回蝕刻製程而形成。因此，間隙壁 124 係圍住上部 104 及突出部 120，且部份基底 100 係被深溝槽電容元件 102、嵌壁式電晶體 112、及位於環形空隙 126 外之間隙壁 124 覆蓋，是以，接著進行離子佈植以於嵌壁式通道區域 114 之兩側及其環形空隙 126 下方形成源極/汲極區域 128。

請參考第 5 圖及第 6 圖，一導電材料層，較佳為包含以摻雜之多晶矽或金屬，係形成於基底 100 之上，且填充於間隙壁 124 間之空隙 126。其後，對導電材料層、間隙壁 124、深溝槽電容元件 102、及嵌壁式閘極 112 進行平坦化製程已於間隙壁 124 間之空隙 126 內形成埋入層 130，如第 5 及 6 圖所示，此埋入層 130 為環繞於深溝槽電容元件 102 之上部 104。此平坦化方法係使用化學機械研磨製程、毯覆式回蝕刻、或凹蝕蝕刻製程以達成。

第 6 圖顯示一俯視示意圖，其繪示於平坦化製程後的深溝槽電容元件 102 之上部 104 圖案、間隙壁 124、埋入層 130、及嵌壁式電晶體 112 之突出部 120。

請參考第 6 圖及第 7 圖，對間隙壁 124、埋入層 130、深溝槽電容元件 102、及嵌壁式閘極 112 進行圖案化製程以形成平行淺溝槽 132，圖案化製程可藉由微影及蝕刻製程而達成。圖案化製程同時可定義出主動區域 136 且製造隔離層以隔絕電晶體。平行淺溝槽 132 係接鄰圖案化之深溝槽電容元件 102 及圖案化之嵌壁式閘極 112 之邊緣區域。換句話說，圖案化製程後間隙壁 124 及埋入層 130 係被分為位於深溝槽電容 102 及嵌壁式閘極 112 側邊之數個

區域，因此，則形成圖案化之埋入層 134a 及 134b，且圖案化之埋入層 134a 係作為埋入插塞或埋入位元線插塞。

介電材料層係形成於淺溝槽之內，介電材料可為藉由高密度電漿（HDP）製程沈積而得之氧化物，以形成相關技藝所述之淺溝槽隔離結構，最終，對介電材料進行平坦化以顯露上部 104、間隙壁 124、圖案化埋入層 134、及突出部 120。

請參考第 8 圖，導電材料層 136 係全面性地沈積於基底 100 上，導電材料較佳地係選自純粹之金屬矽化物，如矽化鎢（WSi），或金屬，如鎢。較佳地，導電材料層 136 之厚度約為 800 埃至 1500 埃，導電材料層 136 係以毯覆式沈積而得。接著，介電材料層 138 沈積於導體材料層 136 上，其中此介電材料 138 較佳地為選自由化學氣相沈積製程形成的氮化矽，較佳地，介電材料層 138 之厚度約為 800 埃至 1500 埃，介電材料層 138 可作為以後續製程形成之自行對準的上部位元線插塞洞之蝕刻停止層。

是以，本發明具有優勢之處在於純金屬與純金屬矽化物乃直接沈積於嵌壁式閘極 120 之頂端，無須毯覆式多晶矽層之參與。此外，純金屬或純金屬矽化物係用以作為一閘極導體，而由於沒有多晶矽層之加入，因此可降低閘極導體之厚度，閘極導體厚度之降低可使後續的 SAC 位元線插塞洞蝕刻製程更為易於施行，且其亦可降低位元線與字元線間之耦合效應。

請參考第 9 圖，對介電材料層 138 與導電材料層 136 進行圖案化製程，其使用微影製程與蝕刻製程以形成字元線 140 與閘極覆蓋介電層 142，以於部分深溝槽電容元件

102 及/或越過部分嵌壁式閘極 112 之上形成字元線 140。

其中字元線 140 包括重疊於嵌壁式閘極 120 之重疊部分，且至少一該些重疊部分係具有一寬度  $W1$ ，此寬度  $W1$  乃較至少一嵌壁式閘極 112 之寬度  $W2$  為窄。

在本發明部分實施例中，字元線乃平行地形成，字元線的寬度係較嵌壁式閘極 112 的寬度為窄。

請參考第 14 圖，於本發明實施例中，至少一字元線具有數個不同寬度之部分，其中之一和嵌壁式閘極 112 重疊部分係具有一寬度  $W1$ ，此寬度  $W1$  乃較該嵌壁式閘極 112 之寬度  $W2$  為窄。

請參考第 10 圖，間隙壁 144 形成於字元線 140 與閘極覆蓋介電層 142 之側壁，較佳地為氮化物，可以化學氣相沈積製程及反應性離子蝕刻 (RIE) 回蝕刻製程形成，較佳地，氮化物間隙壁 144 之厚度範圍係為 300 至 1000 埃。

請參考第 11 圖，於基底上方形成一第二介電材料層 146，例如，此第二介電材料層 146 可先沈積一層硼磷矽玻璃 (BPSG)，再進行習知之熱回流製程 (reflow process) 形成之。

請參考第 12 圖，藉由微影製程及蝕刻製程對此第二介電材料層 146 進行圖案化以形成位元線插塞洞 148 並曝露出埋入位元線插塞 134a。

請參考第 13 圖，一第二導電材料層 (未顯示) 形成於第二介電材料層 146 上，且填充至位元線插塞洞 148 以形成上部位元線插塞，最終地，對金屬材料層進行圖案化以形成平行位元線 150。上述第二導電材料層例如為多晶



矽、鈦、氮化鈦及鎢等材料。

在另一實施例中（未顯示），可選擇性地以傳統雙金屬鑲嵌製程形成位元線與上部位元線插塞（upper bit line contacts），上部位元線插塞洞 148 係藉由選擇性自行對準反應性離子蝕刻回蝕刻製程而形成並顯露出埋入位元線插塞洞 134a，且可藉由施以簡單硼磷矽玻璃蝕刻穿透製程而形成位元線溝槽。接著，沈積金屬導線（化學氣相沈積或物理氣相沈積鈦/氮化鈦）與化學氣相沈積鎢位元線並施以化學機械研磨以形成雙金屬鑲嵌位元線與上部位元線插塞。

當與習知技術比較而言，本發明之字元線佔據了較小的空間，字元線結構為位元線插塞節省了空間，且增大了形成上部位元線插塞的製程裕度。此外，字元線結構之另一優勢在於其可改善字元線阻容遲滯(RC delay)之表現，且其亦可降低位元線與字元線間之耦合效應。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

**【圖式簡單說明】**

第 1 圖為一俯視示意圖，其繪示依據本發明實施例所描述之深溝槽電容元件及嵌壁式溝槽的配置態樣。

第 2 圖為一剖面示意圖，其繪示依據本發明實施例所描述之嵌壁式溝槽的製造方法。

第 3 圖為一剖面示意圖，其繪示依據本發明實施例所描述之具有突出部之嵌壁式電晶體的製造方法。

第 4 圖為一剖面示意圖，其繪示依據本發明實施例所描述之以間隙壁形成空隙的製造方法。

第 5 圖為一剖面示意圖，其繪示依據本發明實施例所描述之形成埋入層的製造方法。

第 6 圖為一俯視示意圖，其繪示依據本發明實施例所描述之深溝槽電容元件、嵌壁式閘極、間隙壁、及埋入層之配置態樣。

第 7 圖為一俯視示意圖，其繪示依據本發明之實施例所描述淺溝槽、圖案化深溝槽電容元件、圖案化嵌壁式閘極、圖案化間隙壁、及圖案化埋入層之配置態樣。

第 8 圖為一剖面示意圖，其繪示依據本發明實施例所描述之字元線的製造方法。

第 9 圖為一剖面示意圖，其繪示依據本發明實施例所描述之字元線的製造方法。

第 10 圖為一剖面示意圖，其繪示依據本發明實施例所描述之字元線的製造方法。

第 11 圖為一剖面示意圖，其繪示依據本發明實施例所描述之位元線插塞的製造方法。

第 12 圖為一剖面示意圖，其繪示依據本發明實施例所描述之位元線插塞的製造方法。

第 13 圖為一剖面示意圖，其繪示依據本發明實施例所描述之位元線插塞的製造方法。

第 14 圖為一俯視示意圖，其繪示依據本發明實施例所描述之淺溝槽、圖案化深溝槽電容元件、圖案化嵌壁式閘極、圖案化間隙壁、及字元線之配置態樣。

### 【主要元件符號說明】

100~基底；	102~深溝槽電容元件；
104~上部；	106~墊層；
108~介電覆蓋層；	110~嵌壁式溝槽；
112~嵌壁式電晶體；	114~通道區域；
116~閘極介電層；	118~嵌壁式閘極；
120~突出部；	122~外擴散區域；
124~間隙壁；	126~空隙；
128~源極/汲極區域；	130~埋入層；
132~平行淺溝槽；	134a、134b~圖案化埋入層；
136~主動區域、導電材料層；	138~介電材料層；
140~字元線；	142~閘極覆蓋介電層；
144~間隙壁；	146~第二介電材料層；
148~位元線插塞洞；	150~平行位元線；
W1、W2~寬度。	

## 五、中文發明摘要：

本發明係提供一種半導體元件的製造方法，其係包括提供一具有嵌壁式閘極（recessed gates）與深溝槽電容元件於其中之基底，其暴露出嵌壁式閘極之突出部（protrusions）與深溝槽電容元件之上部（upper portions），且於上部及突出部之側壁形成間隙壁，並於間隙壁間之間隙形成一導電材料之埋入層（buried portions），另對基底、間隙壁、及埋入層進行圖案化以形成平行之淺溝槽結構進而定義主動區，接著，於淺溝槽結構內形成一介電材料層，而其中部分埋入層可作為埋入式位元線插塞（buried contacts）；以及形成一穿過嵌壁式閘極之字元線，其中字元線係包括局部重疊覆蓋於嵌壁式閘極上，且重疊覆蓋部分之寬度乃小於嵌壁式閘極之寬度。

## 六、英文發明摘要：

A method for forming a semiconductor device is provided. A substrate is provided, wherein the substrate has recessed gates and deep trench capacitor devices therein. Protrusions of the recessed gates and upper portions of the deep trench capacitor devices are revealed. Spacers are formed on sidewalls of the upper portions and the protrusions. Buried portions of conductive material are formed in spaces between the spacers. The substrate, the spacers and the buried portions to form parallel shallow trenches are patterned form parallel shallow trenches for defining active regions. A layer of dielectric material is formed in the shallow trenches, wherein some of the buried portions serve as buried bit line contacts. Word lines are formed across the recessed gates, wherein at least one of the word lines comprises portions overlapping the recessed gates. At least one of the overlapped portions has a narrower width than at least one of the recessed gates.

## 十、申請專利範圍：

1. 一種半導體元件的製造方法，包括：

提供一基底，其具有嵌壁式閘極與深溝槽電容元件，其中該嵌壁式閘極之突出部與深溝槽電容元件之上部係露出於該基底；

於該上部及該突出部之側壁形成間隙壁；

於該間隙壁間之間隙形成一由導電材料構成之複數埋入層；

對該基底、該間隙壁、及該些埋入層進行圖案化製程以形成平行之淺溝槽結構進而定義出主動區；

於該淺溝槽結構內形成一介電材料層，其中一些埋入層係作為埋入式位元線插塞；以及

形成一跨過該嵌壁式閘極之字元線，其中該字元線係包括局部重疊覆蓋於該嵌壁式閘極上，且該重疊覆蓋部分之寬度小於該嵌壁式閘極之寬度。

2. 如申請專利範圍第 1 項所述之半導體元件的製造方法，其中該間隙壁係包括氮化矽。

3. 如申請專利範圍第 1 項所述之半導體元件的製造方法，其中該導電材料係包括多晶矽。

4. 如申請專利範圍第 1 項所述之半導體元件的製造方法，其中該間隙更進一步環繞於該深溝槽電容元件之上部周圍。

5. 如申請專利範圍第 1 項所述之半導體元件的製造方法，其中該介電材料層係包括氧化物。

6. 如申請專利範圍第 1 項所述之半導體元件的製造方法，其中該圖案化製程係包括一微影製程及一蝕刻製

程。

7.如申請專利範圍第 1 項所述之半導體元件的製造方法，其中該平行淺溝槽結構係形成於接鄰圖案化之該深溝槽電容元件與圖案化之該嵌壁式閘極的邊緣。

8.如申請專利範圍第 1 項所述之半導體元件的製造方法，其更包括於該埋入式位元線插塞上形成一上部位元線插塞，且形成一位元線以與該上部位元線插塞連結。

9.一種半導體元件的製造方法，包括：

提供一基底，其具有嵌壁式閘極與深溝槽電容元件，其中該嵌壁式閘極之突出部與深溝槽電容元件之上部係露出於該基底；

於該上部及該突出部之側壁形成間隙壁；

於該基底上形成一導電材料層；

對該導電材料層進行平坦化製程以於間隙壁間之間隙中形成複數埋入層；

對該基底、該間隙壁、該些埋入層、該深溝槽電容元件、及該嵌壁式閘極進行圖案化以形成平行之淺溝槽結構進而定義出主動區；

於該淺溝槽結構內形成一介電材料層，其中一些埋入層係作為埋入式位元線插塞；以及

形成一穿過該嵌壁式閘極之字元線，其中該字元線係包括局部重疊覆蓋於該嵌壁式閘極上，且該重疊覆蓋部分之寬度小於該嵌壁式閘極之寬度。

10.如申請專利範圍第 9 項所述之半導體元件的製造方法，其更包括：

於該基底上形成一第二介電材料層；

蝕刻該第二介電材料層進行以於該至少一埋入式位元線插塞上形成一位元線插塞洞；

於該第二介電材料層上形成一第二導電材料層，且填充該位元線插塞洞以形成上部位元線插塞；以及

對該第二導電材料層進行圖案化製程以形成一與該上部位元線插塞連結之位元線。

11.如申請專利範圍第 9 項所述之半導體元件的製造方法，其中該間隙壁係包括氮化矽。

12.如申請專利範圍第 9 項所述之半導體元件的製造方法，其中該導電材料係包括多晶矽。

13.如申請專利範圍第 9 項所述之半導體元件的製造方法，其中該平坦化製程係包括化學機械研磨、毯覆式回蝕刻、或凹蝕蝕刻製程。

14.如申請專利範圍第 9 項所述之半導體元件的製造方法，其中該間隙更進一步環繞於該深溝槽電容元件之上部周圍。

15.如申請專利範圍第 9 項所述之半導體元件的製造方法，其中該介電材料係包括氧化物。

16.如申請專利範圍第 9 項所述之半導體元件的製造方法，其中該圖案化製程係包括一微影製程及一蝕刻製程。

17.如申請專利範圍第 9 項所述之半導體元件的製造方法，其中該平行淺溝槽結構係形成於接鄰圖案化之該深溝槽電容元件與圖案化之該嵌壁式閘極的邊緣。

18.如申請專利範圍第 10 項所述之半導體元件的製造方法，其中該第二介電材料係包括一氧化物。

19.如申請專利範圍第 10 項所述之半導體元件的製造方法，其中該第二導電材料層係包括多晶矽、鈦、氮化鈦、及鎢。

20.如申請專利範圍第 10 項所述之半導體元件的製造方法，其中該對第二導電材料層進行圖案化製程係包括使用一微影製程及一蝕刻製程。

21.一種半導體元件的製造方法，包括：

提供一基底，其具有嵌壁式閘極與深溝槽電容元件，其中該嵌壁式閘極之突出部與深溝槽電容元件之上部係露出於該基底；

於該上部及該突出部之側壁形成間隙壁；

於該基底上形成一第一導電材料層；

對該第一導電材料層、該間隙壁、該深溝槽電容元件、及該嵌壁式閘極進行平坦化製程以於間隙壁間之間隙形成複數埋入層，其中該些埋入層係圍繞該深溝槽電容元件之上部；

對該基底、該間隙壁、該些埋入層、該深溝槽電容元件、及該嵌壁式閘極進行圖案化以形成平行之淺溝槽結構進而定義主動區；

於該淺溝槽結構內形成一第一介電材料層，其中一些埋入層係作為埋入式位元線插塞；以及

形成一穿過該嵌壁式閘極之字元線，其中該字元線係包括局部重疊覆蓋於該嵌壁式閘極上，且該重疊覆蓋部分之寬度乃小於該嵌壁式閘極之寬度。

22.如申請專利範圍第 21 項所述之半導體元件的製造方法，其更包括：



於該基底上形成一第二介電材料層；

對該第二介電材料層進行圖案化製程以形成一位元線插塞洞及一與其內連接之位元線溝槽；

於該位元線插塞洞及該位元線溝槽內形成一第二導電材料層。

23.如申請專利範圍第 21 項所述之半導體元件的製造方法，其中該間隙壁係包括氮化矽。

24.如申請專利範圍第 21 項所述之半導體元件的製造方法，其中該導電材料係包括多晶矽。

25.如申請專利範圍第 21 項所述之半導體元件的製造方法，其中該平坦化製程係包括化學機械研磨、毯覆式回蝕刻、或凹蝕蝕刻製程。

26.如申請專利範圍第 21 項所述之半導體元件的製造方法，其中該間隙更進一步環繞於該深溝槽電容元件之上部周圍。

27.如申請專利範圍第 21 項所述之半導體元件的製造方法，其中該第一介電材料層係包括氧化物。

28.如申請專利範圍第 21 項所述之半導體元件的製造方法，其中該圖案化製程係包括使用一微影製程及一蝕刻製程。

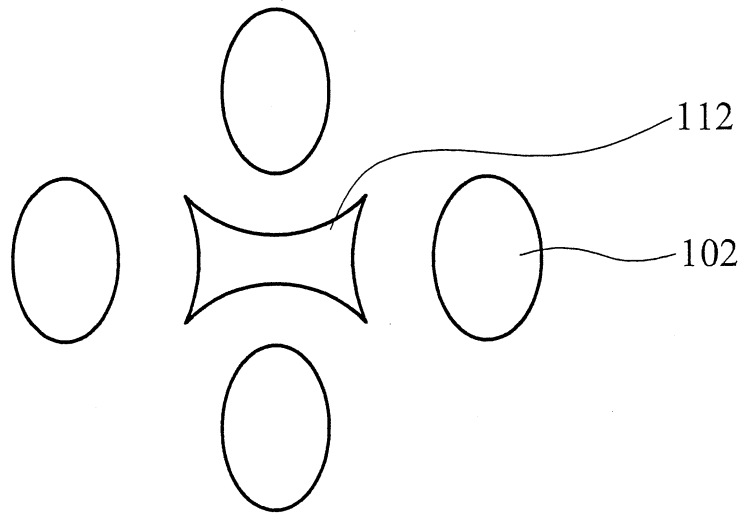
29.如申請專利範圍第 21 項所述之半導體元件的製造方法，其中該平行淺溝槽結構係形成於接鄰圖案化之該深溝槽電容元件與圖案化之該嵌壁式閘極的邊緣。

30.如申請專利範圍第 22 項所述之半導體元件的製造方法，其中該第二介電材料層係包括一氧化物。

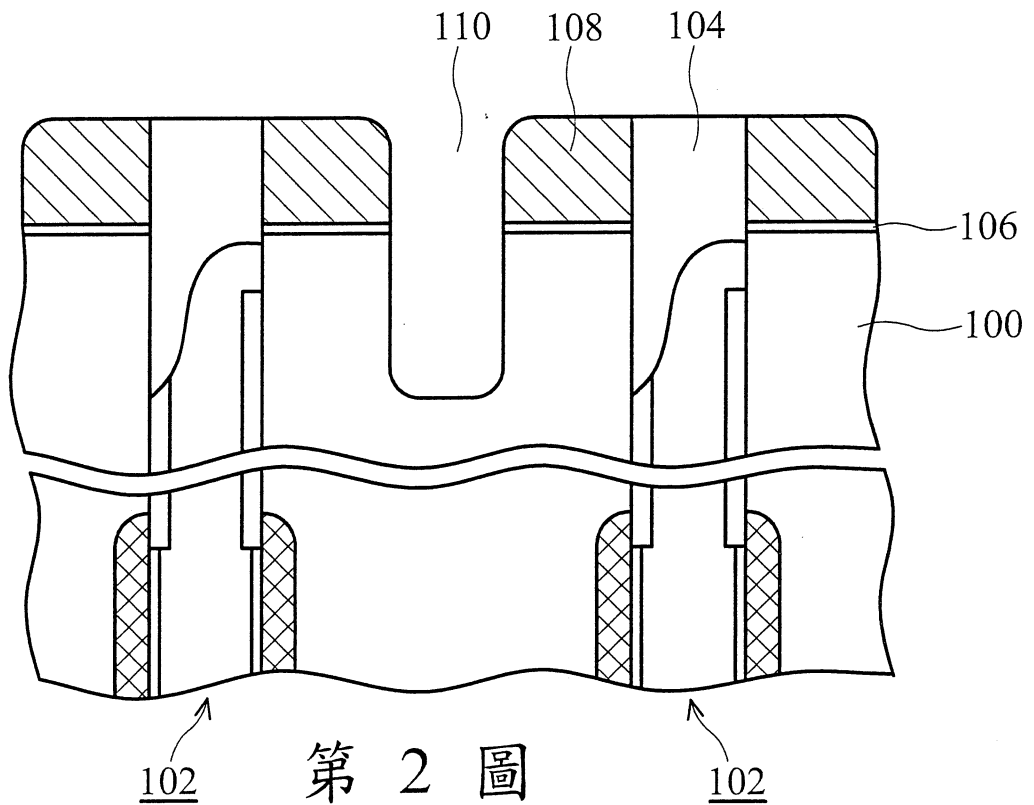
31.如申請專利範圍第 22 項所述之半導體元件的製

造方法，其中該第二導電材料層係包括多晶矽、鈦、氮化鈦、及鎢。

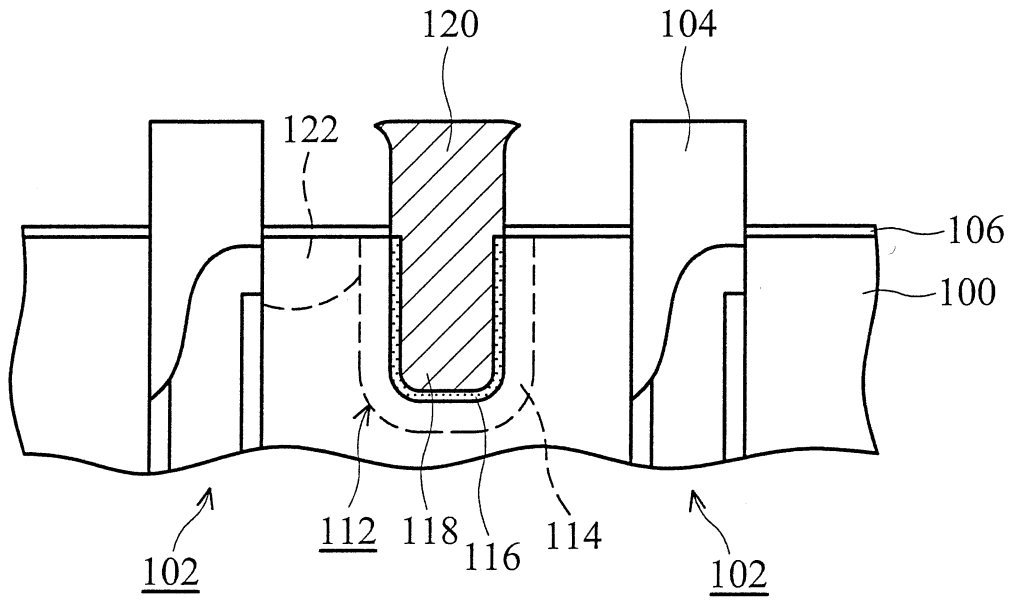
32.如申請專利範圍第 22 項所述之半導體元件的製造方法，其中該對第二導電材料層進行圖案化製程係包括使用一微影製程及一蝕刻製程。



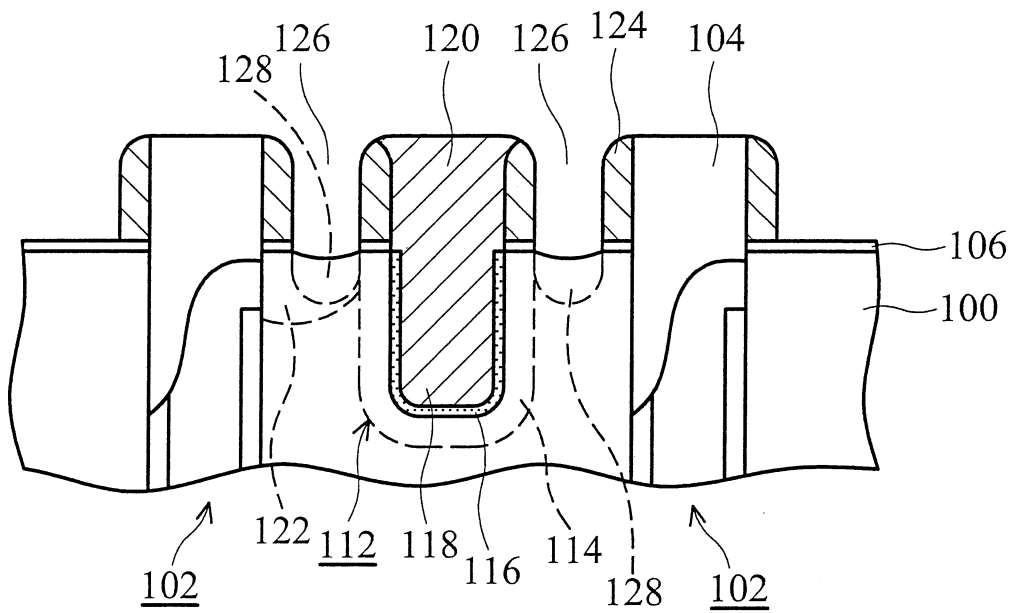
第 1 圖



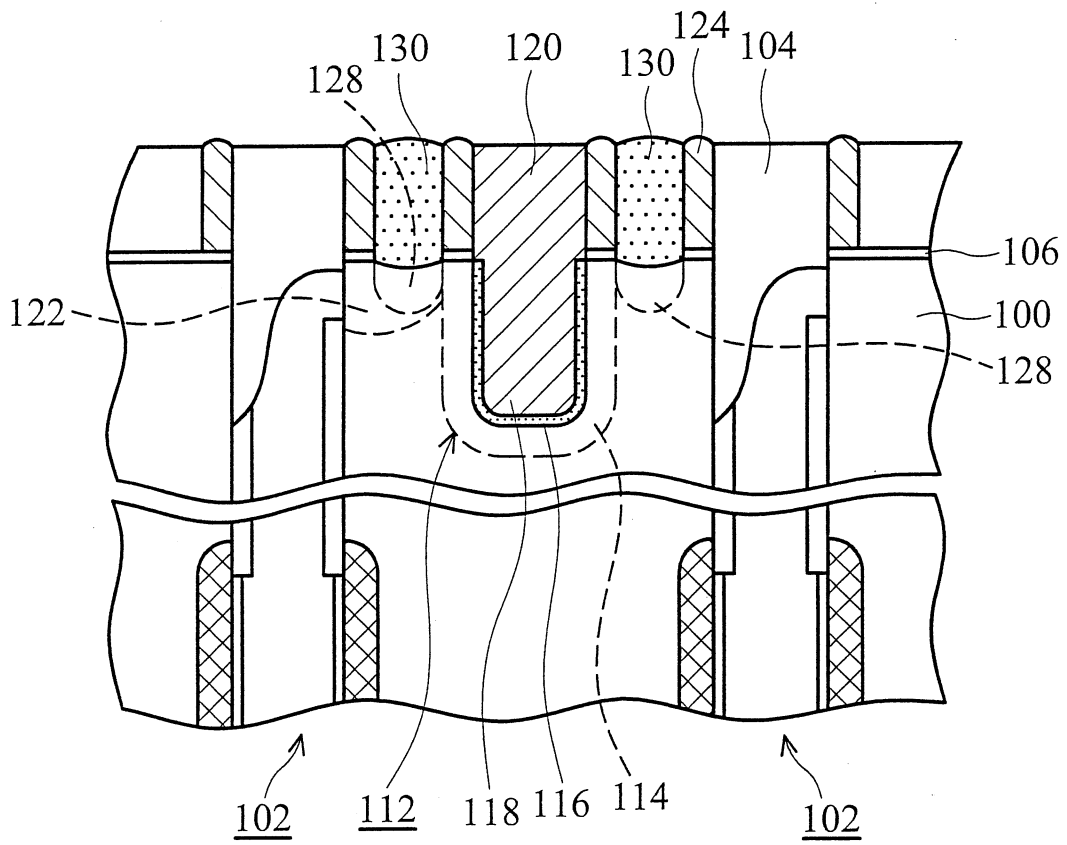
第 2 圖



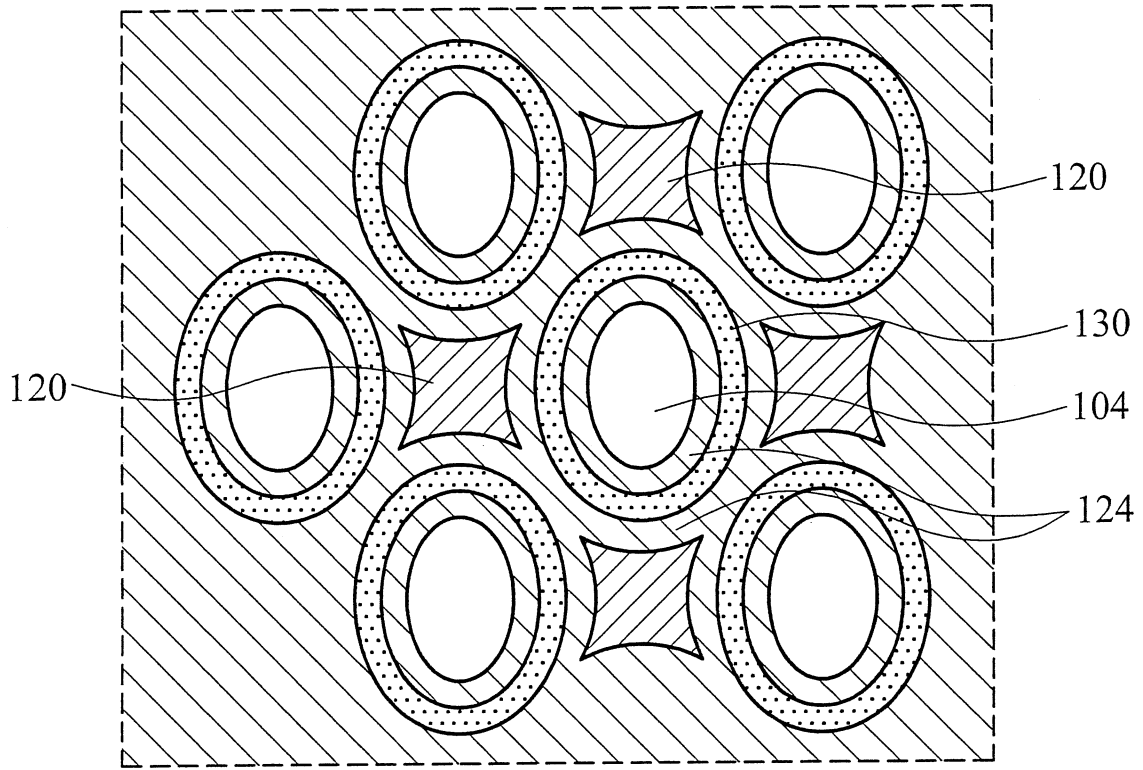
第 3 圖



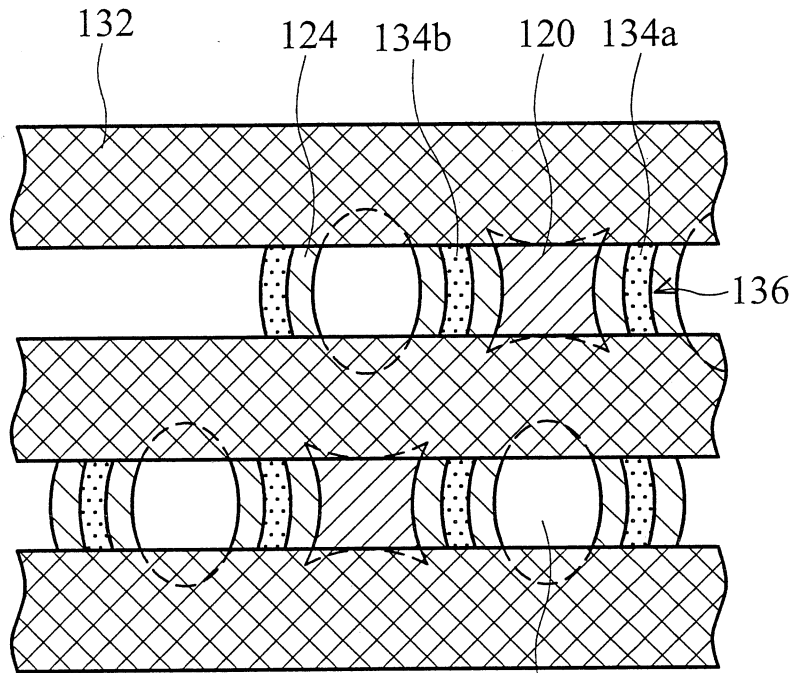
第 4 圖



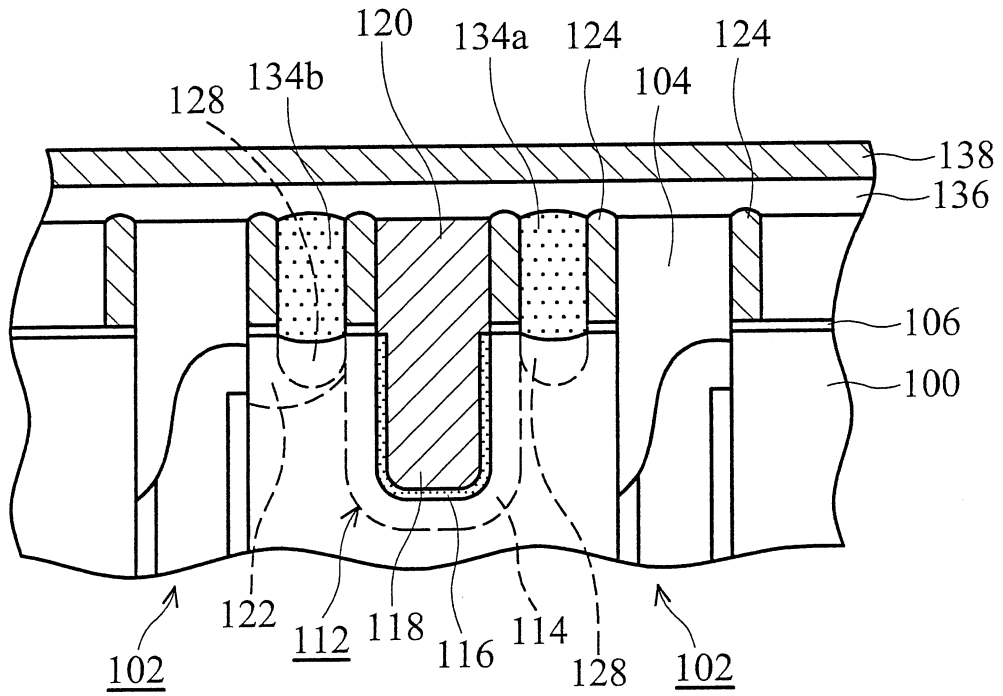
第 5 圖



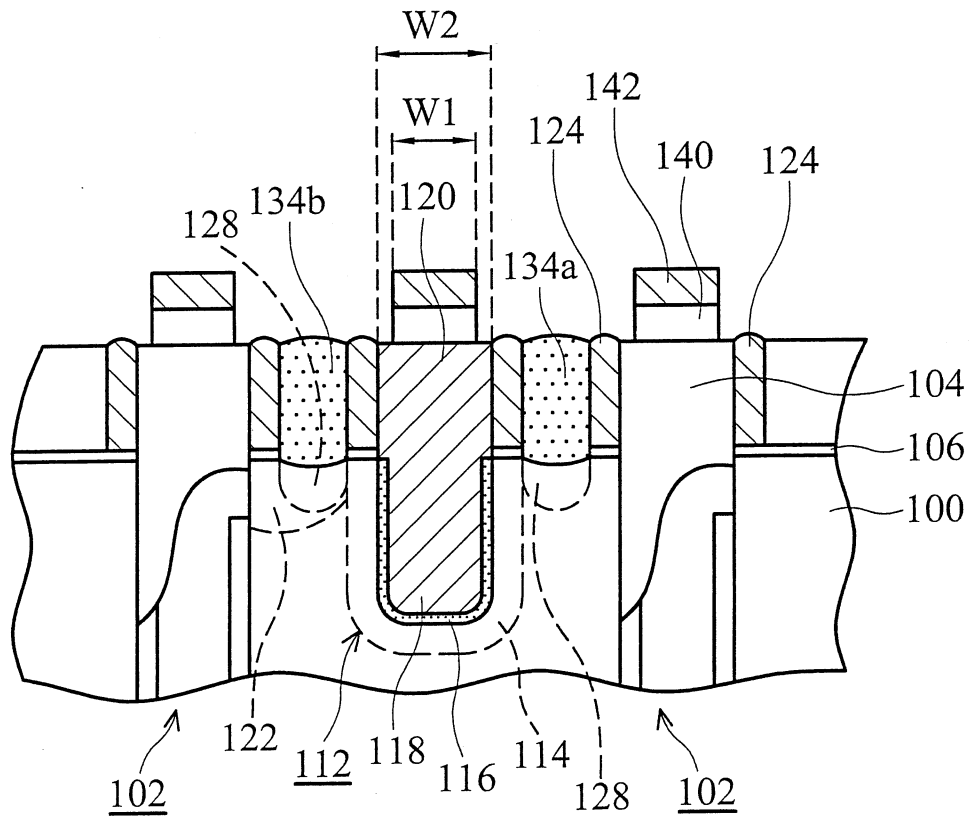
第 6 圖



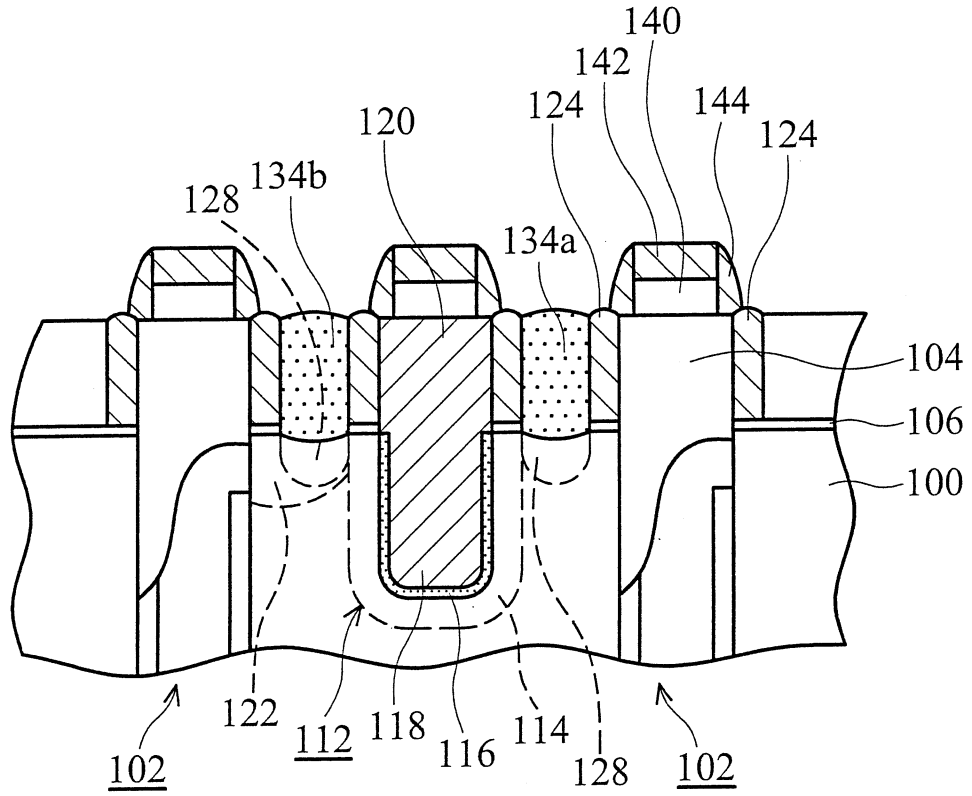
第 7 圖 104



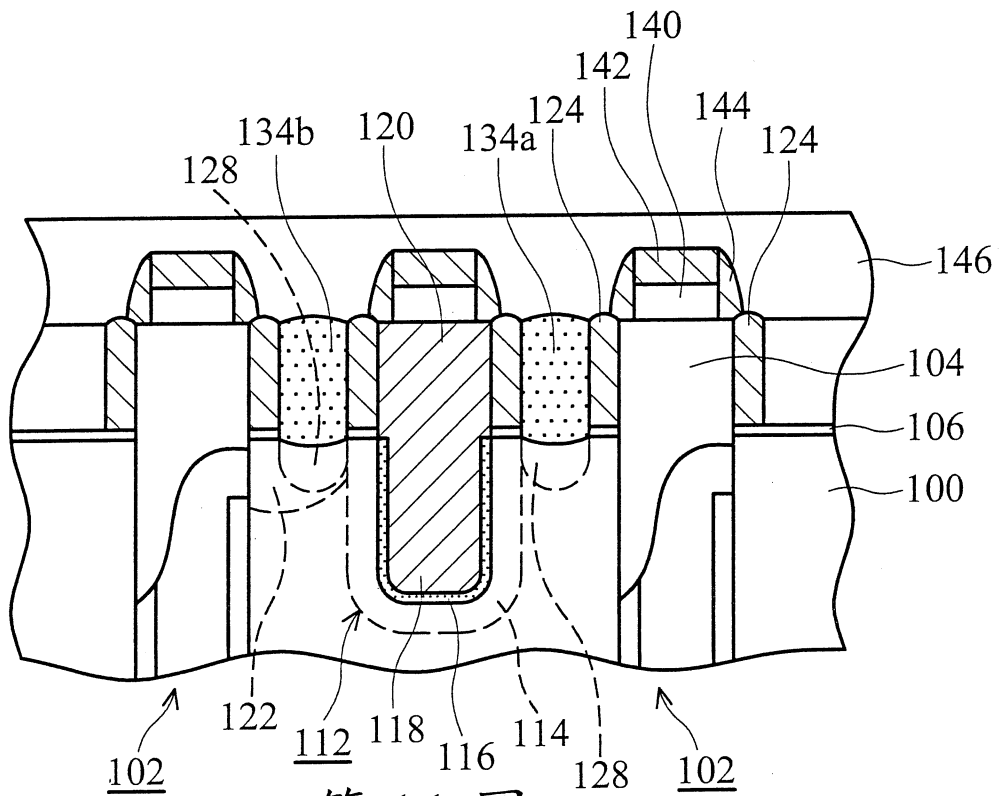
第 8 圖



第 9 圖

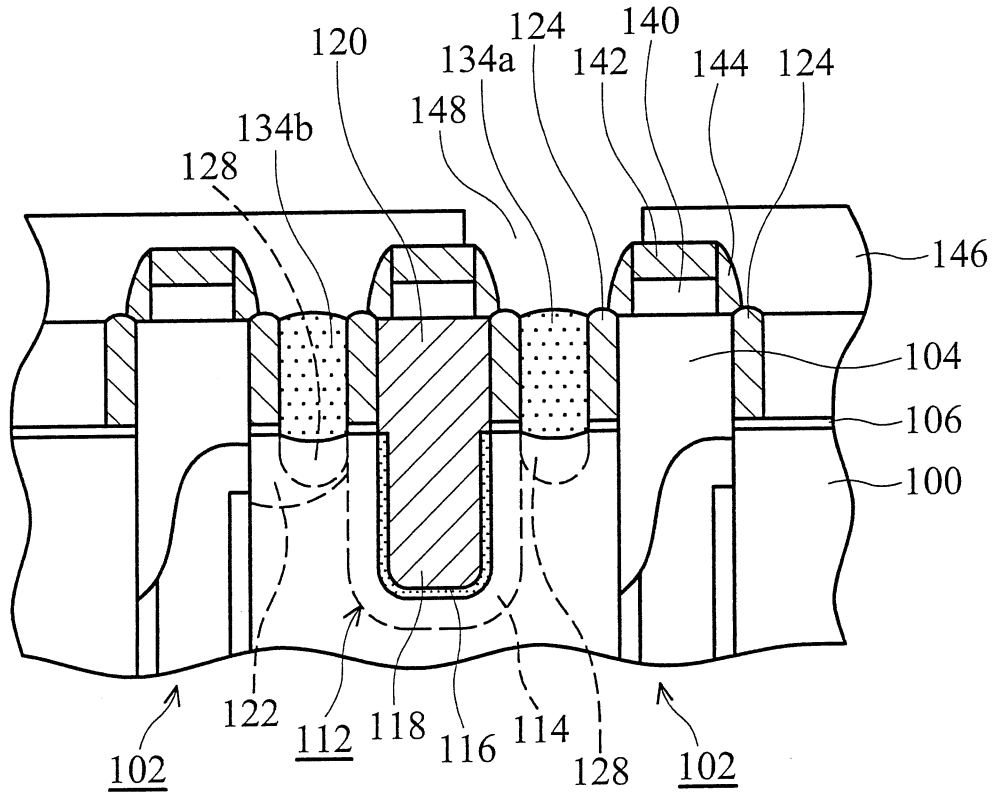


第 10 圖

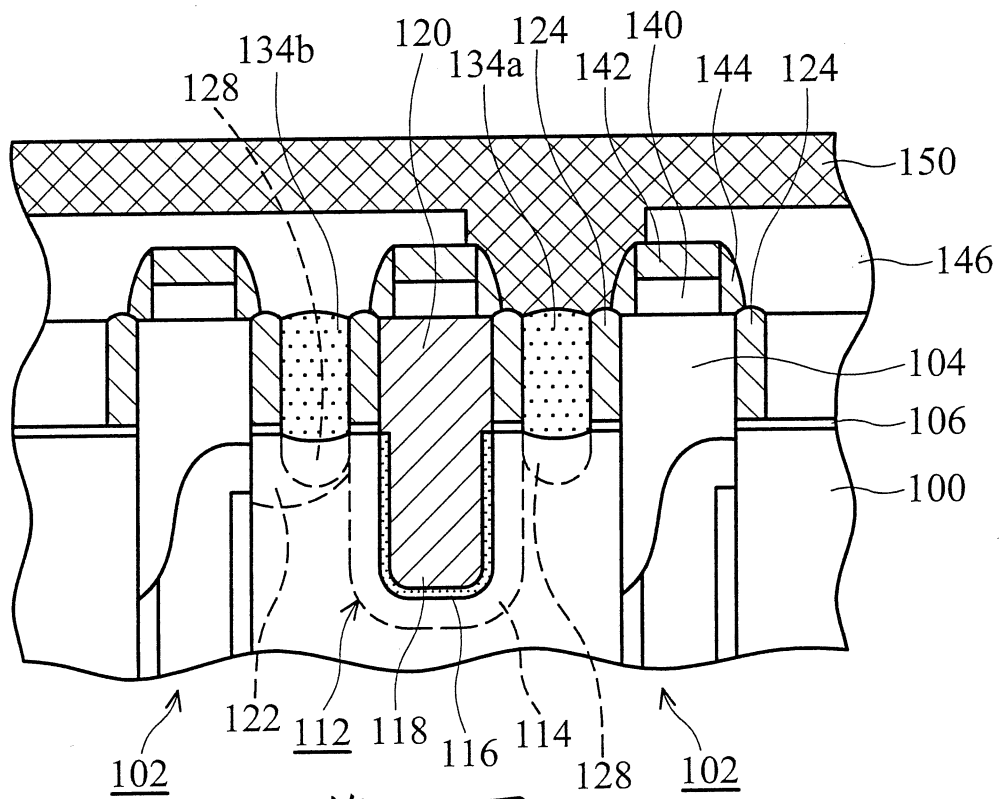


第 11 圖

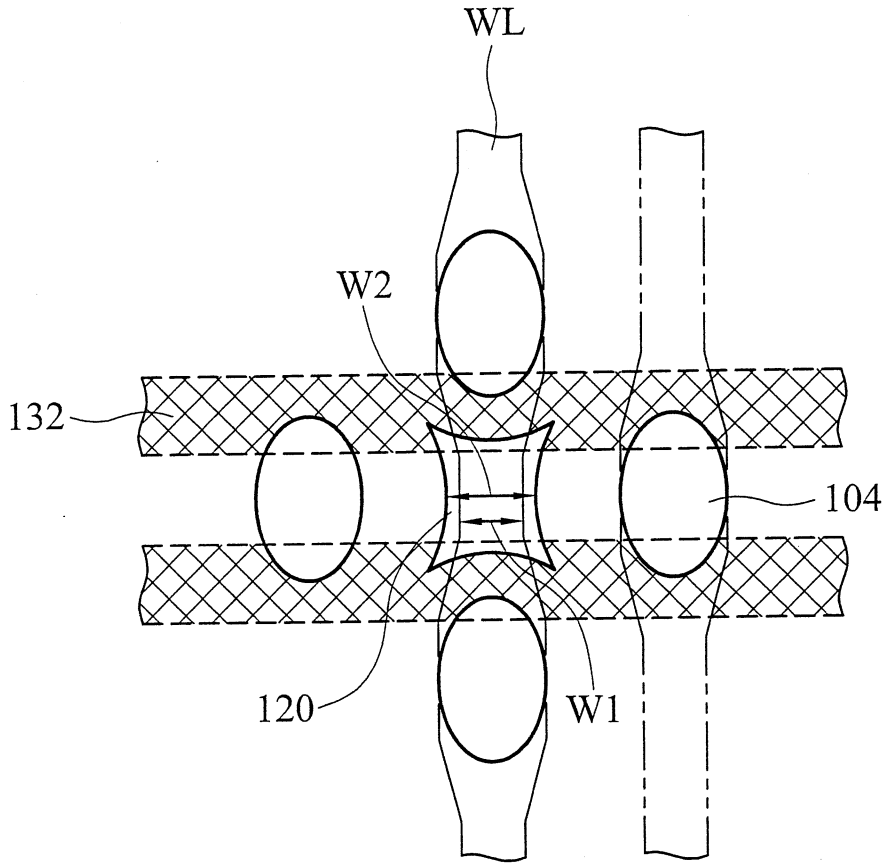




第 12 圖



第 13 圖



第 14 圖

**七、指定代表圖：**

(一)本案指定代表圖為：第 12 圖。

(二)本代表圖之元件符號簡單說明：

- 100~基底；
- 102~深溝槽電容元件；
- 104~上部；
- 106~墊層；
- 112~嵌壁式電晶體；
- 114~通道區域；
- 116~閘極介電層；
- 118~嵌壁式閘極；
- 120~突出部；
- 122~外擴散區域；
- 124~間隙壁；
- 128~源極/汲極區域；
- 134a、134b~圖案化埋入層；
- 140~字元線；
- 142~閘極覆蓋介電層；
- 144~間隙壁；
- 146~第二介電材料層；
- 148~位元線插塞洞。

**八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：**

無。