



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I695418 B

(45) 公告日：中華民國 109 (2020) 年 06 月 01 日

(21) 申請案號：106132526

(22) 申請日：中華民國 106 (2017) 年 09 月 22 日

(51) Int. Cl. : *H01L21/265 (2006.01)**H01L21/33 (2006.01)**H01L21/338 (2006.01)**H01L29/778 (2006.01)*(71) 申請人：新唐科技股份有限公司 (中華民國) NUVOTON TECHNOLOGY CORPORATION
(TW)

新竹市研新三路 4 號

(72) 發明人：陳智偉 CHEN, CHIH-WEI (TW)；林恆光 LIN, HENG-KUANG (TW)

(74) 代理人：葉璟宗；詹東穎；劉亞君

(56) 參考文獻：

TW 200947703A

TW 201421704A

TW 201537641A

CN 103545328A

US 2003/0049894A1

US 2011/0210337A1

US 2016/0118490A1

審查人員：吳漢傑

申請專利範圍項數：15 項 圖式數：7 共 35 頁

(54) 名稱

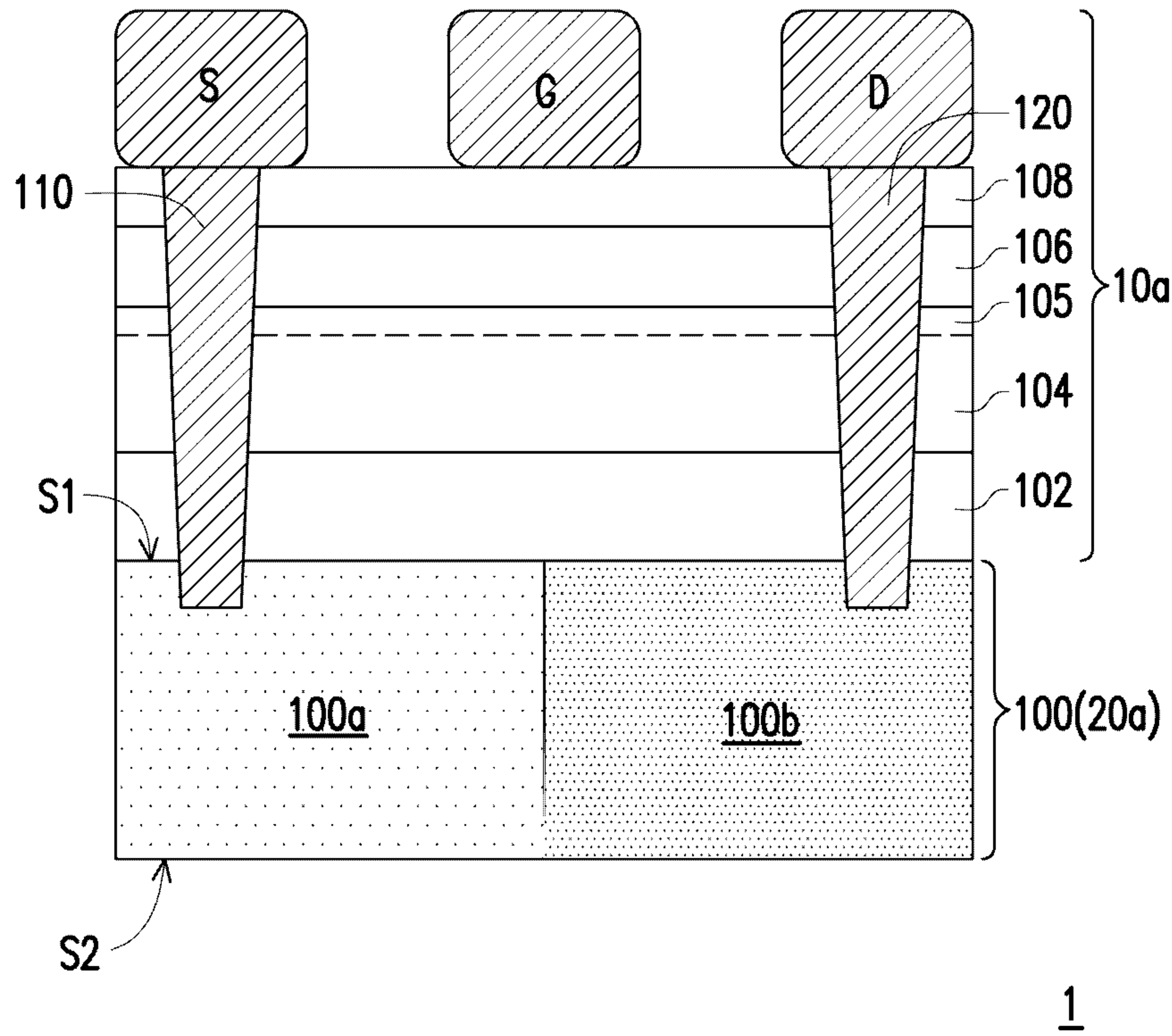
半導體元件及其製造方法

(57) 摘要

一種半導體元件，包括：基板、二極體、通道層、阻障層、第一介電層、源極、汲極以及閘極。二極體配置於基板上或基板中。通道層配置於二極體上。阻障層配置於通道層上。第一介電層配置於阻障層上。源極藉由穿過第一介電層、阻障層以及通道層的第一導通孔電性連接至二極體的第一區域。汲極藉由穿過第一介電層、阻障層以及通道層的第二導通孔電性連接至二極體的第二區域。閘極配置於源極與汲極之間的通道層上。

Provided is a semiconductor device including a substrate, a diode, a channel layer, a barrier layer, a first dielectric layer, a source, a drain, and a gate. The diode is disposed over the substrate or in the substrate. The channel layer is disposed over the diode. The barrier layer is disposed over the channel layer. The first dielectric layer is disposed over the barrier layer. The source is electrically connected to a first region of the diode by a first conductive via through the first dielectric layer, the barrier layer, and a channel layer. The drain is electrically connected to a second region of the diode by a second conductive via through the first dielectric layer, the barrier layer, and a channel layer. The gate is disposed over the channel layer between the source and the drain.

指定代表圖：



【圖1E】

符號簡單說明：

- 1 . . . 半導體元件
- 10a . . . MIS-HEMT 元件
- 20a . . . P-N 接面二極體
- 100 . . . 基板
- 100a . . . 第一區域
- 100b . . . 第二區域
- 102 . . . 緩衝層
- 104 . . . 通道層
- 105 . . . 二維電子氣
- 106 . . . 阻障層
- 108 . . . 介電層
- 110 . . . 第一導通孔
- 120 . . . 第二導通孔
- D . . . 汲極
- G . . . 閘極
- S . . . 源極
- S1 . . . 正面
- S2 . . . 背面



I695418

【發明摘要】

IPC分類：
H01L 21/265 (2006.01)
H01L 21/33 (2006.01)
H01L 21/338 (2006.01)
H01L 29/778 (2006.01)

【中文發明名稱】半導體元件及其製造方法

【英文發明名稱】 SEMICONDUCTOR DEVICE AND METHOD OF
MANUFACTURING THE SAME

【中文】一種半導體元件，包括：基板、二極體、通道層、阻障層、第一介電層、源極、汲極以及閘極。二極體配置於基板上或基板中。通道層配置於二極體上。阻障層配置於通道層上。第一介電層配置於阻障層上。源極藉由穿過第一介電層、阻障層以及通道層的第一導通孔電性連接至二極體的第一區域。汲極藉由穿過第一介電層、阻障層以及通道層的第二導通孔電性連接至二極體的第二區域。閘極配置於源極與汲極之間的通道層上。

【英文】 Provided is a semiconductor device including a substrate, a diode, a channel layer, a barrier layer, a first dielectric layer, a source, a drain, and a gate. The diode is disposed over the substrate or in the substrate. The channel layer is disposed over the diode. The barrier layer is disposed over the channel layer. The first dielectric layer is disposed over the barrier layer. The source is electrically connected to a first region of the diode by a first conductive via through the first dielectric layer, the barrier layer, and a channel layer. The drain is electrically connected to a second

region of the diode by a second conductive via through the first dielectric layer, the barrier layer, and a channel layer. The gate is disposed over the channel layer between the source and the drain.

【指定代表圖】圖1E。

【代表圖之符號簡單說明】

1：半導體元件

10a：MIS-HEMT元件

20a：P-N接面二極體

100：基板

100a：第一區域

100b：第二區域

102：緩衝層

104：通道層

105：二維電子氣

106：阻障層

108：介電層

110：第一導通孔

120：第二導通孔

D：汲極

G：閘極

S：源極

S1：正面

S2：背面

【特徵化學式】

無

【發明說明書】

【中文發明名稱】 半導體元件及其製造方法

【英文發明名稱】 SEMICONDUCTOR DEVICE AND METHOD OF
MANUFACTURING THE SAME

【技術領域】

【0001】 本發明是有關於一種積體電路及其製造方法，且特別是有關於一種半導體元件及其製造方法。

【先前技術】

【0002】 近年來，以 III-V 族化合物半導體為基礎的高電子遷移率電晶體（high electron mobility transistor，HEMT）元件具備高崩潰電壓、較大的能隙以及優異的載子遷移率，同時經由極化現象所產生的二維電子氣可展現出色的低阻抗傳導特性，使得 III-V 族化合物半導體材料廣泛地應用在高頻和功率元件。而金屬-絕緣體-半導體的高電子遷移率電晶體（Metal-Insulator-Semiconductor HEMT，MIS-HEMT）元件則為 HEMT 元件中的一種。MIS-HEMT 元件在金屬與半導體界面處具有閘介電層，其可強化元件效能，例如高的崩潰電壓、低的閘極漏電流、低的元件阻抗及寬廣的閘極操作範圍等。

【0003】 然而，所述閘介電層的結構也會導致額外的界面陷阱效應（interface trapping），進而影響 MIS-HEMT 元件的電性，例如

夾止電壓（pinch off）飄移、電流衰退（current collapse）、可靠度失效…等問題。所述電性問題使得 MIS-HEMT 元件的應用受到限制。因此，如何避免 MIS-HEMT 元件產生界面陷阱效應已然成為重要的一門課題。

【發明內容】

【0004】 本發明提供一種半導體元件，其可將 MIS-HEMT 元件並聯二極體，以避免界面陷阱效應，進而提升元件效能。

【0005】 本發明提供一種半導體元件的製造方法，其藉由單晶片整合技術將 MIS-HEMT 元件與二極體整合在同一晶片上，以大幅降低晶片使用面積，進而達到微型化電子元件的需求。

【0006】 本發明提供一種半導體元件，包括：基板、二極體、通道層、阻障層、第一介電層、源極、汲極以及閘極。二極體配置於基板上或基板中。所述二極體包括具有第一導電型的第一區域以及具有第二導電型的第二區域，所述第一導電型與所述第二導電型不同。通道層配置於二極體上。阻障層配置於通道層上。第一介電層配置於阻障層上。源極以穿過第一介電層、阻障層以及通道層的第一導通孔電性連接至二極體的第一區域。汲極以穿過第一介電層、阻障層以及通道層的第二導通孔電性連接至二極體的第二區域。閘極配置於源極與汲極之間的通道層上。

【0007】 本發明提供一種半導體元件，包括：基板、通道層、阻障層、介電層、源極、汲極、閘極、陽極以及陰極。通道層配置

於基板上。阻障層配置於所述通道層上。介電層配置於所述阻障層上。源極穿過所述介電層與所述阻障層且電性連接至所述通道層。汲極穿過所述介電層與所述阻障層且電性連接至所述通道層。閘極配置於所述源極與所述汲極之間的所述介電層上。陽極穿過所述介電層且電性連接至所述阻障層，並藉由第一內連線電性連接至所述源極。陰極穿過所述介電層與所述阻障層且電性連接至所述通道層，並藉由第二內連線電性連接至所述汲極。

【0008】 本發明提供一種半導體元件的製造方法，其步驟如下。於基板的正面上依序形成通道層、阻障層以及介電層；於所述基板中分別形成具有第一導電型的第一區域與具有第二導電型的第二區域，其中所述第一導電型與所述第二導電型不同；於所述介電層、所述阻障層以及所述通道層中形成第一導通孔，使得源極藉由所述第一導通孔電性連接至所述第一區域；於所述介電層、所述阻障層以及所述通道層中形成第二導通孔，使得汲極藉由所述第二導通孔電性連接至所述第二區域；以及於所述源極與所述汲極之間的所述介電層上形成閘極。

【0009】 基於上述，本發明藉由單晶片整合技術將 MIS-HEMT 元件與二極體並聯且整合在同一晶片上，其不僅可大幅降低晶片使用面積，還可避免界面陷阱效應，進而提升元件效能。

【0010】 為讓本發明的上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【圖式簡單說明】**【0011】**

圖 1A 至圖 1E 是本發明的第一實施例的一種半導體元件的製造流程剖面示意圖。

圖 2 是本發明的第二實施例的一種半導體元件的剖面示意圖。

圖 3 是本發明的第三實施例的一種半導體元件的剖面示意圖。

圖 4 是本發明的第四實施例的一種半導體元件的剖面示意圖。

圖 5 是本發明的第五實施例的一種半導體元件的剖面示意圖。

圖 6 是本發明的第六實施例的一種半導體元件的剖面示意圖。

圖 7 是本發明的第七實施例的一種半導體元件的剖面示意圖。

【實施方式】

【0012】 參照本實施例之圖式以更全面地闡述本發明。然而，本發明亦可以各種不同的形式體現，而不應限於本文中所述之實施例。圖式中的層與區域的厚度會為了清楚起見而放大。相同或相似之標號表示相同或相似之元件，以下段落將不再贅述。

【0013】 請參照圖 1A，本發明的第一實施例提供一種半導體元件的製造方法，其步驟如下。首先，提供基板 100，基板 100 具有彼此相對的正面 S1 與背面 S2。在一實施例中，基板 100 可視為一成長基板，其材料可例如是藍寶石（Sapphire）、碳化矽（SiC）、氮化鋁（AlN）、矽（Si）、鍺（Ge）、砷化鎵（GaAs）、磷化銦（InP）、磷化鎵（GaP）、氮化鎵（GaN）或其組合。在本實施例中，基板

100 可以是矽基板。

【0014】 接著，在基板 100 的正面 S1 上依序形成緩衝層 102、通道層 104、阻障層 106 以及介電層 108。在一實施例中，緩衝層 102、通道層 104、阻障層 106 以及介電層 108 的形成方法可以是磊晶成長法，例如有機金屬化學氣相沈積法（Metal-organic Chemical Vapor Deposition, MOCVD）或分子束磊晶法（Molecular Beam Epitaxy, MBE）。

【0015】 詳細地說，緩衝層 102 可配置於基板 100 和通道層 104 之間，以減少基板 100 和通道層 104 之間的晶格常數差異與熱膨脹係數差異。在一實施例中，緩衝層 102 的材料包括 III 族氮化物，例如 III-V 族化合物半導體材料，並可具有單層或多層結構。在替代實施例中，緩衝層 102 的材料包括 AlN、GaN、AlGaInN、InGaInN、AlInN、AlGaInN 或其組合。

【0016】 通道層 104 可配置於緩衝層 102 和阻障層 106 之間。由於通道層 104 與阻障層 106 之間形成異質介面，使得接近阻障層 106 的通道層 104 的區域中形成具有高電子遷移率的二維電子氣（2DEG）105。在一實施例中，通道層 104 的材料包括 III 族氮化物，例如 III-V 族化合物半導體材料，其可例如是未經摻雜（undoped）或非刻意摻雜（unintentionally doped）的 GaN。但本發明不以此為限，在其他實施例中，只要通道層 104 的材料的能隙與阻障層 106 的材料的能隙不同，所述通道層 104 的材料皆為本發明的範疇。

【0017】 阻障層 106 可配置於通道層 104（或二維電子氣 105）和介電層 108 之間。在一實施例中，阻障層 106 的材料包括 III 族氮化物，例如 III-V 族化合物半導體材料，並可具有單層或多層結構。在一實施例中，阻障層 106 包括 AlGa_N、AlIn_N、AlN、AlGaIn_N 或其組合。在一實施例中，阻障層 106 可以是經摻雜或未經摻雜的層。

【0018】 介電層 108 可配置於阻障層 106 上。在一實施例中，介電層 108 的材料包括介電材料，並可具有單層或多層結構。在一實施例中，介電層 108 的材料包括氧化鋁（Al₂O₃）、氮化矽、氧化矽、氮化鋁（AlN）或其組合。

【0019】 請參照圖 1B，於基板 100 中分別形成具有第一導電型的第一區域 100a 與具有第二導電型的第二區域 100b。在一實施例中，第一導電型與第二導電型不同。當第一導電型為 N 型，第二導電型為 P 型；當第一導電型為 P 型，第二導電型為 N 型。P 型摻質例如是硼；N 型摻質例如是磷或是砷。在本實施例中，是以第一導電型為 P 型，第二導電型為 N 型為例來說明，但本發明並不以此為限。

【0020】 詳細地說，於基板 100 中分別形成第一區域 100a 與第二區域 100b 的步驟如下。將基板 100 的背面 S2 朝上，於基板 100 的背面 S2 上形成第一罩幕圖案（未繪示），以覆蓋第二區域 100b 且暴露出第一區域 100a。對第一區域 100a 進行第一離子佈植製程，使得第一區域 100a 的基板 100 的導電型轉變為 P 型。在一實

施例中，第一區域 100a 所植入的摻質可例如是硼，摻雜的濃度可例如是 $1 \times 10^{18}/\text{cm}^3$ 至 $1 \times 10^{20}/\text{cm}^3$ 。

【0021】 移除所述第一罩幕圖案後，於基板 100 的背面 S2 上形成第二罩幕圖案（未繪示），以覆蓋第一區域 100a 且暴露出第二區域 100b。對第二區域 100b 進行第二離子佈植製程，使得第二區域 100b 的基板 100 的導電型轉變為 N 型。在一實施例中，第二區域 100b 所植入的摻質可例如是磷或是砷，摻雜的濃度可例如是 $1 \times 10^{18}/\text{cm}^3$ 至 $1 \times 10^{20}/\text{cm}^3$ 。

【0022】 在本實施例中，是先形成第一區域 100a，隨後形成第二區域 100b，但本發明不以此為限。在其他實施例中，可先形成第二區域 100b，隨後形成第一區域 100a。在替代實施例中，亦可利用 P 型基板，進行一道微影製程與離子佈植製程，以形成 N 型摻雜區。

【0023】 需注意的是，如圖 1B 所示，第一區域 100a 與第二區域 100b 彼此相連，且構成一整個基板 100。在本實施例中，P 型的第一區域 100a 與 N 型的第二區域 100b 可構成 P-N 接面二極體 20a。所述 P-N 接面二極體 20a 內埋在基板 100 中。換言之，整個基板 100 變成了一個 P-N 接面二極體 20a。

【0024】 請參照圖 1C，移除所述第二罩幕圖案後，將基板 100 的正面 S1 朝上。之後，於介電層 108、阻障層 106、通道層 104 以及緩衝層 102 中形成第一導通孔 110 與第二導通孔 120。源極 S 可藉由第一導通孔 110 電性連接至基板 100 的第一區域 100a。汲

極 D 可藉由第二導通孔 120 電性連接至基板 100 的第二區域 100b。

【0025】 具體來說，第一導通孔 110 與第二導通孔 120 的形成步驟可包括在介電層 108 上形成第三罩幕圖案（未繪示），以定義出第一導通孔 110 與第二導通孔 120 的位置。接著，以第三罩幕圖案為蝕刻罩幕，移除部分介電層 108、部分阻障層 106、部分通道層 104 以及部分緩衝層 102，以形成第一開口 112 與第二開口 122。第一開口 112 暴露出基板 100 的第一區域 100a 的部分表面；第二開口 122 暴露出基板 100 的第二區域 100b 的部分表面。之後，藉由電鍍法或蒸鍍法，將導電材料填入第一開口 112 與第二開口 122 中，以於第一開口 112 中形成第一導通孔 110 並於第一導通孔 110 上形成源極 S，且於第二開口 122 中形成第二導通孔 120 並於第二導通孔 120 上形成汲極 D。在一實施例中，所述導電材料可包括金屬（例如 Ta、Ti、W、Pd、Ni、Au、Al 或其組合）、金屬氮化物（例如 TaN、TiN、WN 或其組合）、金屬矽化物（例如 WSi_x）或其組合。

【0026】 請參照圖 1D，移除所述第三罩幕圖案後，進行退火（Anneal）處理 140。在本實施例中，退火處理 140 不僅可修復離子佈植後的第一區域 100a 與第二區域 100b 的晶格損傷，還可分別將第一導通孔 110 與第二導通孔 120 中的金屬（例如鋁）擴散至半導體層（例如第一區域 100a、第二區域 100b、通道層 104 等）中，以形成歐姆接觸（Ohmic contact）。在一實施例中，退火處理 140 包括快速熱退火處理（RTA）或爐管退火處理。以快速熱退火

處理為例，快速熱退火處理的處理溫度可例如是 800°C 至 1000°C；其處理時間可例如是 10 秒至 120 秒。

【0027】 請參照圖 1E，於源極 S 與汲極 D 之間的介電層 108 上形成閘極 G。在一實施例中，閘極 G 的材料包括導電材料。所述導電材料可包括金屬（例如 Ta、Ti、W、Pd、Ni、Au、Al 或其組合）、金屬氮化物（例如 TaN、TiN、WN 或其組合）、金屬矽化物（例如 WSi_x）或其組合。在一實施例中，源極 S、汲極 D 以及閘極 G 的材料可以相同，但本發明不以此為限。在其他實施例中，源極 S、汲極 D 以及閘極 G 的材料可彼此不同。

【0028】 請參照圖 1E，第一實施例提供一種半導體元件 1，包括：基板 100、緩衝層 102、通道層 104、阻障層 106、介電層 108、源極 S、汲極 D 以及閘極 G。緩衝層 102、通道層 104（其在靠近阻障層 106 處具有二維電子氣 105）、阻障層 106、介電層 108 依序配置於基板 100 的正面 S1 上。基板 100 包括彼此相連的第一區域 100a 與第二區域 100b，其構成 P-N 接面二極體 20a。源極 S 藉由穿過介電層 108、阻障層 106、通道層 104 以及緩衝層 102 的第一導通孔 110 電性連接至第一區域 100a。汲極 D 藉由穿過介電層 108、阻障層 106、通道層 104 以及緩衝層 102 的第二導通孔 120 電性連接至第二區域 100b。閘極 G 配置於源極 S 與汲極 D 之間的介電層 108 上。

【0029】 值得注意的是，本實施例可將 P 型的第一區域 100a 與 N 型的第二區域 100b 所構成的 P-N 接面二極體 20a 與 MIS-HEMT

元件 10a 並聯且整合在同一晶片上，其不僅可大幅降低晶片使用面積，還可避免界面陷阱效應，進而提升元件效能。

【0030】圖 2 是本發明的第二實施例的一種半導體元件的剖面示意圖。

【0031】請參照圖 2，第二實施例的半導體元件 2 與第一實施例的半導體元件 1 基本上相似。上述兩者不同之處在於：半導體元件 2 的基板 200 更包括第三區域 100c，其配置於第一區域 100a 與第二區域 100b 之間。在一實施例中，第三區域 100c 可以是本徵區域（intrinsic region）或非摻雜區域。因此，P 型的第一區域 100a、N 型的第二區域 100b 以及本徵或非摻雜的第三區域 100c 可構成 PIN 接面二極體 20b。所述 PIN 接面二極體 20b 內埋在基板 200 中。換言之，整個基板 200 變成了一個 PIN 接面二極體 20b。

【0032】在本實施例中，PIN 接面二極體 20b 與 MIS-HEMT 元件 10a 並聯且整合在同一晶片上，其不僅可大幅降低晶片使用面積，還可避免界面陷阱效應，進而提升元件效能。相較於 P-N 接面二極體，所述 PIN 接面二極體 20b 可承受更大的操作電壓（例如 10 伏特至 3000 伏特）。

【0033】圖 3 是本發明的第三實施例的一種半導體元件的剖面示意圖。

【0034】請參照圖 3，第三實施例的半導體元件 3 與第二實施例的半導體元件 2 基本上相似。上述兩者不同之處在於：半導體元件 3 的第三區域 101 包括多層結構，其具有沿著第一區域 100a 朝著第

二區域 100b 的方向交替排列的多個第一層 101a 與多個第二層 101b。在一實施例中，第一層 101a 可以是 Si 層；第二層 101b 可以是 SiGe 層。如圖 3 所示，P 型的第一區域 100a、N 型的第二區域 100b 以及具有多層結構的第三區域 101 可構成共振穿隧二極體 (Resonant Tunneling Diode, RTD) 20c。所述共振穿隧二極體 20c 內埋在基板 300 中。換言之，整個基板 300 變成了一個共振穿隧二極體 20c。

【0035】 在本實施例中，共振穿隧二極體 20c 與 MIS-HEMT 元件 10a 並聯且整合在同一晶片上，其不僅可大幅降低晶片使用面積，還可避免界面陷阱效應，進而提升元件效能。所述共振穿隧二極體 20c 可增加能帶寬度，進而抑制漏電流。

【0036】 圖 4 是本發明的第四實施例的一種半導體元件的剖面示意圖。

【0037】 請參照圖 4，第四實施例的半導體元件 4 與第一實施例的半導體元件 1 基本上相似。上述兩者不同之處在於：半導體元件 4 的 P-N 接面二極體 20d 配置在基板 100 上。具體來說，P-N 接面二極體 20d 配置在緩衝層 102 與通道層 104 之間。源極 S 可藉由穿過介電層 108、阻障層 106 以及通道層 104 的第一導通孔 410 電性連接至第一區域 400a。汲極 D 藉由穿過介電層 108、阻障層 106 以及通道層 104 的第二導通孔 420 電性連接至第二區域 400b。

【0038】 在本實施例中，PIN 接面二極體 20d 與 MIS-HEMT 元件 10b 並聯且整合在同一晶片上，其不僅可大幅降低晶片使用面積，

還可避免界面陷阱效應，進而提升元件效能。

【0039】 圖 5 是本發明的第五實施例的一種半導體元件的剖面示意圖。

【0040】 請參照圖 5，第五實施例的半導體元件 5 與第四實施例的半導體元件 4 基本上相似。上述兩者不同之處在於：半導體元件 5 的 P-N 接面二極體 20e 配置在基板 100 與緩衝層 102 之間。源極 S 可藉由穿過介電層 108、阻障層 106、通道層 104 以及緩衝層 102 的第一導通孔 510 電性連接至第一區域 500a。汲極 D 藉由穿過介電層 108、阻障層 106、通道層 104 以及緩衝層 102 的第二導通孔 520 電性連接至第二區域 500b。

【0041】 在本實施例中，P-N 接面二極體 20e 與 MIS-HEMT 元件 10a 並聯且整合在同一晶片上，其不僅可大幅降低晶片使用面積，還可避免界面陷阱效應，進而提升元件效能。

【0042】 在一實施例中，半導體元件 1、2、3、4、5 可以是空乏型（D-mode）高電子遷移率電晶體元件。也就是說，在未施加閘極電壓下，通道層 104 中的二維電子氣（或載子通道）105 可例如是常開（normally-on）狀態；而施加閘極電壓下，則可關閉此類空乏型高電子遷移率電晶體之通道層 104 中的二維電子氣（或載子通道）105。

【0043】 圖 6 是本發明的第六實施例的一種半導體元件的剖面示意圖。

【0044】 請參照圖 6，第六實施例的半導體元件 6 與第一實施例的

半導體元件 1 基本上相似。上述兩者不同之處在於：半導體元件 6 更包括介電層 118，其共形地配置於介電層 108 與阻障層 106 中的第三開口 132 中。將導電材料填入第三開口 132，以形成第三導通孔 130。在本實施例中，第三導通孔 130 可視為閘極 G。第三開口 132 中的介電層 118 位於閘極 G 與介電層 108 之間、位於閘極 G 與阻障層 106 之間，且位於閘極 G 與通道層 104 之間。在一實施例中，第三開口 132 至少暴露出通道層 104 的頂面，使得第三開口 132 下方的通道層 104 中不形成二維電子氣 105。在其他實施例中，如圖 6 所示，第三開口 132 更延伸至通道層 104 中，使得二維電子氣 105 分別配置於第三開口 132 的兩側。

【0045】 另外，介電層 118 不僅共形覆蓋第三開口 132 的表面，還延伸覆蓋介電層 108 的頂面。在一實施例中，介電層 118 可視為閘介電層，其可降低閘極 G 的漏電流，並可藉由改變其厚度以調整閾值電壓（Threshold Voltage， V_{th} ）。介電層 118 的材料包括氧化鋁（ Al_2O_3 ）、氮化矽、氧化矽、氮化鋁（AlN）或其組合，其形成方法可以是磊晶成長法，例如是 MOCVD 或 MBE。

【0046】 此外，如圖 6 所示，半導體元件 6 的源極 S 內埋在介電層 118、108 以及阻障層 106 中，其藉由穿過通道層 104 以及緩衝層 102 的第一導通孔 110 電性連接至第一區域 100a。汲極 D 也是內埋在介電層 118、108 以及阻障層 106 中，其藉由穿過通道層 104 以及緩衝層 102 的第二導通孔 120 電性連接至第二區域 100b。在一實施例中，第一導通孔 110 及其上方的源極 S 亦可視為單一源

極結構；而第二導通孔 120 及其上方的汲極 D 亦可視為單一汲極結構。

【0047】 在一實施例中，半導體元件 6 可以是增強型（E-mode）高電子遷移率電晶體元件。也就是說，在未施加閘極電壓下，通道層 104 中的二維電子氣（或載子通道）105 可例如是常關（normally-off）狀態；而施加閘極電壓下，則可開啟此類增強型高電子遷移率電晶體之通道層 104 中的二維電子氣（或載子通道）105。另外，在本實施例中，P-N 接面二極體 20a 與 MIS-HEMT 元件 10c 並聯且整合在同一晶片上，其不僅可大幅降低晶片使用面積，還可避免界面陷阱效應，進而提升元件效能。

【0048】 圖 7 是本發明的第七實施例的一種半導體元件的剖面示意圖。

【0049】 本實施例提供一種半導體元件 7，包括基板 100、通道層 104、阻障層 106、介電層 108、層間介電層 116、源極 S、汲極 D、閘極 G、陽極 A 以及陰極 C。通道層 104（其在靠近阻障層 106 處具有二維電子氣 105）、阻障層 106、介電層 108 以及層間介電層 116 依序配置於基板 100 上。

【0050】 在一實施例中，源極 S 可以是導通孔形式，其穿過層間介電層 116、介電層 108 以及阻障層 106 且電性連接至通道層 104。在替代實施例中，如圖 7 所示，源極 S 亦可延伸至通道層 104 中，使得二維電子氣 105 位於源極 S 的兩側。

【0051】 在一實施例中，汲極 D 可以是導通孔形式，其穿過層間

介電層 116、介電層 108 以及阻障層 106 的第二導通孔 120 且電性連接至通道層 104。在替代實施例中，如圖 7 所示，汲極 D 亦可延伸至通道層 104 中，使得二維電子氣 105 位於汲極 D 的兩側。

【0052】 在一實施例中，閘極 G 可以是導通孔形式，其穿過層間介電層 116 且配置於源極 S 與汲極 D 之間的介電層 108 上。在一實施例中，陽極 A 可以是導通孔形式，其穿過層間介電層 116 與介電層 108 且電性連接至阻障層 106，並藉由第一內連線 150 電性連接至源極 S。在一實施例中，陰極 C 可以是導通孔形式，其穿過層間介電層 116、介電層 108 以及阻障層 106 且電性連接至通道層 104，並藉由第二內連線 160 電性連接至汲極 D。在替代實施例中，如圖 7 所示，陰極 C 亦可延伸至通道層 104 中，使得二維電子氣 105 位於陰極 C 的兩側。

【0053】 在一實施例中，陽極 A 與阻障層 106 可構成蕭特基二極體 (Schottky diode) 20f。陰極 C 與通道層 104 可構成歐姆接觸。因此，所述 MIS-HEMT 元件 10d 便可藉由第一內連線 150 以及第二內連線 160 與蕭特基二極體 20f 並聯且整合在同一晶片上。也就是說，本發明可藉由內連線的方式可將各種不同元件（不限於 MIS-HEMT 元件）與各種不同二極體並聯且整合在同一晶片上，以降低晶片使用面積。

【0054】 在其他實施例中，半導體元件 7 亦可包括緩衝層（未繪示），其配置於基板 100 和通道層 104 之間，以減少基板 100 和通道層 104 之間的晶格常數差異與熱膨脹係數差異。

【0055】 綜上所述，本發明藉由單晶片整合技術將 MIS-HEMT 元件與二極體並聯且整合在同一晶片上，其不僅可大幅降低晶片使用面積，還可避免界面陷阱效應，進而提升元件效能。

【0056】 雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明的精神和範圍內，當可作些許的更動與潤飾，故本發明的保護範圍當視後附的申請專利範圍所界定者為準。

【符號說明】

【0057】

1、2、3、4、5、6、7：半導體元件

10a、10b、10c、10d：MIS-HEMT 元件

20a、20d、20e：P-N 接面二極體

20b：PIN 接面二極體

20c：共振穿隧二極體

20f：蕭特基二極體

100、200、300：基板

100a、400a、500a：第一區域

100b、400b、500b：第二區域

100c：第三區域

101：第三區域

101a：第一層

101b：第二層

102：緩衝層

104：通道層

105：二維電子氣

106：阻障層

108、118：介電層

110、410、510：第一導通孔

112：第一開口

120、420、520：第二導通孔

122：第二開口

130：第三導通孔

132：第三開口

140：退火處理

D：汲極

G：閘極

S：源極

S1：正面

S2：背面

【發明申請專利範圍】

【第1項】 一種半導體元件，包括：

二極體，配置於基板上或基板中，其中所述二極體包括具有第一導電型的第一區域以及具有第二導電型的第二區域，所述第一導電型與所述第二導電型不同，所述第一區域橫向配置在所述第二區域旁，且所述二極體的電流路徑在所述第一區域與所述第二區域之間橫向導通；

通道層，配置於所述二極體上；

阻障層，配置於所述通道層上；

第一介電層，配置於所述阻障層上；

源極，以穿過所述第一介電層、所述阻障層以及所述通道層的第一導通孔電性連接至所述二極體的所述第一區域；

汲極，以穿過所述第一介電層、所述阻障層以及所述通道層的第二導通孔電性連接至所述二極體的所述第二區域；

閘極，配置於所述源極與所述汲極之間的所述通道層上；以及

二維電子氣，配置於所述源極與所述汲極之間的所述通道層中，其中所述二維電子氣在所述基板的頂面上的正投影與所述二極體的所述電流路徑在所述基板的所述頂面上的正投影重疊。

【第2項】 如申請專利範圍第1項所述的半導體元件，其中所述二極體的所述第一區域與所述二極體的所述第二區域彼此相連。

【第3項】如申請專利範圍第1項所述的半導體元件，其中所述二極體的所述第一區域與所述二極體的所述第二區域之間具有第三區域，所述第三區域為本徵區域或非摻雜區域。

【第4項】如申請專利範圍第1項所述的半導體元件，其中所述二極體的所述第一區域與所述二極體的所述第二區域之間具有第三區域，所述第三區域包括多層結構，其具有沿著所述第一區域至所述第二區域的方向交替排列的多個第一層與多個第二層。

【第5項】如申請專利範圍第1項所述的半導體元件，更包括緩衝層，其位於所述通道層與所述基板之間。

【第6項】如申請專利範圍第5項所述的半導體元件，其中所述二極體位於所述通道層與所述緩衝層之間，或者是所述二極體位於所述緩衝層與所述基板之間。

【第7項】如申請專利範圍第1項所述的半導體元件，其中所述半導體元件為增強型高電子遷移率電晶體元件，所述增強型高電子遷移率電晶體元件更包括：

第二介電層，共形地配置於所述第一介電層與所述阻障層中的開口中，所述閘極填入所述開口，使得所述開口中的所述第二介電層位於所述閘極與所述第一介電層之間、位於所述閘極與所述阻障層之間，且位於所述閘極與所述通道層之間。

【第8項】一種半導體元件，包括：

通道層，配置於基板上；

阻障層，配置於所述通道層上；

介電層，配置於所述阻障層上；

源極，穿過所述介電層與所述阻障層且電性連接至所述通道層；

汲極，穿過所述介電層與所述阻障層且電性連接至所述通道層；

閘極，配置於所述源極與所述汲極之間的所述介電層上；

陽極，自所述介電層的頂面向下延伸並直接接觸所述阻障層，並以第一內連線電性連接至所述源極，其中所述陽極與所述阻障層構成蕭特基二極體；

陰極，自所述介電層的所述頂面向下延伸穿過所述阻障層並直接接觸所述通道層，並以第二內連線電性連接至所述汲極；以及

二維電子氣，配置於所述源極與所述汲極之間的所述通道層中且配置於所述源極與所述陰極之間的所述通道層中，其中所述二維電子氣在所述基板的頂面上的正投影與所述蕭特基二極體在所述基板的所述頂面上的正投影重疊。

【第9項】 如申請專利範圍第8項所述的半導體元件，其中所述陰極與所述通道層構成歐姆接觸。

【第10項】 一種半導體元件的製造方法，包括：

於基板的正面上依序形成通道層、阻障層以及介電層；

於所述基板中形成二極體，所述二極體包括具有第一導電型的第一區域與具有第二導電型的第二區域，其中所述第一導電型

與所述第二導電型不同，所述第一區域橫向配置在所述第二區域旁，且所述二極體的電流路徑在所述第一區域與所述第二區域之間橫向導通；

於所述介電層、所述阻障層以及所述通道層中形成第一導通孔，使得源極藉由所述第一導通孔電性連接至所述第一區域；

於所述介電層、所述阻障層以及所述通道層中形成第二導通孔，使得汲極藉由所述第二導通孔電性連接至所述第二區域；於所述源極與所述汲極之間的所述介電層上形成閘極；以及

於所述源極與所述汲極之間的所述通道層中形成二維電子氣，其中所述二維電子氣在所述基板的頂面上的正投影與所述二極體的所述電流路徑在所述基板的所述頂面上的正投影重疊。

【第11項】如申請專利範圍第10項所述的半導體元件的製造方法，其中於所述基板中分別形成所述第一區域與所述第二區域包括：

於所述基板的所述正面上形成所述介電層之後，於所述基板的背面上形成第一罩幕圖案，以覆蓋所述第二區域且暴露出所述第一區域；

對所述第一區域進行第一離子佈植製程；

移除所述第一罩幕圖案；

於所述基板的所述背面上形成第二罩幕圖案，以覆蓋所述第一區域且暴露出所述第二區域；以及

對所述第二區域進行第二離子佈植製程。

【第12項】如申請專利範圍第10項所述的半導體元件的製造方法，其中所述第一區域與所述第二區域彼此相連。

【第13項】如申請專利範圍第10項所述的半導體元件的製造方法，其中所述第一區域與所述第二區域之間具有第三區域，所述第三區域為本徵區域、非摻雜區域或多層結構。

【第14項】如申請專利範圍第10項所述的半導體元件的製造方法，其中所述第一導通孔與所述第二導通孔的形成方法包括：

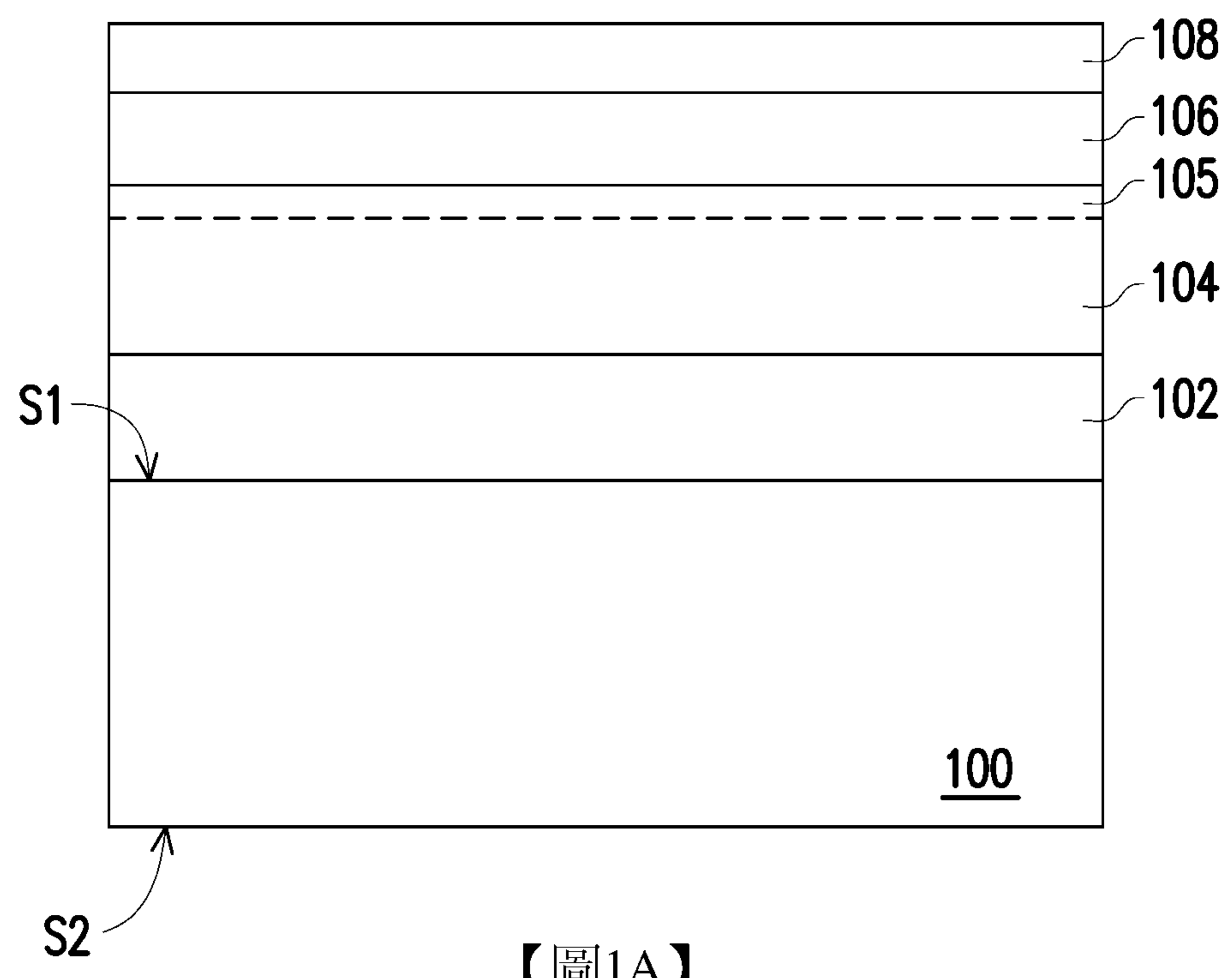
於所述介電層上形成第三罩幕圖案，以定義出所述第一導通孔與所述第二導通孔的位置；

以所述第三罩幕圖案為罩幕，移除部分所述介電層、部分所述阻障層以及部分所述通道層，以形成第一開口與第二開口，所述第一開口暴露出所述基板的所述第一區域的部分表面，而所述第二開口暴露出所述基板的所述第二區域的部分表面；以及

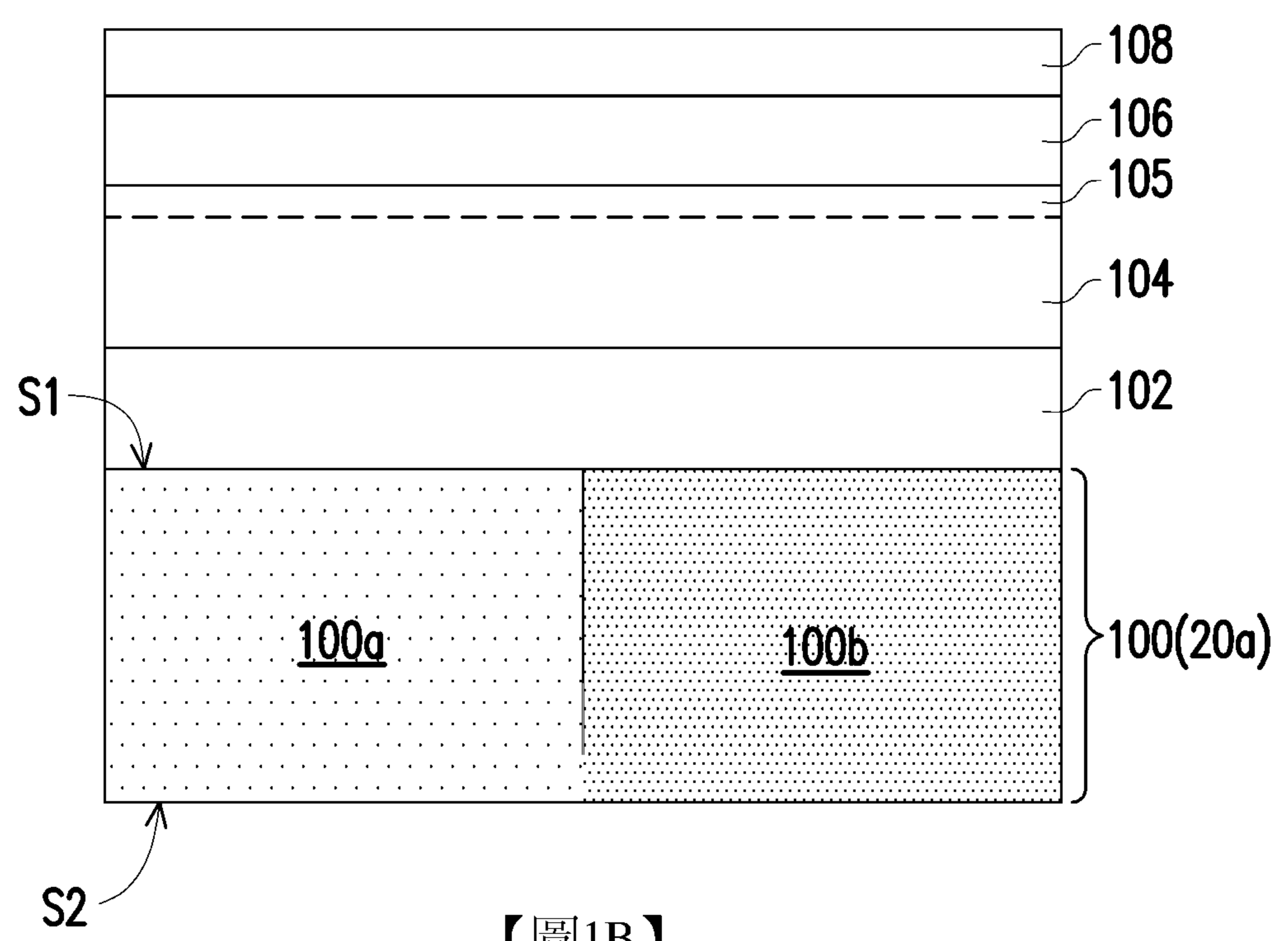
將導電材料填入所述第一開口與所述第二開口中。

【第15項】如申請專利範圍第10項所述的半導體元件的製造方法，在形成所述第一導通孔與所述第二導通孔之後，更包括進行退火處理。

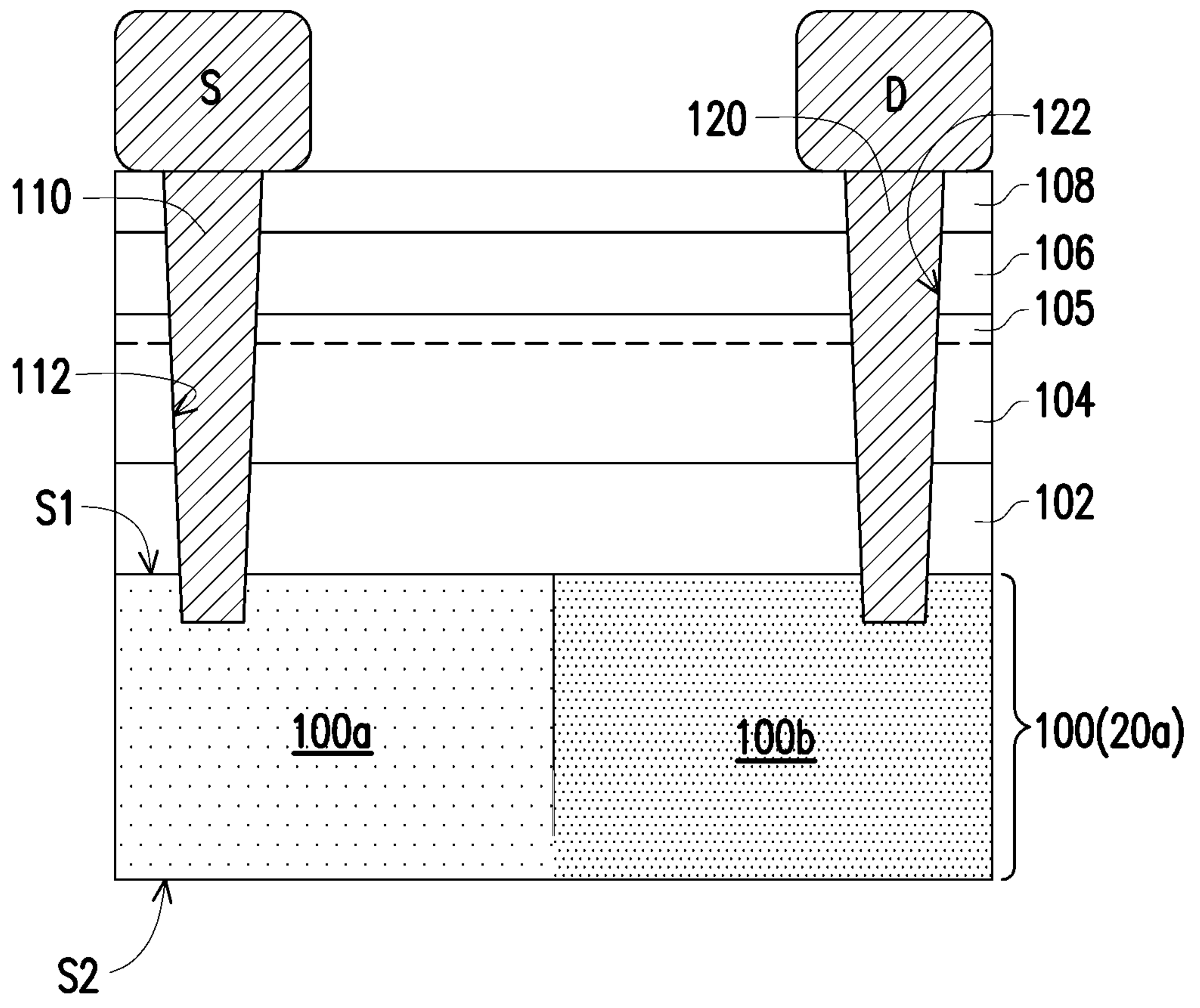
【發明圖式】



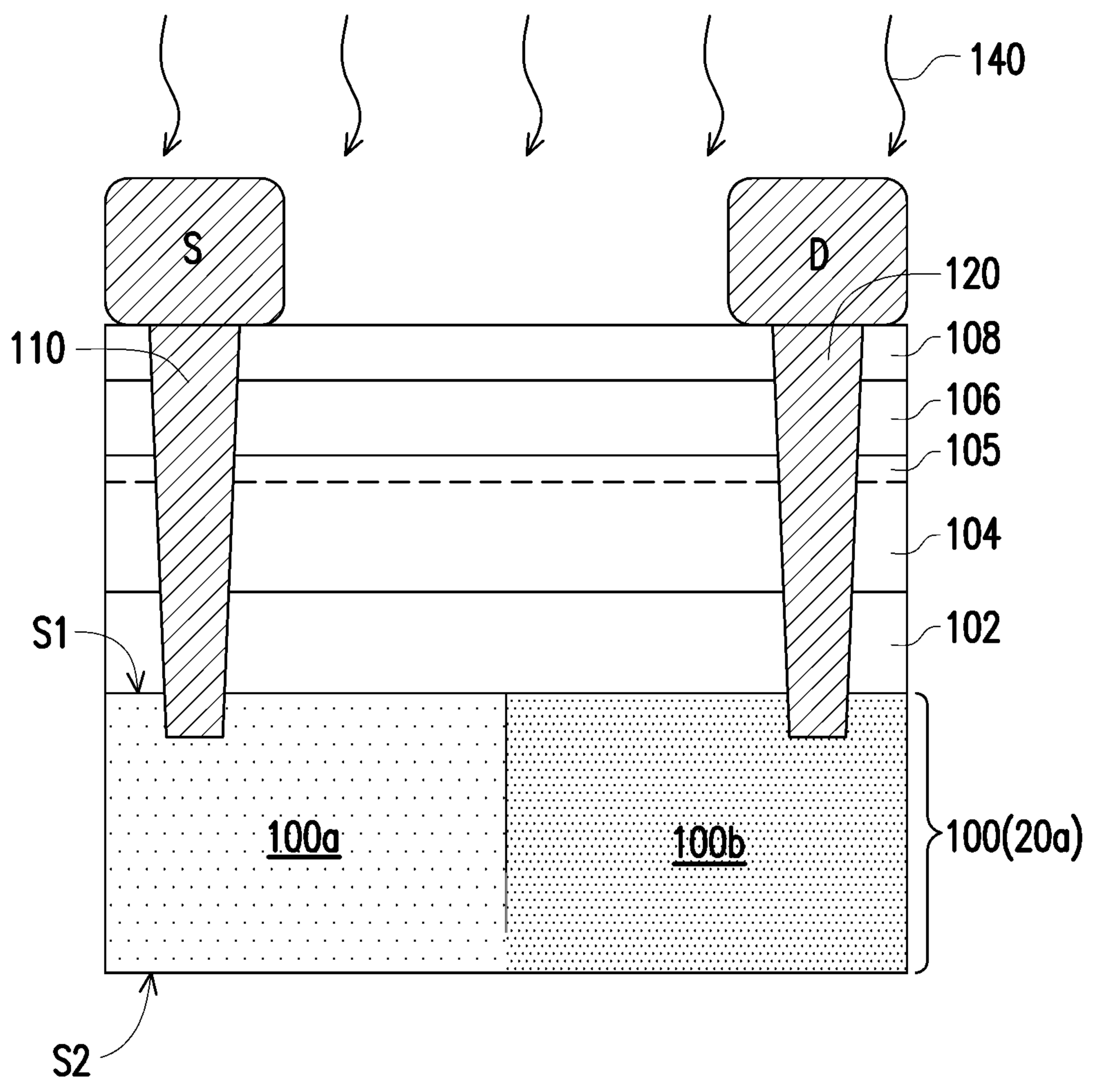
【圖1A】



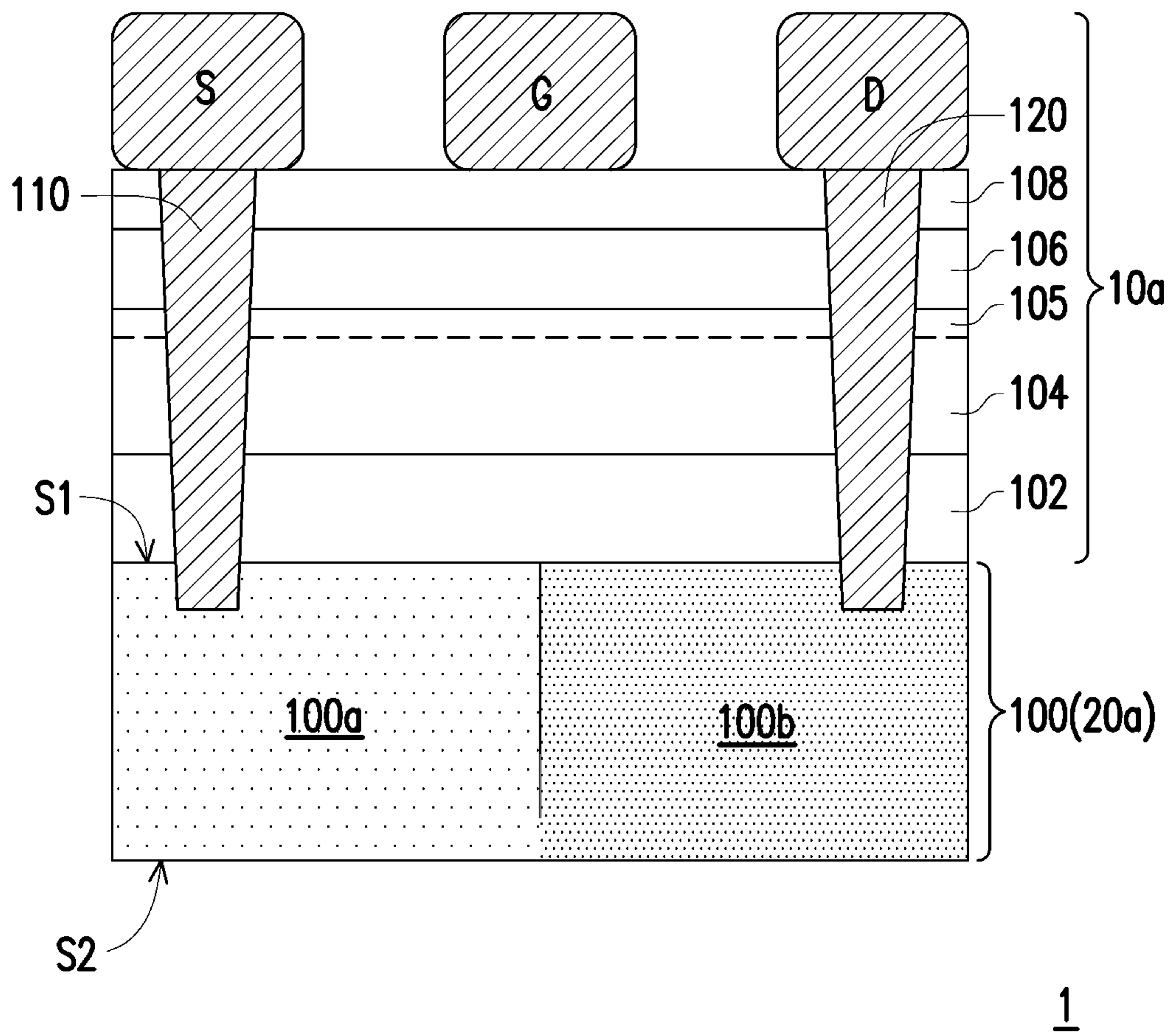
【圖1B】



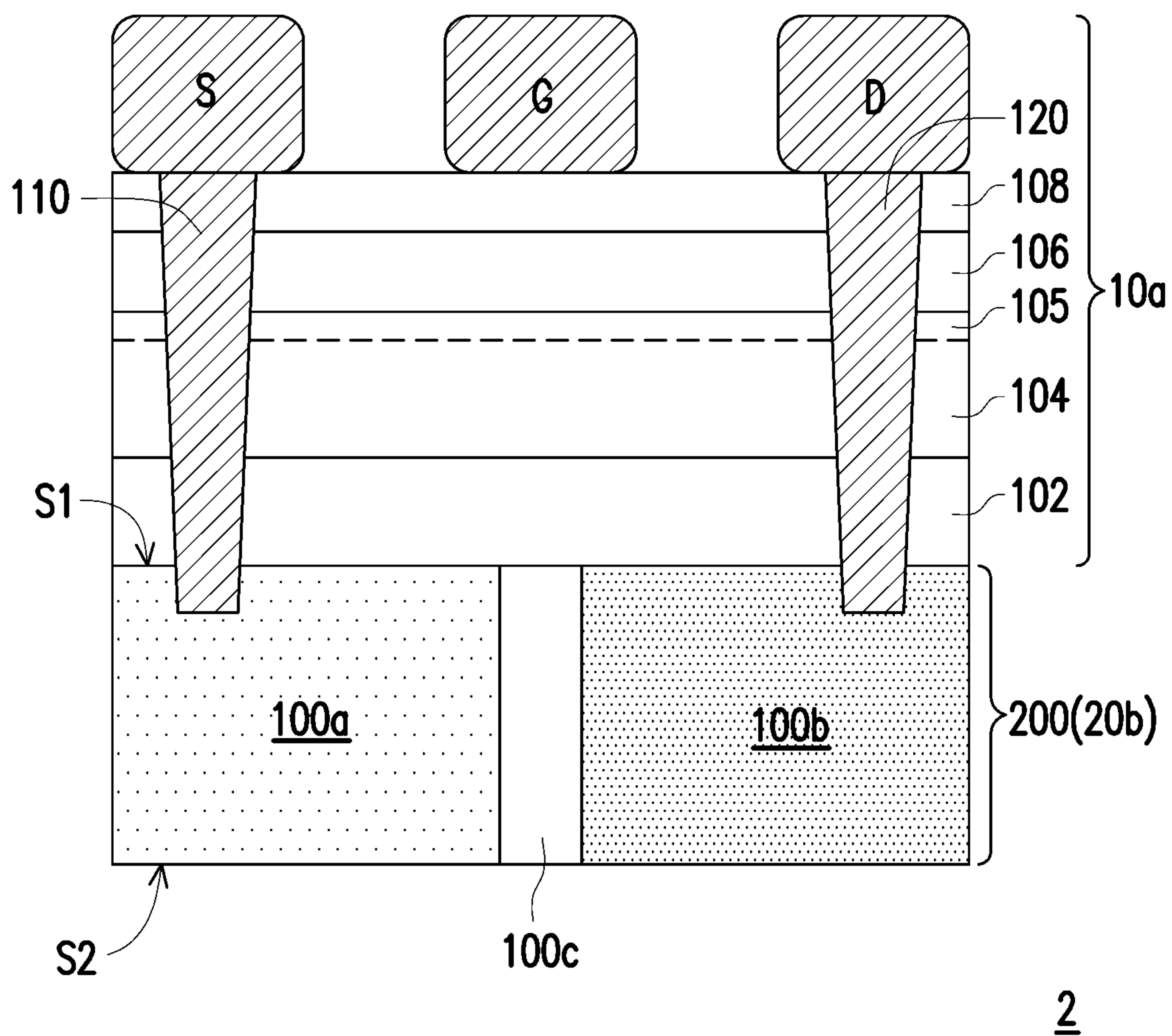
【圖1C】



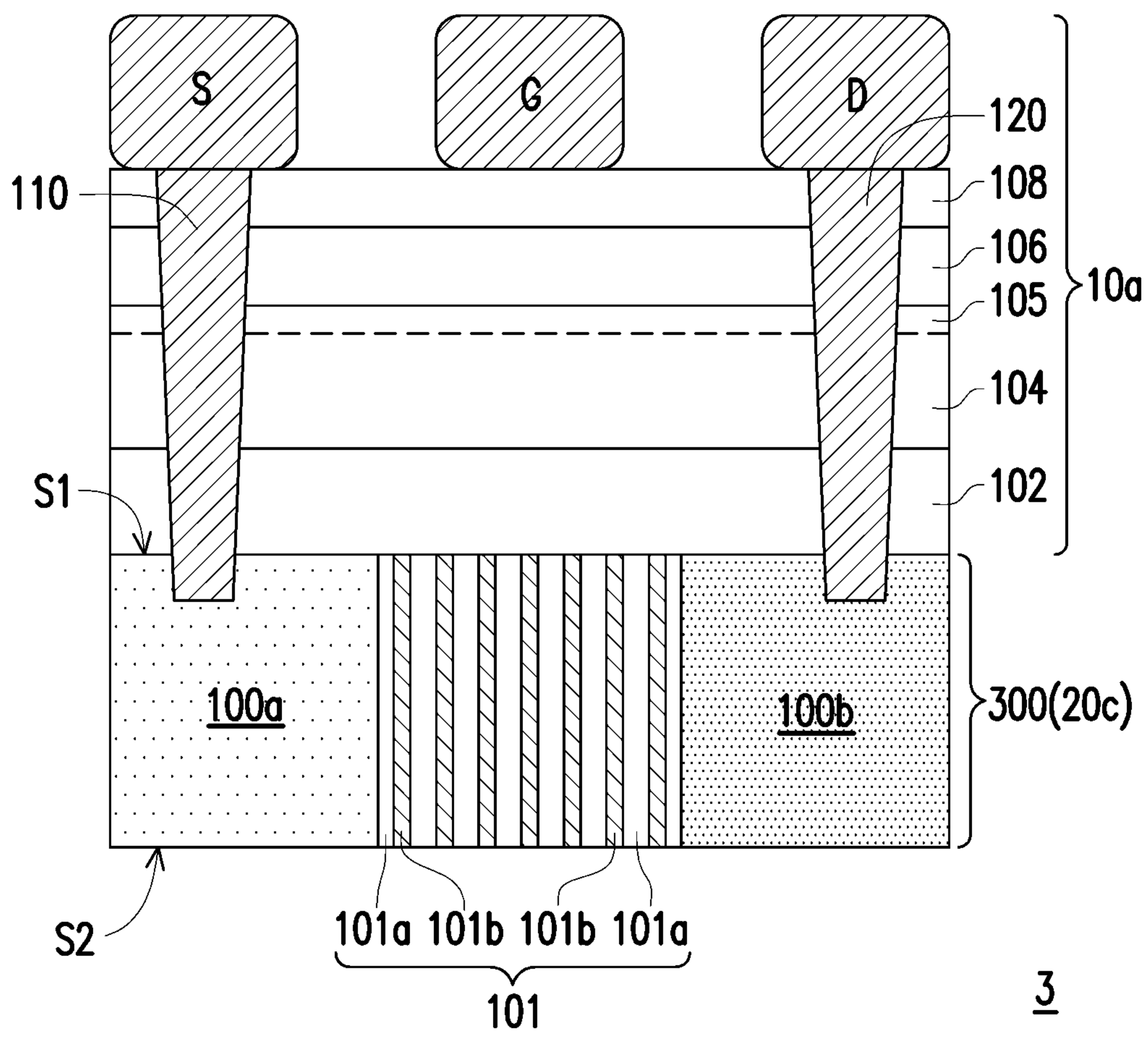
【圖1D】



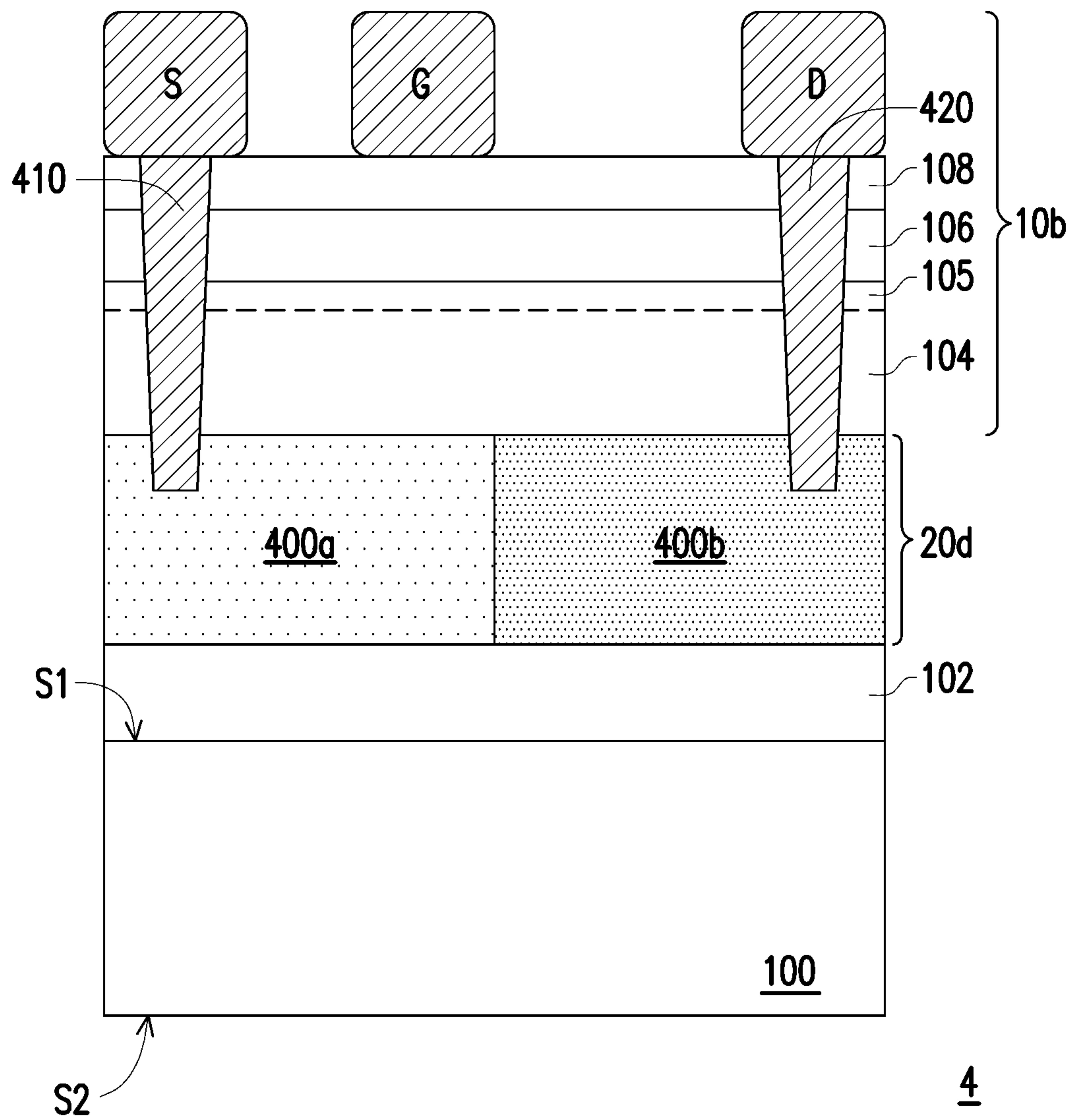
【圖1E】



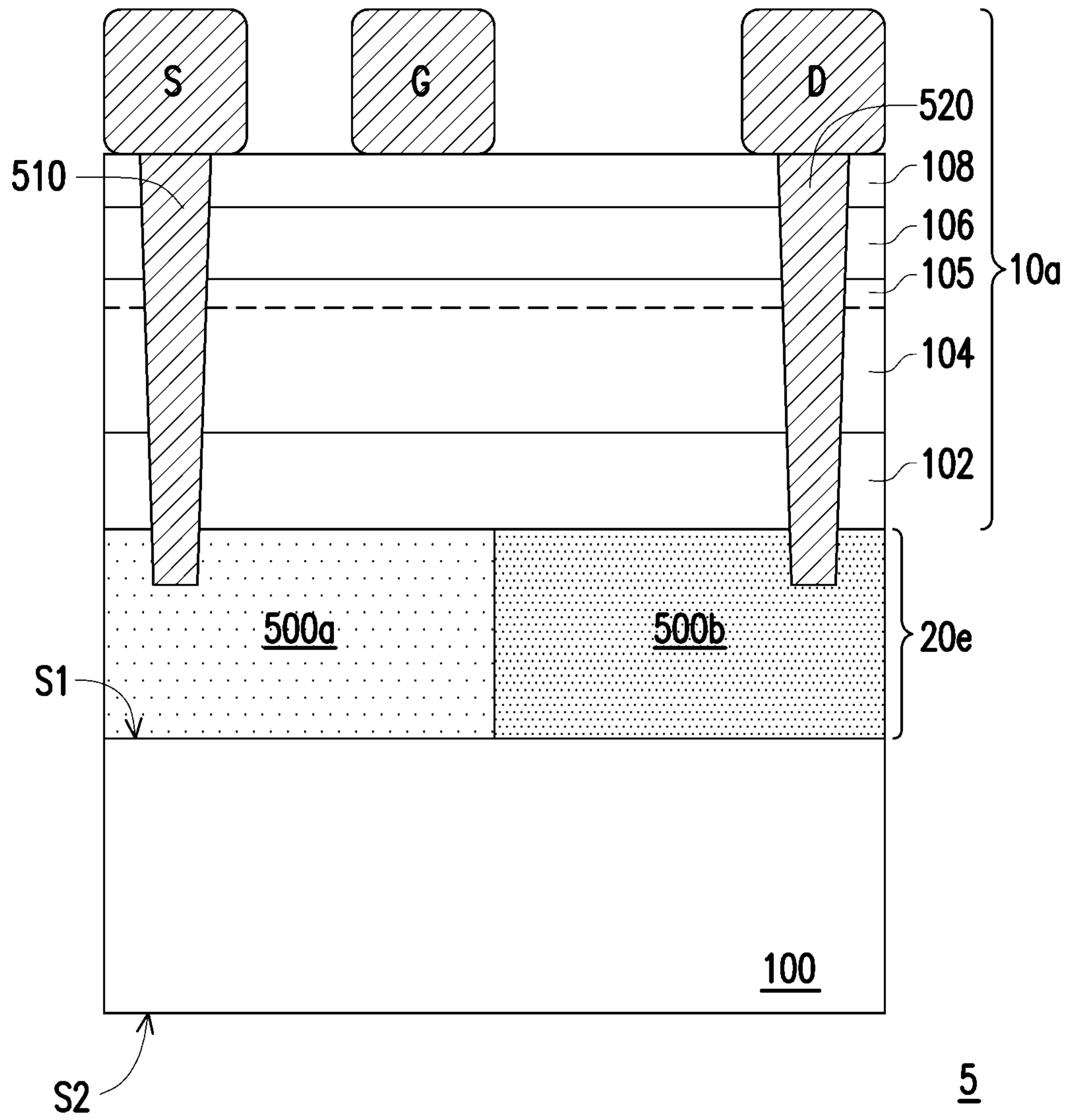
【圖2】



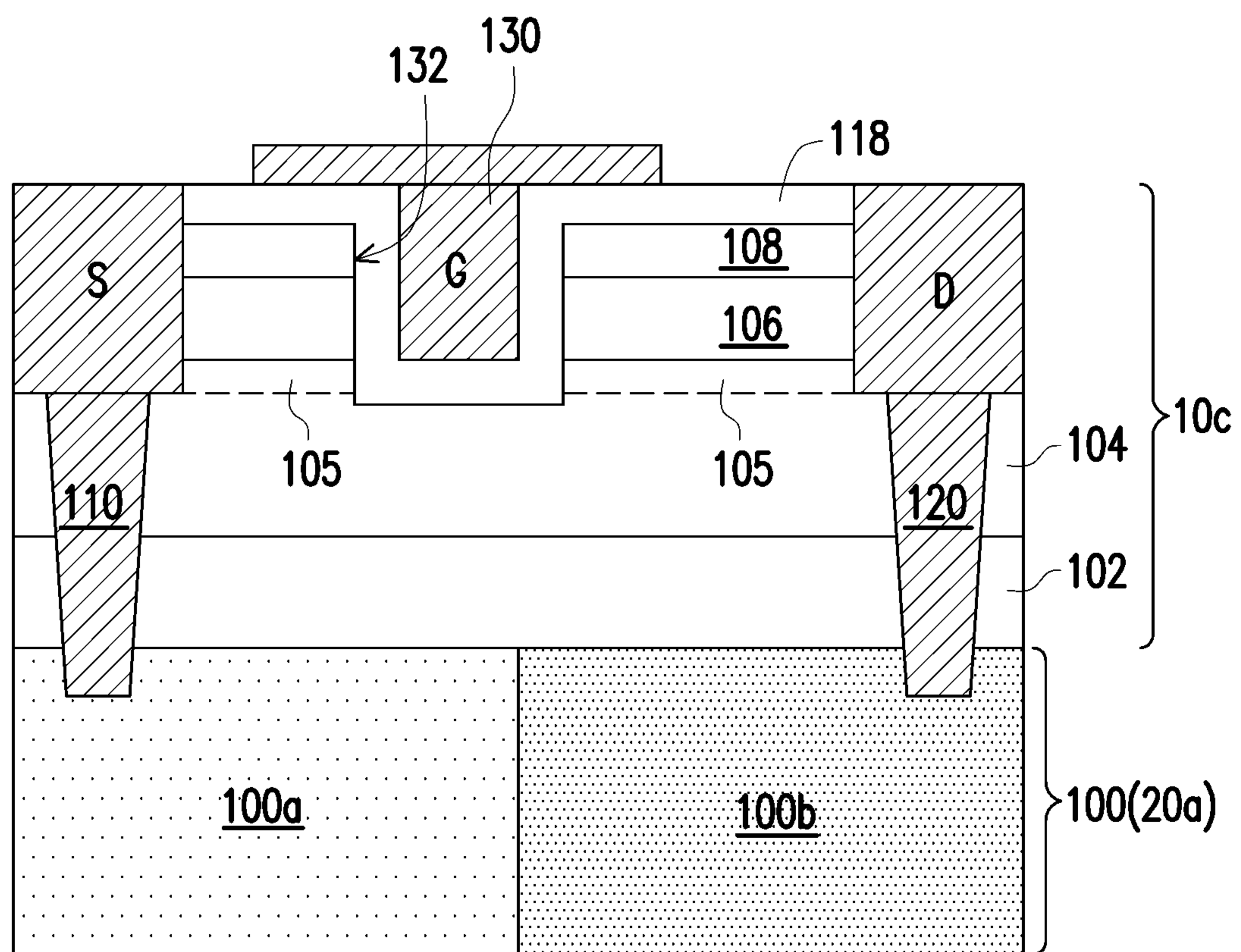
【圖3】



【圖4】

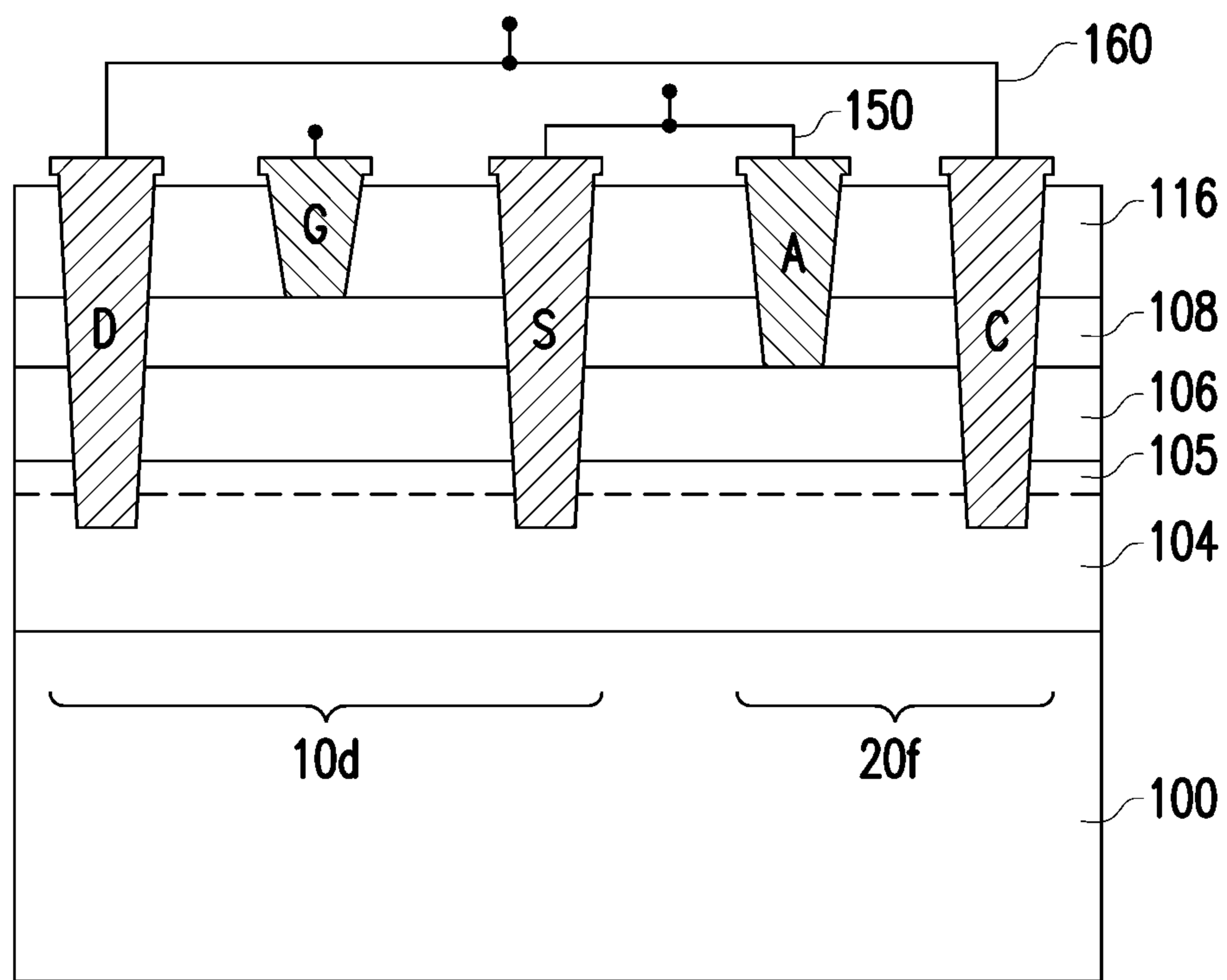


【圖5】



6

【圖6】



7

【圖7】