

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3768357号
(P3768357)

(45) 発行日 平成18年4月19日(2006.4.19)

(24) 登録日 平成18年2月10日(2006.2.10)

(51) Int. Cl. F I
 HO 1 L 27/04 (2006.01) HO 1 L 27/04 C
 HO 1 L 21/822 (2006.01) HO 1 L 27/10 6 5 1
 HO 1 L 27/108 (2006.01)
 HO 1 L 21/8242 (2006.01)

請求項の数 2 (全 17 頁)

(21) 出願番号	特願平10-341938	(73) 特許権者	000005223
(22) 出願日	平成10年12月1日(1998.12.1)		富士通株式会社
(65) 公開番号	特開2000-174226(P2000-174226A)		神奈川県川崎市中原区上小田中4丁目1番1号
(43) 公開日	平成12年6月23日(2000.6.23)	(74) 代理人	100070150
審査請求日	平成13年9月21日(2001.9.21)		弁理士 伊東 忠彦
審判番号	不服2004-21463(P2004-21463/J1)	(72) 発明者	林 軍
審判請求日	平成16年10月14日(2004.10.14)		神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(72) 発明者	中林 正明
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

最終頁に続く

(54) 【発明の名称】 高誘電体キャパシタの製造方法

(57) 【特許請求の範囲】

【請求項1】

下側電極と、前記下側電極上に形成された Ta_2O_5 よりなるキャパシタ絶縁膜と、前記キャパシタ絶縁膜上に形成された上側電極とよりなる高誘電体キャパシタの製造方法において、

基板上に、シリコン酸化膜を介して、前記下側電極として、Ti膜とTiN膜とを、前記Ti膜が(002)自己配向を有し、前記TiN膜が(111)配向を有するように順次堆積する工程を含み、前記TiN膜上に(002)面を有するRu膜を形成する工程と

、前記キャパシタ絶縁膜として、前記Ru膜上に Ta_2O_5 膜を堆積する工程と、

前記キャパシタ絶縁膜上に前記上側電極を形成する工程とを含み、

前記キャパシタ絶縁膜を形成する工程は、

前記 Ta_2O_5 膜を、 N_2O プラズマを用いて酸素欠損が補償されるように酸化する工程と、

前記酸化された Ta_2O_5 膜を、800~850 の温度において、不活性雰囲気中において、前記 Ta_2O_5 膜が(001)配向を有するように、また前記 Ta_2O_5 膜が90~110の範囲の比誘電率を有するように、結晶化する工程とよりなることを特徴とする高誘電体キャパシタの製造方法。

【請求項2】

前記 Ta_2O_5 膜を酸化する工程は、300~400 の温度において実行されることを

10

20

特徴とする請求項 1 記載の高誘電体キャパシタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

【0002】

本発明は一般に半導体装置に関し、特に高誘電体キャパシタ、かかる高誘電体キャパシタを有する半導体装置、およびその製造方法に関する。

【0003】

微細化技術の進歩に伴って、半導体装置を集積化した半導体集積回路の集積密度は年々向上している。これに伴い、個々の半導体装置も年々微細化されており、その結果半導体装置の動作速度が向上している。また、DRAMのようなキャパシタを有する半導体記憶装置においては、かかる微細化により保持される情報量が増大する。

10

【従来の技術】

【0004】

一方、DRAMのように情報をキャパシタ中に電荷の形で保持する半導体記憶装置では、微細化が行き過ぎるとキャパシタの容量が非常に小さくなり、個々のメモリセルキャパシタに保持される電荷量が減少するため、安定な情報の保持が困難になる。キャパシタ容量の減少は、キャパシタ絶縁膜の厚さを減少させればある程度は補償できるが、従来のSiO₂膜あるいはSiN膜をキャパシタ絶縁膜に使った場合には、DRAMをいわゆるサブミクロンルールあるいはサブクォーターミクロンルールで作製しようとするとき、キャパシタ絶縁膜の厚さを数nm以下にまで減少させる必要が出てくる。しかし、このような薄いキャパシタ絶縁膜を欠陥なしに形成することは困難であり、またこのように薄いキャパシタ絶縁膜ではトンネル効果によるリーク電流の発生を回避することが困難である。

20

【0005】

これに対し従来より、DRAMのメモリセルキャパシタにおいて、キャパシタ絶縁膜としてTa₂O₅を使うことが提案されており、さまざまな研究がなされている。

【0006】

図1(A)～(D)は、従来のTa₂O₅キャパシタ絶縁膜を使ったMISキャパシタの製造工程を示す。

【0007】

30

図1(A)を参照するに、Si基板11上にはフィールド酸化膜12によりキャパシタ形成領域が画成され、図1(B)の工程において前記キャパシタ形成領域上にポリシリコンパターン13とSiNパターン14とが、ポリシリコン膜およびSiN膜を順次堆積しパターンニングすることにより形成される。前記ポリシリコンパターン13はキャパシタの下側電極を構成する。また前記SiNパターン14は典型的には2nmの厚さに形成される。

【0008】

次に、図1(C)の工程において図1(B)の構造上にTa₂O₅膜を典型的には約8nmの厚さに堆積し、さらにパターンニングすることによりTa₂O₅キャパシタ絶縁膜15を形成する。さらに図1(D)の工程において前記キャパシタ絶縁膜15上にPt等よりなる上側電極パターン16を形成する。

40

【発明が解決しようとする課題】

【0009】

Ta₂O₅は単金属酸化物であり、従って図1(C)の工程において前記Ta₂O₅キャパシタ絶縁膜15はスパッタあるいはCVD法により安定して形成することが可能である。一方、Ta₂O₅はバルク結晶の状態では30～40程度の比誘電率を有しており、また薄膜の形で同様の比誘電率が得られているが、この比誘電率の値は、PZT(Pb[Zr, Ti]O₃)やSTO(SrTiO₃)のようなペロブスカイト型の複合酸化物の値よりも一桁程度小さい。

【0010】

50

単金属酸化物である Ta_2O_5 においてペロブスカイト型複合酸化物と同程度の比誘電率が実現できれば、非常に大きな容量を有するキャパシタを容易に、安定して、かつ安価に形成できると考えられる。

【0011】

そこで本発明の課題は上記の課題を解決した、新規で有用な高誘電体キャパシタ、かかる高誘電体キャパシタを使った半導体装置、およびその製造方法を提供することを概括的課題とする。

【0012】

本発明のより具体的な課題は、 Ta_2O_5 をキャパシタ絶縁膜に使ったキャパシタにおいてキャパシタ絶縁膜の比誘電率を向上させることにある。

10

【0013】

さらに、本発明の課題は比誘電率を向上させた Ta_2O_5 キャパシタ絶縁膜を有するキャパシタを使った半導体装置を提供することにある。

【課題を解決するための手段】

【0014】

本発明は、上記の課題を請求項1に記載したように、

下側電極と、前記下側電極上に形成された Ta_2O_5 よりなるキャパシタ絶縁膜と、前記キャパシタ絶縁膜上に形成された上側電極とよりなる高誘電体キャパシタの製造方法において、

基板上に、シリコン酸化膜を介して、前記下側電極として、Ti膜とTiN膜とを、前記Ti膜が(002)自己配向を有し、前記TiN膜が(111)配向を有するように順次堆積する工程を含み、前記TiN膜上に(002)面を有するRu膜を形成する工程と

20

前記キャパシタ絶縁膜として、前記Ru膜上に Ta_2O_5 膜を堆積する工程と、

前記キャパシタ絶縁膜上に前記上側電極を形成する工程とを含み、

前記キャパシタ絶縁膜を形成する工程は、

前記 Ta_2O_5 膜を、 N_2O プラズマを用いて酸素欠損が補償されるように酸化する工程

と、

前記酸化された Ta_2O_5 膜を、800～850の温度において、不活性雰囲気中において、前記 Ta_2O_5 膜が(001)配向を有するように、また前記 Ta_2O_5 膜が90～110の範囲の比誘電率を有するように、結晶化する工程とよりなることを特徴とする高誘電体キャパシタの製造方法により、または

30

請求項2に記載したように、

前記 Ta_2O_5 膜を酸化する工程は、300～400の温度において実行されることを特徴とする請求項1記載の高誘電体キャパシタの製造方法により解決する。

【0015】

[作用]

図2(A)～(D)は、本発明による高誘電体キャパシタ20の原理を示す。ただし図中、先に説明した部分には同一の参照符号を付し、説明を省略する。

【0016】

図2(A)を参照するに、本発明による高誘電体キャパシタ20においてもSi基板11上にフィールド酸化膜パターン12によりキャパシタ形成領域が画成されるが、高誘電体キャパシタ20においては図2(B)の工程において前記Si基板11のキャパシタ形成領域に SiO_2 膜23を酸化工程あるいはCVD工程により形成し、さらに前記 SiO_2 膜23上に厚さが約8nmのTi膜パターンとTiN膜パターンとを、それぞれスパッタリング法および反応性スパッタリング法により順次堆積して下地膜24を形成し、さらにその上にRu膜25を下側電極として形成する。典型的には、前記Ru電極25はRuの焼結ターゲットを使い、5mTorrのAr雰囲気中、基板温度を約300°Cに設定してスパッタリングを行なうことにより形成する。

40

【0017】

50

次に図2(C)の工程において、前記図2(B)の構造上に、前記下側電極25を覆うように Ta_2O_5 膜パターン26を、キャパシタ絶縁膜として、典型的にはスパッタリング法により、典型的には約8nmの厚さに形成し、さらに図2(D)の工程において前記キャパシタ絶縁膜26を覆うようにPtよりなる上側電極27を、スパッタリング法等により形成する。

【0018】

前記図2(C)の工程において、前記 Ta_2O_5 膜パターン26は例えば Ta_2O_5 ターゲットを使い、0.005 Torr以下の無酸素Ar雰囲気中、基板温度を280°C以上、好ましくは約300°Cに設定してスパッタリングを行なうことにより堆積される。このようにして形成された Ta_2O_5 膜26は堆積直後にはアモルファス状態にあるが、300~450°Cの温度において N_2O あるいは O_2 プラズマ雰囲気中において1~1.5分間処理することにより膜中の酸素欠損が補償され、さらに750~800°Cの温度において N_2 雰囲気中あるいはAr雰囲気中において20~120秒間急速熱処理を行なうことにより結晶化される。

10

【0019】

図3(A),(B)は、前記図2(C)の状態の Ta_2O_5 膜26のX線回折パターンを示す。ただし、図3(B)は図3(A)の回折パターンの一部を拡大して示す拡大図である。図3(A),(B)中、試料Aとあるのは前記従来の高誘電体キャパシタ10において、図1(C)の工程で前記 Ta_2O_5 膜15に対して酸化雰囲気中、約850°Cの温度で熱処理を行なった場合のX線回折パターンを、試料B₁とあるのは前記高誘電体キャパシタ20において図2(C)の工程において N_2 雰囲気中、800°Cにおいて急速熱処理を行なった場合のX線回折パターンを、試料B₂とあるのは前記高誘電体キャパシタ20において図2(C)の工程において O_2 雰囲気中、800°Cにおいて急速熱処理を行なった場合のX線回折パターンを、さらに試料B₃とあるのは先に説明したように、前記高誘電体キャパシタ20において図2(C)の工程において前記 Ta_2O_5 膜26に対して300~450°Cの温度において N_2O プラズマ処理を行ない、さらに N_2 雰囲気中、800°Cにおいて急速熱処理を行なった場合のX線回折パターンを示す。

20

【0020】

図3(A)を参照するに、従来例に対応する試料Aを除き、残りの全ての試料B₁~B₃において、前記下側電極25を構成するRuの(002)面による回折ピークが観測されることがわかる。これは、前記下側電極25の下のTiN/Ti構造を有する下地電極24において、前記 SiO_2 膜23上に形成されたTi膜が強い自己配向性により<002>方向に配向し、その結果形成されるTi膜の(002)面上に堆積されるTiN膜が(111)面を形成するためと考えられる。すなわち、Ru電極膜25をこのようなTiNの(111)面上に堆積することにより、膜25は<002>方向に配向し、X線回折パターン中にRuの(002)面による反射が観測されるものと考えられる。

30

【0021】

このように本発明の高誘電体キャパシタ20においてTiNの(111)面上にRu膜25を形成した場合、Ru膜25は(002)面を形成し、かかるRuの(002)面上に Ta_2O_5 膜26を形成した場合、図3(B)の拡大図よりわかるように前記 Ta_2O_5 膜26は<001>方向に配向し、その結果 Ta_2O_5 の(001)面による回折ピークが観測されるようになる。その際、前記 Ta_2O_5 (001)面の回折ピークは試料B₁においては非常に低いのに対し、試料B₂あるいはB₃では Ta_2O_5 の回折ピークのうち、最大のピークとなる。これに対し、従来の高誘電体キャパシタ10では、 Ta_2O_5 の最大ピークは(101)面による反射に対応する。

40

【0022】

図4は、このようにして得られた高誘電体キャパシタにおける Ta_2O_5 キャパシタ誘電体膜の比誘電率を示す。

【0023】

図4を参照するに、試料Aは図3の試料Aに対応するが、この場合には得られる Ta_2

50

O_5 膜は 20 ~ 30 程度の通常の比誘電率の値しか示さない。同様な結果は、前記下側電極 14 が SiN 膜上に形成された場合においても得られる。

【0024】

これに対し、図 4 中の試料 B は Ru (002) 電極 25 上に Ta_2O_5 膜 26 をスパッタリングにより約 8 nm の厚さに堆積した直後の膜 26 の比誘電率を示す。この場合にも、比誘電率の値は 25 ~ 32 の範囲にしかない。

【0025】

さらに図 4 中、試料 C は前記 Ru (002) 電極 25 上にスパッタリングにより堆積された厚さが約 8 nm の Ta_2O_5 膜 26 を、大気中 (0.06 Torr) あるいは真空中、350 ~ 650 °C で熱処理した場合の膜 26 の比誘電率を示す。この試料 C では比誘電率の値が試料 A あるいは B のものよりもわずかに増大し、30 ~ 45 程度に達しているのがわかる。また図 4 中、試料 D は前記試料 C の熱処理温度を 700 °C 以上とした場合の結果を示すが、この場合には Ta_2O_5 膜 26 の比誘電率の値は 55 ~ 70 程度まで増大する。

10

【0026】

一方図 4 中、試料 E は先に説明した試料 B₃ に対応し、Ru (002) 面上に堆積したアモルファス Ta_2O_5 膜 26 を N_2O プラズマ中、350 °C で 3 分間処理した後、 N_2 雰囲気中、800 °C の温度で 1 分間急速熱処理した場合の比誘電率を示す。図 4 よりわかるように、試料 E の場合、 Ta_2O_5 膜の比誘電率の値は 90 ~ 110 に達することがわかる。一方、試料 E において前記 N_2 雰囲気中における急速熱処理の温度を 700 °C とした場合には前記 Ta_2O_5 膜 26 の比誘電率の値は 55 ~ 70 程度まで減少する。先にも説明したように、このように処理された Ta_2O_5 膜 26 は (001) 面により画

20

【0027】

このことから、 Ta_2O_5 をキャパシタ誘電体膜とする高誘電体キャパシタ 20 において、前記 Ta_2O_5 膜に対して試料 E の処理を行なうことにより、同じ厚さの Ta_2O_5 膜を有する従来の高誘電体キャパシタ 10 の約 1.2 倍のキャパシタンスを実現することが可能になる。

【0028】

図 5 は、図 4 の試料 E に対応する厚さが 28 nm の Ta_2O_5 膜を使った高誘電体キャパシタ 20 のリーク電流特性を示す。ただし、この構成では前記 TiN / Ti 下地膜が前記 Si 基板 11 上に直接に形成されている。この構成においては前記 Ta_2O_5 膜の SiO_2 に換算した厚さは 0.86 nm となるが、印加電圧を 1 V とした場合のリーク電流は $4.6 \times 10^{-8} \text{ A/cm}^2$ 以下となる。

30

【0029】

図 6 は、このようにして Ru (002) 面上に形成された、(001) 面を有する前記図 4 の試料 E に対応する Ta_2O_5 膜の透過電子顕微鏡 (TEM) 像を示す。図 6 を参照するに、 Ta_2O_5 膜は前記 Ru (002) 面上においてほぼ単結晶に近い板状結晶を形成することがわかる。また、このようにして得られた Ta_2O_5 板状結晶については、格子像も観察されている。

40

【0030】

これに対し、図 7 は図 4 の試料 E の対応する高誘電体キャパシタの Ta_2O_5 膜の TEM 像を示す。図 7 を参照するに、この高誘電体キャパシタでは Ta_2O_5 膜が、図 6 の場合のような実質的に単結晶になっておらず、柱状結晶の集合になっているのがわかる。

【発明の実施の形態】

【0031】

[第 1 実施例]

図 8 (A) ~ 図 11 (K) は、本発明の第 1 実施例による高誘電体キャパシタの製造工程を示す。

【0032】

50

図8(A)を参照するに、基板31中には拡散領域31Aが形成されており、前記基板上にはさらに前記拡散領域31Aに隣接して、典型的にはSiO₂よりなる絶縁膜32が形成されている。前記絶縁膜32上にはTi膜33およびTiN膜34を介して典型的にはWよりなる導体パターン35が配線パターンとして形成され、さらに前記配線パターン35は層間絶縁膜36により覆われる。前記導体パターン35はMOSトランジスタのゲート電極を構成してもよい。

【0033】

次に図8(B)の工程において、前記層間絶縁膜36中に前記拡散領域31Aを露出するコンタクトホール36Aが形成され、さらに図8(C)の工程において前記層間絶縁膜36上に、前記コンタクトホール36Aの側壁および露出されている拡散領域31Aの表面を覆うようにSiO₂膜37が堆積される。

10

【0034】

次に図9(D)の工程において前記SiO₂膜37をエッチバックし、前記コンタクトホール36Aの側壁に前記絶縁膜37を残したまま前記拡散領域31Aを露出し、さらに図9(E)の工程において図9(D)の構造上に導電性ポリシリコンあるいはアモルファスシリコンよりなる導体層38をCVD法により堆積する。さらに図9(F)の工程で、前記層間絶縁膜36上の導体層38を化学機械研磨(CMP)法により除去し、前記コンタクトホール36Aを埋める導体プラグ38Aを形成し、前記導体プラグ38Aを多少エッチバックした後、図10(G)の工程で前記導体プラグ38A上にTi膜39およびTiN膜40をスパッタリングおよび反応性スパッタリングにより、順次堆積する。

20

【0035】

さらに図10(H)の工程において、前記層間絶縁膜36上に前記導体プラグ38A上のTiN膜40を覆うようにRu膜41をスパッタリングにより堆積し、さらにその上にSiO₂あるいはTiNよりなるハードマスク層42を堆積する。

【0036】

さらに図10(I)の工程において、前記ハードマスク層42をパターニングしてハードマスクパターンを形成し、前記ハードマスクパターンをマスクに前記Ru層41をパターニングして下側電極パターン41Aを形成する。

【0037】

次に、図11(J)の工程において、前記層間絶縁膜36上に、前記下側電極パターン41Aを覆うようにTa₂O₅膜43をスパッタリングにより堆積し、さらにこれをN₂OプラズマあるいはO₂プラズマ中、300~450°C、典型的には350°Cの温度において1~5分間処理し、さらにN₂雰囲気中、700~850°C、好ましくは約800°Cの温度で20~120分間熱処理する。さらに、図11(K)の工程で、図11(J)の構造上にPt等よりなる上側電極44を、前記上側電極44が前記Ta₂O₅膜43を覆うように堆積する。

30

【0038】

図11(K)の構造では、前記層間絶縁膜36上にTa₂O₅膜43をキャパシタ絶縁膜とする高誘電体キャパシタが、前記基板31中の拡散領域31Aに、前記導電性プラグ38A、Ti膜39およびTiN膜40を介して電氣的に接続された状態で形成される。かかる高誘電体キャパシタでは、Ruよりなる前記下側電極41Aが(002)面により画成されるため、前記Ta₂O₅キャパシタ絶縁膜43の主面が、図3(A)、(B)の試料B₃に示すように(001)配向面により画成される。また前記Ta₂O₅キャパシタ絶縁膜43は図4の試料Eのように非常に大きな比誘電率を有するため、高誘電体キャパシタは大きなキャパシタンスを示す。

40

【0039】

本実施例の高誘電体キャパシタにおいては、前記Ti膜39およびTiN膜40のかわりにW膜およびWN_x膜をそれぞれ使うことも可能である。W膜はスパッタリング法により容易に形成でき、またWN_x膜は例えばスパッタリングにより形成されたW膜をNH₃雰囲気中、700~800°Cで5~60分間程度熱処理することにより形成できる。

50

[第 1 参考例]

図 1 2 (A) ~ 1 4 (H) は本発明の第 1 参考例による D R A M 5 0 の製造工程を示す図である。

【 0 0 4 0 】

図 1 2 (A) を参照するに、p - 型 S i 基板 5 1 上にはフィールド酸化膜 5 2 によりメモリセル領域が形成される。さらに、前記 S i 基板 5 1 上にはゲート絶縁膜 5 3 が前記メモリセル領域を覆うように形成され、ゲート電極 5 4 が前記ゲート絶縁膜 5 3 上に、通常の M O S トランジスタと同様に形成される。ゲート電極 5 4 はメモリセル領域を横断するワード線の一部を構成する。さらに、基板 5 1 中には、前記ゲート電極 5 4 の両側に n 型の拡散領域 5 5 , 5 6 が、ゲート電極 5 4 を自己整合マスクに使用して形成される。

10

【 0 0 4 1 】

M O S トランジスタがこのようにして形成された後、前記基板 5 1 上にはゲート電極 5 4 を覆うように S i O ₂ 膜 5 7 が形成され、前記 S i O ₂ 膜 5 7 中には周知のフォトリソグラフィ法により、前記拡散領域 5 5 を露出するコンタクトホールが形成される。

【 0 0 4 2 】

さらに、前記コンタクトホールの形成の後、前記 S i O ₂ 膜 5 7 上には W S i 層が前記コンタクトホールを含むように堆積され、その結果前記 W S i 層は前記コンタクトホールにおいて前記拡散領域 5 5 とコンタクトする。この W S i 層をパターニングすることにより、図 1 2 (A) に示すビット線電極 5 8 が形成される。

【 0 0 4 3 】

次に、図 1 2 (B) の工程において、典型的には S i O ₂ よりなる層間絶縁膜 5 9 が図 1 2 (A) の構造上に堆積され、例えば C M P (化学機械研磨) 法を使った平坦化の後、前記層間絶縁膜 5 9 中に拡散領域 5 6 を露出する深いコンタクトホール 6 0 が、高解像度フォトリソグラフィにより形成される。

20

【 0 0 4 4 】

次に、図 1 2 (C) の工程において、図 1 2 (B) の構造上に、P により n ⁺ 型にドーパされたポリシリコン膜 6 1 が、C V D 法により、前記ポリシリコン S i 膜 6 1 が前記コンタクトホール 6 0 を充填するように堆積され、さらに図 1 3 (D) の工程において前記ポリシリコン膜 6 1 をドライエッチングにより層間絶縁膜 5 9 の表面が露出するまでエッチバックすることにより、前記コンタクトホールをポリシリコンプラグ 6 2 が充填した構造が得られる。

30

【 0 0 4 5 】

図 1 3 (D) の工程では、さらに前記層間絶縁膜 5 9 上に T i 膜 (図示せず) がスパッタリング法により、前記ポリシリコンプラグ 6 2 を覆うように形成され、さらにその上に T i N 膜 (図示せず) が反応性スパッタリング法により、拡散障壁層として形成される。図 1 3 (D) の工程ではさらにその上に (0 0 2) 面を有する R u 膜 6 3 が A r 雰囲気中、典型的には約 2 8 0 ° C 以上の基板温度でのスパッタリングにより形成され、前記 R u 膜 6 3 上には T a ₂ O ₅ 膜 6 4 が、先に説明した A r 雰囲気中におけるスパッタリング法により形成される。堆積された T a ₂ O ₅ 膜 6 4 は先に説明したように N ₂ O あるいは O ₂ プラズマ中、3 0 0 ~ 4 5 0 ° C の温度で 1 ~ 5 分間処理され、膜 6 4 中に形成された酸素欠損が解消される。さらに前記 T a ₂ O ₅ 膜 6 4 を N ₂ 等の不活性雰囲気中、7 0 0 ~ 8 5 0 ° C の温度で 2 0 ~ 1 2 0 秒間程度急速加熱処理することにより、結晶化する。このようにして結晶化した T a ₂ O ₅ 膜 6 4 は、先に図 3 (A) , (B) で説明したように (0 0 1) 面を有し、9 0 ~ 1 1 0、あるいはそれ以上の比誘電率を有する。

40

【 0 0 4 6 】

次に、図 1 3 (E) の工程において、前記 T a ₂ O ₅ 膜 6 4 およびその下の R u 膜 6 3 はフォトリソグラフィ法により所望のパターンにパターニングされる。前記 R u 膜 6 3 のパターニングの結果、高誘電体キャパシタの下側電極 6 5 が形成され、また前記 T a ₂ O ₅ 膜 6 4 のパターニングの結果キャパシタ絶縁膜 6 6 が形成される。

【 0 0 4 7 】

50

さらに、図13(F)の工程では、図13(E)の構造上に前記キャパシタ絶縁膜66を覆うようにSiO₂膜67がCVD法により堆積され、さらに前記SiO₂膜67中に前記キャパシタ絶縁膜66を露出するコンタクトホール68が形成される。さらに、図14(G)の工程において、前記SiO₂膜67上に露出したキャパシタ絶縁膜66を覆うようにPtパターン69が強誘電体キャパシタの上側電極として形成され、さらに図14(H)の工程において、前記SiO₂膜67上に前記上側電極69を覆うように層間絶縁膜70が形成される。また、前記層間絶縁膜70上には配線パターン71が形成される。

【0048】

図14(H)のDRAM50では、前記Ta₂O₅膜をキャパシタ絶縁膜として有するメモリセルキャパシタの容量が非常に大きいため、メモリセルをサブミクロンあるいはサブクォーターミクロン以下に微細化しても安定な情報の保持が可能である。またTa₂O₅膜はスパッタリング法、およびそれに引き続く低温酸化工程および急速熱処理工程(RTN)により、容易に、再現性良く、安価に形成することが可能である。

[第2参考例]

次に、本発明の第2参考例によるDRAM80を、図15(A)~17(G)を参照しながら説明する。ただし、先に説明した部分には同一の参照符号を付し、説明を省略する。

【0049】

本参考例でも先の参考例と同様に、前記p型Si基板51上にメモリセル領域がフィールド酸化膜52により画成される。さらに、ゲート絶縁膜53およびゲート電極54が同様に形成されるが、図示の例では二つのゲート電極54が形成されているのがわかる。

【0050】

ゲート電極54は電極54の断面形状に対応したSiO₂膜72により覆われ、さらに前記ゲート電極54をマスクに前記基板51中、前記ゲート電極54の両側に拡散領域55および56が形成される。一方、前記ゲート電極54は前記SiO₂膜72を自己整合マスクとしてパターニングされる。

【0051】

次に、図15(B)の工程において図15(A)の構造は先の参考例と同様にSiO₂膜57により覆われ、前記SiO₂膜57のうち、前記拡散領域55に対応する部分に基板51に実質的に垂直に作用する異方性エッチングを行ない、前記拡散領域55を露出するコンタクトホール73を自己整合的に形成する。このようにして形成された自己整合コンタクトホール73はゲート電極54の側壁を覆うSiO₂膜77により画成される。

【0052】

図15(B)の工程の後、図15(C)の工程においてWSi層を堆積し、これをパターニングすることにより、前記拡散領域55にコンタクトするビット線58が形成される。

【0053】

次に、図16(D)の工程において、図15(C)の構造上に層間絶縁膜59を堆積し、CMP法により平坦化した後、前記層間絶縁膜59中に前記拡散領域56を露出するコンタクトホール60を形成する。コンタクトホール60を形成した後、図16(D)の構造上にはPによりn型にドーブされたアモルファスシリコン膜がCVD法により、前記コンタクトホール60を埋めるように堆積される。このように堆積されたアモルファスシリコン膜のうち、層間絶縁膜59上に堆積した部分は除去され、その結果前記コンタクトホール60がアモルファスシリコンよりなる導体プラグ62により埋められた構造が得られる。

【0054】

このように導体プラグを形成した後、図16(E)の工程においてTi膜を、Tiをターゲットとして使うスパッタリング法により、約20nmの厚さに堆積する。さらに前記Ti膜の堆積の後、同じTiターゲットを使った反応性スパッタリングをN₂雰囲気中で行なうことにより、厚さが約50nmのTiN膜を前記Ti膜上に形成する。

10

20

30

40

50

【0055】

前記TiN膜は導体膜63の一部を構成するが、本参考例では前記TiN膜上に前記導体膜63の残りの部分としてRu膜を、Ruターゲットを使ったスパッタリング法により堆積する。前記Ru膜のスパッタリングは先に説明したのと同様な条件下で、約100nmの厚さになるように行われ、その結果形成された前記導体膜63は、Ru/TiN/Ti構造を有するようになる。

【0056】

前記導体膜63が形成された後、前記Ru膜はレジストパターンをマスクにドライエッチングあるいはイオンミリング法によりパターンニングされ、さらにその下のTiN/Ti膜が前記Ruパターンをマスクに、CH₂ClとCl₂の混合ガスをエッチングガスとしたドライエッチング工程により、パターンニングされる。その結果、前記Ru/TiN/Ti構造を有する下側電極65が、図17(F)に示すように前記層間絶縁膜59上に形成される。このようにして形成された下側電極65中のRuパターンは、先にも説明したように(002)面を有する。

10

【0057】

図17(F)の工程では、さらに前記下側電極65上にTa₂O₅膜66が先に説明したようにAr雰囲気中でのスパッタリングにより形成され、さらにこれを280~300°Cの温度でN₂OプラズマあるいはO₂プラズマ処理することにより、膜66中の酸素欠損が解消される。さらに、堆積されたTa₂O₅膜66をN₂雰囲気中において700~850°Cの温度で20~120秒間程度熱処理することにより、結晶化される。このようにして結晶化されたTa₂O₅膜66は(001)面を有し、90~110程度の非常に大きな比誘電率を示す。

20

【0058】

さらに、図17(F)の工程では、前記Ta₂O₅膜66上にさらにPt膜が堆積され、レジストパターンを使ったイオンミリング法を適用することにより上側電極69が形成される。さらに前記Ta₂O₅膜66を同じレジストパターンをマスクにイオンミリング法によりパターンニングすることにより、キャパシタ絶縁膜が形成される。前記下側電極65、キャパシタ絶縁膜66および上側電極69は、前記導体プラグ62により前記拡散領域56に電気的に接続された高誘電体メモリセルキャパシタを形成する。

【0059】

さらに、図17(G)の工程において層間絶縁膜70が前記層間絶縁膜59上に、前記高誘電体メモリセルキャパシタを覆うように堆積され、さらに前記層間絶縁膜70上にAlあるいはAl合金よりなる配線パターン71が形成される。

30

【0060】

本参考例によるDRAM80においても、前記Ta₂O₅膜をキャパシタ絶縁膜として有するメモリセルキャパシタの容量が非常に大きいため、メモリセルをサブミクロンあるいはサブクォーターミクロン以下に微細化しても安定な情報の保持が可能である。またTa₂O₅膜はスパッタリング法、およびそれに引き続く低温酸化工程および急速熱処理工程(RTN)により、容易に、再現性良く、安価に形成することが可能である。

【0061】

以上、本発明を好ましい実施例について説明したが、本発明はかかる特定の実施例に限定されるものではなく、特許請求の範囲に記載した要旨内において様々な変形・変更が可能である。

40

【発明の効果】

【0062】

請求項1~2記載の本発明の特徴によれば、Ta₂O₅膜をキャパシタ絶縁膜として有する高誘電体キャパシタの容量が非常に大きいため、例えば本発明の高誘電体キャパシタをサブミクロンあるいはサブクォーターミクロン以下の微細化されたDRAMにおいてメモリセルキャパシタとして使っても、安定な情報の保持が可能である。またTa₂O₅膜はスパッタリング法、およびそれに引き続く低温酸化工程および急速熱処理工程(RTN

50

)により、容易に、再現性良く、安価に形成することが可能である。

【図面の簡単な説明】

【図1】 (A)～(D)は、従来の高誘電体キャパシタの製造工程を説明する図である。

【図2】 (A)～(D)は、本発明による高誘電体キャパシタの原理を示す図である。

【図3】 (A), (B)は、本発明による高誘電体キャパシタにおける下部電極およびその上の高誘電体膜のX線回折図形を示す図である。

【図4】 本発明による高誘電体膜の誘電率を、従来の高誘電体膜の誘電率と比較して示す図である。

【図5】 本発明による高誘電体キャパシタのリーク電流特性を示す図である。

10

【図6】 本発明による高誘電体キャパシタの断面TEM像を示す図である。

【図7】 異なった条件で形成した高誘電体キャパシタの断面TEM像を示す図である。

【図8】 (A)～(C)は、本発明の第1実施例による高誘電体キャパシタの製造工程を示す図(その1)である。

【図9】 (D)～(F)は、本発明の第1実施例による高誘電体キャパシタの製造工程を示す図(その2)である。

【図10】 (G)～(I)は、本発明の第1実施例による高誘電体キャパシタの製造工程を示す図(その3)である。

【図11】 (J)～(K)は、本発明の第1実施例による高誘電体キャパシタの製造工程を示す図(その4)である。

20

【図12】 (A)～(C)は、本発明の第1参考例によるDRAMの製造工程を示す図(その(1))である。

【図13】 (D)～(F)は、本発明の第1参考例によるDRAMの製造工程を示す図(その(2))である。

【図14】 (G)～(H)は、本発明の第1参考例によるDRAMの製造工程を示す図(その(3))である。

【図15】 (A)～(C)は、本発明の第2参考例によるDRAMの製造工程を示す図(その(1))である。

【図16】 (D)～(E)は、本発明の第2参考例によるDRAMの製造工程を示す図(その(2))である。

30

【図17】 (F)～(G)は、本発明の第2参考例によるDRAMの製造工程を示す図(その(3))である。

【符号の説明】

10, 20, 30 高誘電体キャパシタ

11, 31 Si基板

12 フィールド酸化膜

13 ポリシリコンパターン

14, 23 SiO₂膜

15 Ta₂O₅膜

16, 27, 44 上側電極

40

24 TiN/Ti膜

25 Ru(002)下側電極

26, 43 Ta₂O₅(001)膜

31A, 55, 56 拡散領域

32 絶縁膜

33, 39 Ti膜

34, 40 TiN膜

35 導体パターン

36 層間絶縁膜

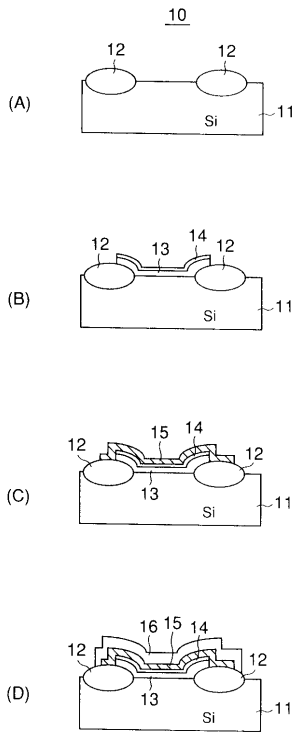
36A コンタクトホール

50

3 7	側壁絶縁膜	
3 8	導体膜	
3 8 A	導体プラグ	
4 1	Ru膜	
4 1 A	Ru(002)電極	
4 2	SiO ₂ 膜	
5 0	DRAM	
5 1	Si基板	
5 2	フィールド酸化膜	
5 3	ゲート絶縁膜	10
5 4	ゲート電極	
5 7	SiO ₂ 膜	
5 8	ビット線電極	
5 9	層間絶縁膜	
6 0	コンタクトホール	
6 1	導体膜	
6 2	導体プラグ	
6 3	TiN/Ti下地膜	
6 4	Ru(002)膜	
6 5	TiN/Ti下地パターン	20
6 6	Ru(002)下側電極	
6 7	SiO ₂ 膜	
6 8	Ta ₂ O ₅ (001)キャパシタ絶縁膜	
6 9	上側電極	
7 0	層間絶縁膜	
7 1	配線パターン	
7 2	SiO ₂ 膜	
7 3	自己整合開口部	

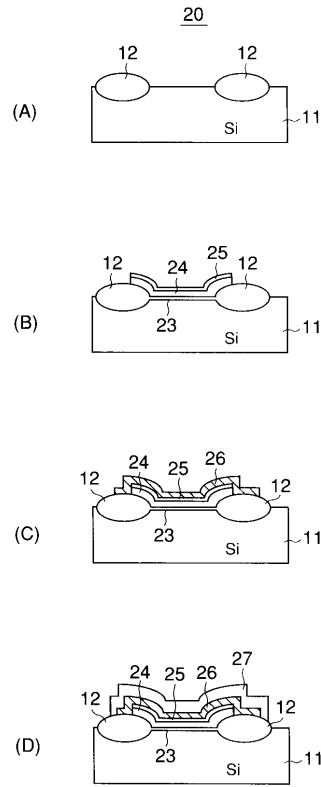
【 図 1 】

(A)~(D)は、従来の高誘電体キャパシタの製造工程を説明する図



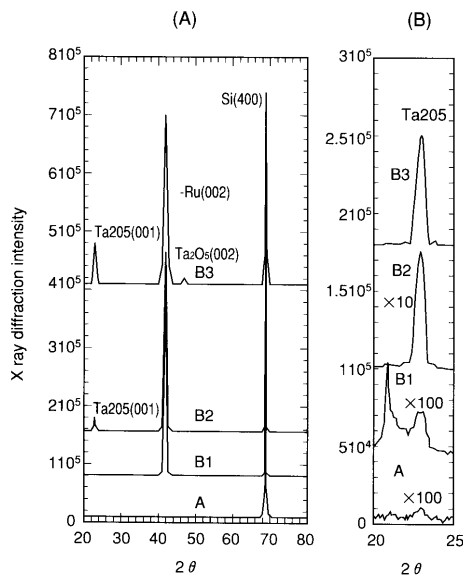
【 図 2 】

(A)~(D)は、本発明による高誘電体キャパシタの原理を示す図



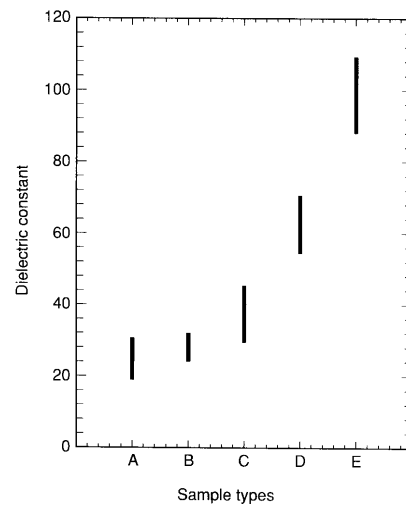
【 図 3 】

(A),(B)は、本発明による高誘電体キャパシタにおける下部電極およびその上の高誘電体膜のX線回折図形を示す図



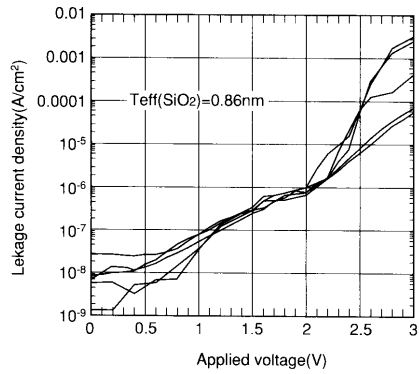
【 図 4 】

本発明による高誘電体膜の誘電率を、従来の高誘電体膜の誘電率と比較して示す図



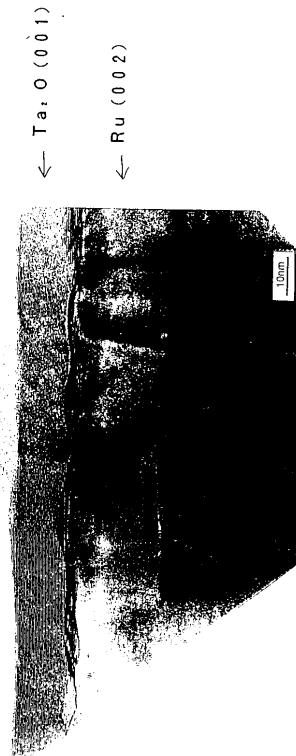
【 図 5 】

本発明による高誘電体キャパシタのリーク電流特性を示す図



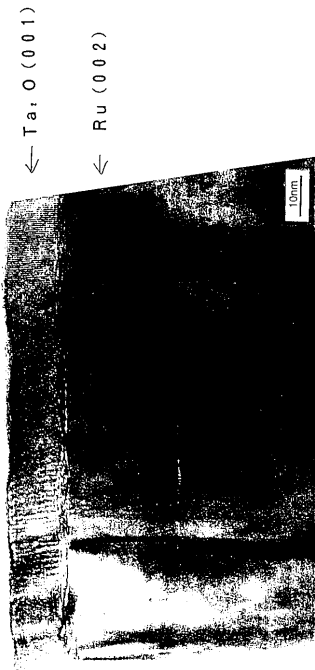
【 図 6 】

本発明による高誘電体キャパシタの断面TEM像を示す図



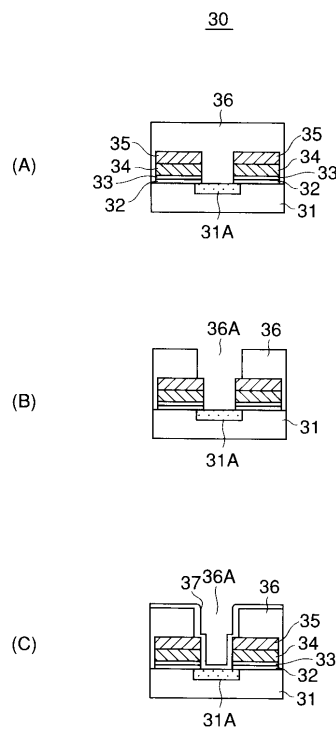
【 図 7 】

異なった条件で形成した高誘電体キャパシタの断面TEM像を示す図



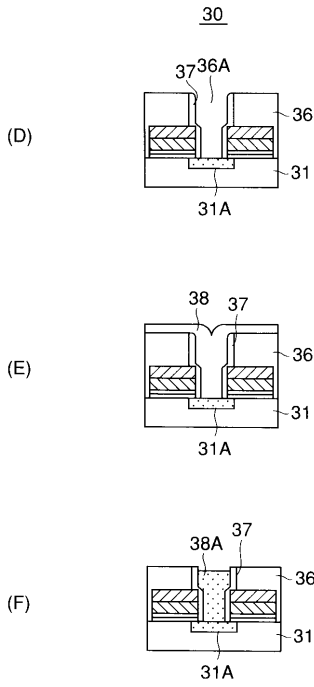
【 図 8 】

(A)~(C)は、本発明の第1実施例による高誘電体キャパシタの製造工程を示す図 (その1)



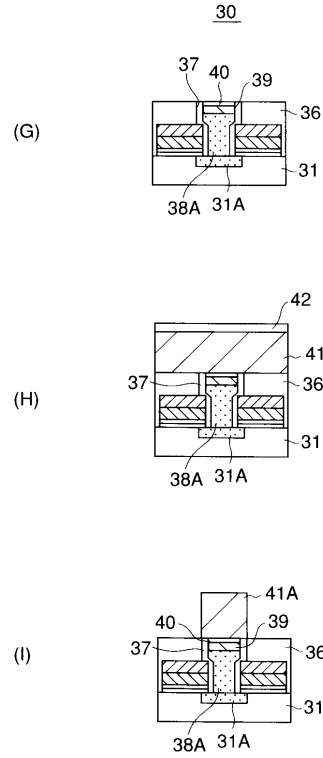
【 図 9 】

(D)~(F)は、本発明の第1実施例による高誘電体キャパシタの製造工程を示す図（その2）



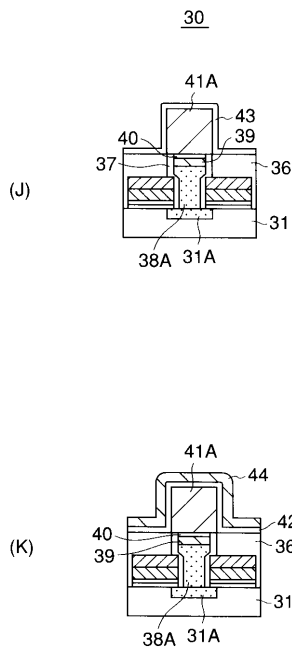
【 図 1 0 】

(G)~(I)は、本発明の第1実施例による高誘電体キャパシタの製造工程を示す図（その3）



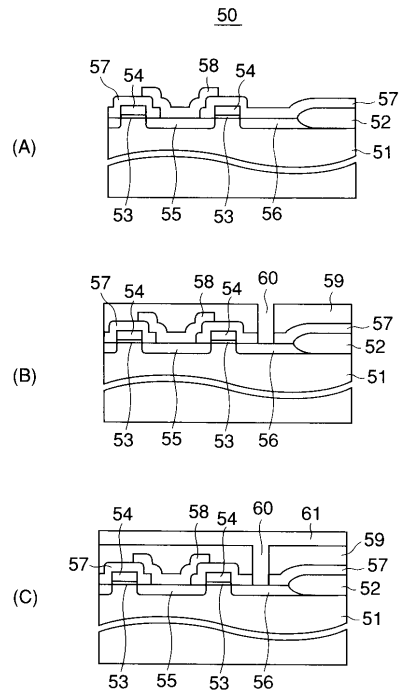
【 図 1 1 】

(J)~(K)は、本発明の第1実施例による高誘電体キャパシタの製造工程を示す図（その4）



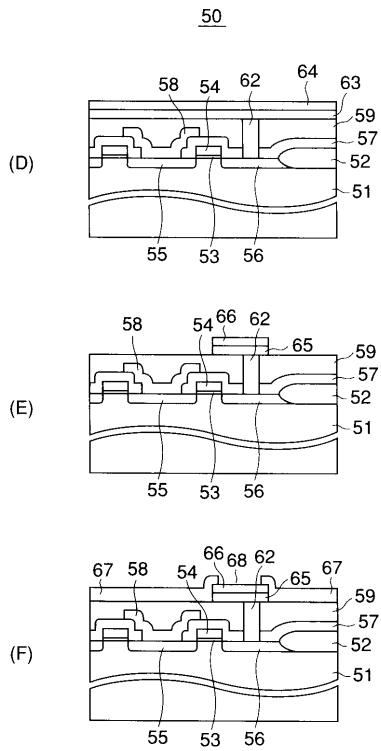
【 図 1 2 】

(A)~(C)は、本発明の第2実施例によるDRAMの製造工程を示す図（その1）



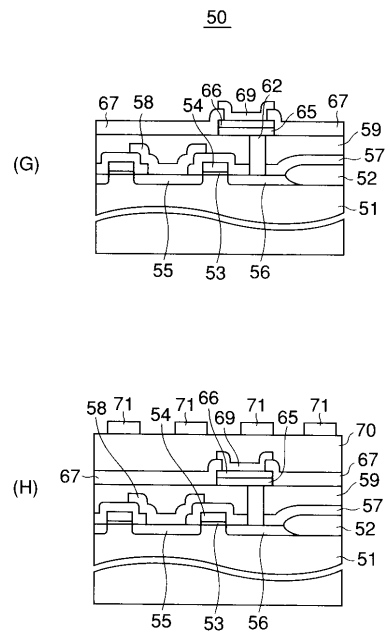
【 図 1 3 】

(D)~(F)は、本発明の第2実施例によるDRAMの製造工程を示す図（その2）



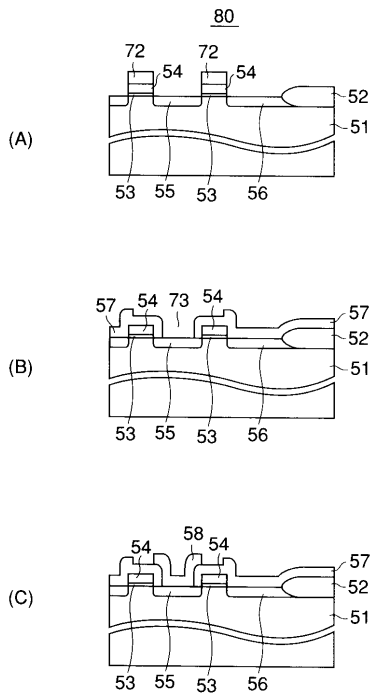
【 図 1 4 】

(G)~(H)は、本発明の第2実施例によるDRAMの製造工程を示す図（その3）



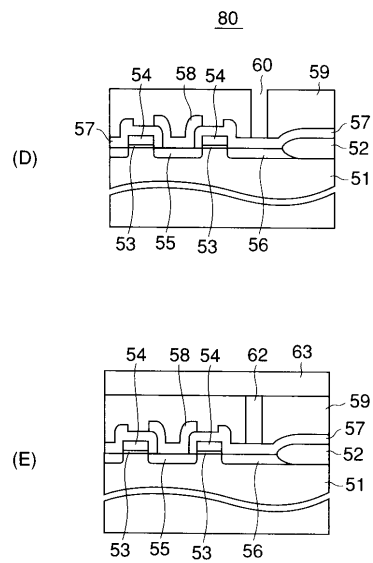
【 図 1 5 】

(A)~(C)は、本発明の第3実施例によるDRAMの製造工程を示す図（その1）



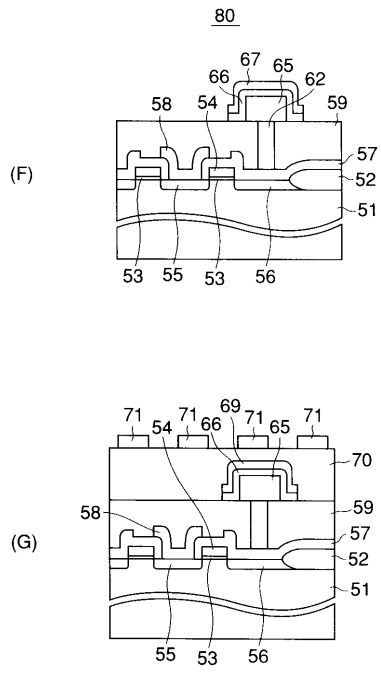
【 図 1 6 】

(D)~(E)は、本発明の第3実施例によるDRAMの製造工程を示す図（その2）



【 図 1 7 】

(F)~(G)は、本発明の第3実施例によるDRAMの製造工程を示す図（その3）



フロントページの続き

合議体

審判長 河合 章

審判官 瀧内 健夫

審判官 橋本 武

(56)参考文献 特開平10-189904(JP,A)

特開平10-270662(JP,A)

特開平10-247723(JP,A)

特開平07-014986(JP,A)

特開平07-161931(JP,A)

特開平10-313103(JP,A)

C.Chaneliere et al、 Properties of amorphous
and crystalinne Ta₂O₅ thin films deposited
on Si from a Ta(OC₂H₅)₅ precursor、 Journal
of Applied Physics、 1998年5月1日、 Vol.83、 No.9、
p.4823-4829