



1. 一种半导体存储器包括:

存储器单元阵列, 包括易失性存储器单元, 每一个易失性存储器单元都具有一电容器;

更新控制电路, 用来在一预设周期内为了更新所述存储单元而产生一更新请求;

第一脉冲串控制电路, 用来输出一预设数量的相应于一存取命令的选通信号, 存取命令是用来连续脉冲串存取所述存储单元阵列的命令;

数据输入/输出电路, 用来同步于每一个选通信号, 连续地将要传输的数据向/从所述存储单元阵列输入/输出; 和

判定器, 当所述更新请求和所述存取命令彼此冲突时, 用来决定更新操作和脉冲串存取操作中哪个首先被执行。

2. 根据权利要求1的半导体存储器, 其中

所述判定器包括一更新保持部分, 当所述脉冲串存取操作首先执行时, 用来在所述脉冲串存取操作期间保持所述更新请求。

3. 根据权利要求2的半导体存储器, 进一步包括

第二脉冲串控制电路, 用来输出相应于所述预设数量的选通信号被输出的一段时间的一脉冲串信号, 其中

保持所述更新请求的所述更新保持部分响应所述脉冲串信号的输出的完成, 输出一更新开始信号, 用来开始所述更新操作。

4. 根据权利要求2的半导体存储器, 其中

在所述存储器单元阵列的操作之后, 保持所述更新请求的所述更新保持部分不必等待从所述数据输入/输出电路输出数据的完成, 输出一更新开始信号, 用来开始所述更新操作。

5. 根据权利要求2的半导体存储器, 进一步包括多个字线, 它们每一个都和所述存储器单元的一预设数量的存储器单元相连; 并具有一完整脉冲串功能, 用来根据所述存取命令连续选择所述多个字线以

用于接收用来激活内部电路的芯片启动信号的芯片启动终端；和  
用于接收指示外部地址的有效性的一地址状况信号的一地址状况  
终端，其中

当所述芯片启动信号和所述地址状况信号中的至少一个被输入  
时，所述判定器探测到所述存取命令的提供。

14. 根据权利要求1的半导体存储器，进一步包括：

在从接收所述存取命令到输出读数据的周期期间，用来输出指示  
数据输出终端无效性的一等待信号的一等待终端。

15. 根据权利要求8的半导体存储器，进一步包括：

用于接收指示所述外部地址的有效性的一地址状况信号的一地址  
状况终端。

16. 根据权利要求1的半导体存储器，进一步包括：

多个用于输入/输出数据的数据输入/输出终端；

多个数据终端群，每一个都由所述数据输入/输出终端中的一预设  
数量的数据输入/输出终端组成；以及

多个用于接收指示分别传输到所述各数据终端群的数据的有效性的  
数据有效信号的数据有效终端。

17. 根据权利要求16的半导体存储器，其中

所述数据输入/输出电路包括输出缓冲器，在所述数据有效信号的  
无效期间，它们每一个都用于禁止从所述存储单元阵列传输来的读数  
据的输出，所述输出缓冲器对应于所述数据终端群。

18. 根据权利要求16的半导体存储器，进一步包括：

多个用来连接所述存储器单元和所述数据输入/输出电路的列开  
关；

多个列开关群，每一个都由所述列开关中的一预设数量的列开关  
组成，并且对应于所述数据终端群；以及

一个控制电路，当所述数据有效信号中的一个无效时，用来关闭  
对应于无效的数据有效信号的所述列开关群中的一个的列开关。

19. 根据权利要求1的半导体存储器，进一步包括：

存取所述存储器单元，其中

当转换所述字线的选择时，在一完整脉冲串期间保持所述更新请求的所述更新保持部分输出一更新开始信号，用来开始所述更新操作。

6. 根据权利要求2的半导体存储器，其中：

所述数据输入/输出电路包括用来把从所述存储器单元阵列传输来的并行读数据转换成串行数据的一数据寄存器；

在所述数据寄存器完成所述串行数据的输出之前，保持所述更新请求的所述更新保持部分输出用来开始所述更新操作的一更新开始信号。

7. 根据权利要求1的半导体存储器，其中

所述判定器包括一存取保持部分，当所述更新操作首先执行时，用来在所述更新操作期间保持所述存取命令。

8. 根据权利要求1的半导体存储器，进一步包括

用来接收相应于所述存取命令提供的一外部地址并用来进而产生接着所述外部地址的内部地址的一地址计数器。

9. 根据权利要求8的半导体存储器，其中

所述数据输入/输出电路包括用来保持从所述外部和内部地址指定的存储器单元输出的读数据并用来进而同步于所述选通信号把保持的读数据输出到一公共数据总线的一数据寄存器。

10. 根据权利要求9的半导体存储器，其中

在所述读数据被传输到所述数据寄存器之后，所述存储器单元阵列被去激励。

11. 根据权利要求8的半导体存储器，其中

所述数据输入/输出电路包括连接地用来同步于所述选通信号，保持要被传输到所述外部和内部地址指定的存储器单元的写数据，并用来把保持的写数据输出到所述存储器单元阵列的一数据寄存器。

12. 根据权利要求1的半导体存储器，其中

所述脉冲串控制电路同步于外部时钟信号输出所述选通信号。

13. 根据权利要求1的半导体存储器，进一步包括

一脉冲串前置终端，它接收用来暂时挂起所述脉冲串存取操作以保持读数据的输出的一脉冲串前置信号。

20. 根据权利要求1的半导体存储器，进一步包括：

一模式设置控制电路，在所述外部输入终端多次连续地接收预设逻辑值的信号后，用于接收提供给至少一个外部输入终端的一信号，作为用来设置运行模式的一设置信号。

21. 根据权利要求20的半导体存储器，其中

所述模式设置控制电路包括用来设置一等待时间的一模式寄存器，等待时间即从所述存取命令的接收到读数据输出的开始之间的时钟的数目。

22. 根据权利要求20的半导体存储器，其中

所述模式设置控制电路包括用来设置一脉冲串长度的一模式寄存器，脉冲串长度即数据被连续输入或输出的次数。

23. 根据权利要求1的半导体存储器，其中所述第一脉冲串控制电路包括：

当所述存取命令变为它的有效电平时，用来探测被提供的一个命令信号的一电平探测电路；和

从所述电平探测电路的探测算起测量了一段预设时间后，用来开始输出所述选通信号的一输出控制电路。

24. 一半导体存储器包括：

具有存储器单元的一存储器单元阵列；

第一脉冲串控制电路，用来输出对应于用来连续地脉冲串存取所述存储器单元阵列的一存取命令的一预设数量的选通信号；和

数据输入/输出电路，用来同步于每一个选通信号，连续地将要传输的数据向/从所述存储单元阵列输入/输出，其中

所述第一脉冲串控制电路包括：

当所述存取命令变为它的有效电平时，用来探测被提供的一个命令信号的一电平探测电路；和

从所述电平探测电路的探测算起测量了一段预设时间后，用来开

始输出所述选通信号的一输出控制电路。

25. 根据权利要求 24 的半导体存储器，其中

在一读操作期间，在探测到作为所述命令信号之一的芯片启动信号的有效电平后所述预设时间，所述第一脉冲串控制电路开始输出所述选通信号，所述选通信号是用来输出从所述存储单元阵列传输来的数据的信号。

26. 根据权利要求 24 的半导体存储器，其中

在一读操作期间，在探测到作为所述命令信号之一的输出启动信号的有效电平后所述预设时间，所述第一脉冲串控制电路开始输出所述选通信号，所述选通信号是用来输出从所述存储单元阵列传输来的数据的信号。

27. 根据权利要求 24 的半导体存储器，其中

在一写操作期间，在探测到作为所述命令信号之一的芯片启动信号的有效电平后所述预设时间，所述第一脉冲串控制电路开始输出所述选通信号，所述选通信号是用来输入要传输到所述存储单元阵列的数据的信号。

28. 根据权利要求 24 的半导体存储器，其中

在一写操作期间，在探测到作为所述命令信号之一的写启动信号的有效电平后所述预设时间，所述第一脉冲串控制电路开始输出所述选通信号，所述选通信号是用来输入要传输到所述存储单元阵列的数据的信号。

29. 根据权利要求 24 的半导体存储器，其中

读操作和写操作中所述预设时间的长度彼此不同。

30. 根据权利要求 24 的半导体存储器，其中

读操作和写操作中所述预设时间的长度彼此相同。

31. 根据权利要求 24 的半导体存储器，进一步包括

用来接收相应于所述存取命令所提供的一外部地址并用来进而产生接着所述外部地址的内部地址的一地址计数器，其中

响应输出所述选通信号的开始，所述地址计数器进行计数以产生

所述内部地址。

32. 根据权利要求 24 的半导体存储器，进一步包括用来从外部设置所述预设时间的一模式寄存器，并且其中所述第一脉冲串控制电路根据在所述模式寄存器中设置的值测量所述预设时间。

33. 根据权利要求 24 的半导体存储器，进一步包括依照在半导体存储器的制造过程中使用的一光掩模的图形形状，由形成在半导体衬底上的一导电图形构成的开关，并且其中所述第一脉冲串控制电路根据所述导电图形的目的地电压值测量所述预设时间。

34. 根据权利要求 24 的半导体存储器，进一步包括熔丝，其中指示所述预设时间的信息被编程，并且其中所述第一脉冲串控制电路根据在所述熔丝中编程的信息测量所述预设时间。

## 半导体存储器

### 技术领域

本发明涉及半导体存储器，它具有各自都有一电容器的易失存储器单元并且具有如 SRAM 的界面。

### 背景技术

最近，例如便携式电话等的移动设备已经升级了服务功能，而且其中操作的数据总量已经增加了。因此，对合并在这样的移动设备里的工作存储器的更大的容量的需求增长了。

通常，具有简单体系结构的 SRAM 作为这种移动设备的工作存储器而使用。然而，在提供大容量方面 SRAM 是不利的，因为它们比 DRAM 需要更多的元件来组成每一个存储单元。因此，发展了称作伪 SRAM 的半导体存储器，它既具有与 DRAM 一样的大容量，又具有与 SRAM 一样的高可用性。

随着第三代便携式电话或移动终端的发展，移动设备有望具有更高级的服务功能。随着移动设备功能的进步，请求合并在这样的移动设备里的工作存储器具有更高的速度性能和更大的容量。

通常的伪 SRAM 具有一个功能，称作页模式，用以通过连续地提供列地址执行读操作。页模式中的读操作通过连续地提供列地址而执行。通常，地址需要大量的位并且不仅提供给存储器而且给系统中的其它芯片，所以斜移 (skew) 有可能大。因此，存取周期越短，地址斜移与存取周期的比率有可能越大。地址斜移越大，与时间信号相关的地址的安装和保持时间必须被设置得越长。因此，存在着一个问题，即地址斜移对存取周期的缩短是一个妨碍，并且因此数据传输率不能提高。



## 发明内容

本发明的一个目的是提高同时具有与 DRAM 一样的大容量和与 SRAM 一样的高可用性的半导体存储器的数据传输率。

本发明的另一个目的是确保该系统能容易地控制合并在其中的半导体存储器，简化系统结构。

根据本发明的半导体存储器的一个方面，一存储器单元阵列由各自都具有一电容器的易失性存储器组成。一更新控制电路以一预设周期产生一更新请求用来更新存储单元。当收到一存取请求时，半导体存储器执行一脉冲串存取操作，它连续地激活存储单元阵列。第一脉冲串控制电路输出一预设数量的相应于存取请求的选通信号。同步于每一个选通信号，一数据输入/输出电路连续地输入/输出将传输到存储单元阵列/从存储单元阵列传输来的信号。

当更新请求和存取命令相互冲突时，一判定器决定首先执行一更新操作或一脉冲串存取操作中的哪一个。例如，在存取命令被赋予优先权的情况下，更新操作在脉冲串存取操作之后执行。在更新操作被赋予优先权的情况下，脉冲串存取操作在更新操作之后执行。因此，在自动执行更新操作的半导体存储器中，更新和脉冲串存取操作能够循序地执行而不重叠。

此外，脉冲串存取操作能够得到执行而不与自动执行更新操作的半导体存储器中的更新操作相冲突，因此读数据能够以高的速度输出，而写数据能够以高的速度输入。也就是说，数据传输速率能够提高。

根据本发明的半导体存储器的另一方面，判定器具有一更新保持部分，用于在脉冲串存取操作中保持一更新请求。因此，当脉冲串存取操作优先于更新操作而执行时，能够防止更新请求丢失。

根据本发明的半导体存储器的另一方面，第二脉冲串控制电路输出相应于预设数量的选通信号被输出的一段时间的一脉冲串信号。响应脉冲串信号输出的完成，保持一更新请求的更新保持部分输出一更新开始信号用于启动更新操作。因此，当脉冲串存取信号优先更新操作执行时，从脉冲串存取操作到更新操作开始的时间间隔能够缩短。

这使得能够更早期地提供下一个存取请求，提高了数据传输率。

根据本发明的半导体存储器的另一方面，在存储单元阵列的运行之后，保持一更新请求的更新保持部分输出一更新开始信号用于启动更新操作，而不必等待从数据输入/输出电路传输来的数据的输出的完成。在更新操作中，没有数据从半导体存储器的外部输入和输出到半导体存储器的外部。也就是说，从脉冲串存取操作到更新操作开始的时间间隔能够进一步缩短。这实现了更早期地提供下一存取请求，并因此数据传输速率能够进一步提高。

根据本发明的半导体存储器的另一方面，多个字线每一个都与一预设数量的存储单元连接。半导体存储器具有一完整脉冲串功能用来根据一存取命令连续地选择多个字线以连续地存取存储单元。当转换字线的选择/非选择的时候，在一完整脉冲串操作中保持一更新请求的更新保持部分输出一更新开始信号，用来开始更新操作。在完整脉冲串操作中，字线选择的转换总是必须的，并且存储单元阵列在转换期间被暂时去激励。在转换字线的时候执行更新操作能将与外部存取干涉的更新操作的效果减到最小。即使当更新操作被插入到完整脉冲串操作中时，这也防止了数据传输率的下降。

根据本发明的半导体存储器的另一方面，判定器具有一存取保持部分，用来当首先执行更新操作时，保持存取命令。因此，当更新操作优先于脉冲串存取操作执行时，能够防止存取请求丢失。

根据本发明的半导体存储器的另一方面，一地址计数器收到相应于存取命令而提供的一外部地址，并接着外部地址连续地产生内部地址。因此，仅有一个外部命令的接收允许执行脉冲串存取操作，并且能够减少由于外部地址的斜移造成的影响。这能够缩短独立于地址斜移的操作周期。结果，数据传输率能够进一步提高。

根据本发明的半导体存储器的另一方面，在读数据被传输到一数据寄存器之后，存储单元阵列被去激励。在脉冲串读操作期间存储单元阵列的迅速去激励允许更早期地启动响应一更新请求或下一存取请求的运行。结果，数据传输速率能够提高。

根据本发明的半导体存储器的另一方面，脉冲串控制电路同步于外部时钟信号输出选通信号。也就是说，甚至是在其中自动执行更新的时钟同步半导体存储器，数据传输率也能够提高。

根据本发明的半导体存储器的另一方面，在从一存取请求的接收到读数据的输出期间，从一等待终端输出一指示数据传输终端无效的等待信号。因此，安装了半导体存储器的系统能够根据等待信号以一最适宜的定时存取半导体存储器。例如，在等待信号输出的期间，管理系统的 CPU 等等能够存取另一不同的设备。结果，系统总线的使用效率能够提高。

根据本发明的半导体存储器的另一方面，通过多个数据输入/输出终端而输入/输出数据。多个数据终端群每个都由一预设数量的数据输入/输出终端组成。提供给相应于数据终端群的数据有效终端的数据有效信号指出了传输给各自数据终端群的数据是有效的还是无效的。因此，即使当数据的位宽度是很大的时，合并半导体存储器里的系统也能够有效执行数据写和读操作。

根据本发明的半导体存储器的另一方面，列开关连接存储单元和数据输入/输出电路。每个列开关群，它们相应于数据终端群，都由一预设数量的列开关组成。在数据有效信号的无效期间，一控制电路关掉相应于无效的数据有效信号的列开关群的列开关。在写操作期间，列开关以一相对迟的定时运行。因此，使用列开关屏蔽写数据使得容易执行写数据的屏蔽控制。

根据本发明的半导体存储器的另一方面，在预设逻辑值的信号被多次连续地提供给外部输入终端后，一模式设置控制电路接收提供给至少一个外部输入终端的信号，作为用来设置运行模式的一设置信号。由于运行模式能够通过使用这样一个正常情况下不能发生的地址和命令信号的结合而被设置，就没有必要提供任何专用终端用来设置运行模式。例如，等待时间，即从一存取命令的接收到读数据的输出开始之间的脉冲串时钟的数目，设置为运行模式。同时，脉冲串长度，即数据被连续输入或输出的次数，设置为运行模式。

根据本发明的半导体存储器的另一方面，第一脉冲串控制电路输出一预设数量的相应于一存取命令的选通信号，用来连续脉冲串存取存储单元阵列。此时，第一脉冲串控制电路的一电平探测电路发现作为存取命令提供的一命令信号变成它的有效电平。命令信号是，例如，一芯片启动信号，一输出启动信号，一写启动信号等等。测量了从电平探测电路的探测算起的一预设时间之后，第一脉冲串控制电路的输出控制电路开始输出选通信号。同步于每个选通信号，一数据输入/输出电路连续地输入/输出将传输到存储单元阵列/从存储单元阵列传输来的信号。

在一预设命令信号的电平改变之后，读数据的输出或者写数据的输入启动了预设时间，因此合并半导体存储器内的系统能够容易地控制半导体存储器。也就是说，系统结构能够简化。半导体存储器通过把命令信号的电平改变作为触发使用，开始了数据输入/输出操作。因此，本发明能够应用于时钟同步半导体存储器和时钟异步半导体存储器。

根据本发明的半导体存储器的另一方面，第一脉冲串控制电路根据在一模式寄存器中设置的值测量预设时间。

根据本发明的半导体存储器的另一方面，根据形成于半导体衬底上的一导电图形的连接目标的电压值，根据在半导体存储器的制造过程中使用的光掩模的图形形状，预设时间被修改。预设时间能够依照输出半导体存储器的产品规格（运行频率等等）而被设定。在通过根据运行频率改变光掩模，从而把通过同样的制造步骤制造并在运行频率上具有足够边际的半导体存储器作为不同产品发货的情况下，这是特别有利的。

根据本发明的半导体存储器的另一方面，根据熔丝编程修改预设时间。因此，例如，根据一探测器测试中估计的最高运行频率编程熔丝能够使预设时间设置得与所制造的半导体存储器的实际性能相适应。当根据其运行频率把通过使用同样的光掩模和制造步骤制造的半导体存储器分类成用来发货的不同产品时，这是特别有利的。

## 附图说明

当结合附图读下面的详细描述时，本发明的特性，原理和用途将变得更加明显，附图中同样的部件用相同的参数指示，其中：

图 1 是显示本发明的第一实施方式的简图；

图 2 是显示图 1 中的判定器的细节的简图；

图 3 是显示图 2 中的判定器的一运行的定时图；

图 4 是显示图 2 中的判定器的另一运行的定时图；

图 5 是显示图 2 中的判定器的另一运行的定时图；

图 6 是显示图 1 中的脉冲串控制电路的细节的简图；

图 7 是显示图 6 中的脉冲串控制电路的一运行的定时图；

图 8 是显示图 1 中的模式寄存器的一种设置方法的说明图；

图 9 是显示第一实施方式中的一脉冲串读操作的定时图；

图 10 是显示第一实施方式中的一脉冲串写操作的定时图；

图 11 是显示/ADV 信号的功能的定时图；

图 12 是显示脉冲串读操作中的/LB 和/UB 信号的功能的定时图；

图 13 是显示脉冲串写操作中的/LB 和/UB 信号的功能的定时图；

图 14 是显示本发明的第二实施方式的简图；

图 15 是显示第二实施方式中的一脉冲串读操作的定时图；

图 16 是显示本发明的第三实施方式的简图；

图 17 是显示图 16 中的脉冲串控制电路的基本部分的简图；

图 18 是显示图 16 中的脉冲串控制电路的其它基本部分的简图；

图 19 是显示图 16 中的模式寄存器的一种设置方法的说明图；

图 20 是显示第三实施方式中的一脉冲串读操作的定时图；

图 21 是显示第三实施方式中的一脉冲串写操作的定时图；

图 22 是显示本发明的第四实施方式的简图；

图 23 是图 22 中的脉冲串控制电路的基本部分的简图；

图 24 是显示图 22 中的脉冲串控制电路的其它基本部分的简图；

图 25 是显示图 22 中的模式设置控制电路的基本部分的简图；

图 26 是显示第四实施方式中的一脉冲串读操作的定时图；  
图 27 是显示第四实施方式中的一脉冲串写操作的定时图；  
图 28 是显示本发明的第五实施方式的简图；  
图 29 是显示图 28 中的模式设置控制电路的基本部分的简图；以  
及  
图 30 是显示模式寄存器的另一例子的说明图。

### 具体实施方式

下面将参照附图描述本发明的实施方式。

图 1 显示了根据本发明的半导体存储器的第一实施方式。图中，用粗线表示的信号线每个都由多个位组成。在图的左边显示的双环指示外部输入终端。用带前缀 “/” 的标号标记的信号表示负逻辑，而用带后缀 “Z” 的标号标记的信号表示正逻辑。在接下来的描述中，可以通过使用它们各自的缩写提到信号；例如，“外部时钟信号 CLK” 可以称为 “CLK 信号”，而 “芯片启动信号/CE” 可以称为 “/CE 信号”。

形成的半导体存储器作为一伪 SRAM，具有如 DRAM 的一存储单元，也具有如 SRAM 的界面。该伪 SRAM 具有一更新控制电路 10，一判定器 12，一命令解码器 14，一脉冲串控制电路 16，一模式设定控制电路 18，一脉冲串地址计数器 20，一定时控制电路 22，一地址锁存器 24，一地址解码器 26，一存储单元阵列 28，一读/写放大器 30，一脉冲串传输寄存器 32，一数据输出控制电路 34，和一数据输入控制电路 36。

更新控制电路 10，包括一定时器，以一预设周期输出一更新请求信号 REFZ，用来更新存储单元阵列 28 的存储单元 MC。

判定器 12 判断更新请求信号 REFZ 或一存取命令中哪个首先到达，并根据首先到达的信号输出一控制信号。当存储单元阵列 28 是连续存取（脉冲串存取）并且一读或写操作是连续执行时，该存取命令从外部提供给伪 SRAM。当一芯片启动信号/CE 和一地址状态信号

/ADS 都显示低电平时，该存取命令被辨认出来。在一脉冲串存取中，在一个存取命令（一个脉冲串存取操作）里输入或输出多个数据。

当判定更新请求信号 REFZ 第一个到达时，判定器 12 输出一更新开始信号 REFS1 和一有效信号 ACTZ。当判定存取命令第一个到达时，判定器 12 输出一有效信号 ACTZ。分别通过一芯片启动终端和一地址状态终端提供芯片启动信号/CE 和地址状态信号/ADS。当地址状态信号/ADS 显示低电平时，伪 SRAM 使提供到它那里的地址信号 ADD 生效。相反地，当地址状态信号/ADS 显示高电平时，伪 SRAM 使提供到它那里的地址信号 ADD 无效。应该知道，由于伪 SRAM 具有 SRAM 界面，地址信号 ADD 的行和列地址是同时提供。

当地址状态信号/ADS 显示低电平时，命令解码器 14 解码芯片启动信号/CE，输出启动信号/OE 和一写启动信号/WE（它们中的每一个一般也将被称作“命令信号 CMD”），并向定时控制电路 22，数据输出控制电路 34，数据输入控制电路 36 等等输出根据解码结果的控制信号。分别通过一输出启动终端和一写启动终端提供输出启动信号/OE 和写启动信号/WE。芯片启动，输出启动和写启动终端每一个一般也将被称作“命令终端”。

脉冲串控制电路 16 接收外部时钟信号 CLK，芯片启动信号/CE，一脉冲串地址前置信号/ADV，从模式设定控制电路 18 提供的一等待信号 LTC，并输出一脉冲串信号 BSTZ，脉冲串时钟信号 BCLK（一选通信号），提供给定时控制电路 22 的一定信号和一等待信号 WAIT。外部时钟信号 CLK 和脉冲串地址前置信号/ADV 分别通过一外部时钟终端和一脉冲串地址前置终端提供。等待信号 WAIT 通过一等待终端输出到伪 SRAM 的外部。脉冲串控制电路 16 作为第一脉冲串控制电路运行以输出脉冲串时钟信号 BCLK，并作为第二脉冲串控制电路运行以输出脉冲串信号 BSTZ。

模式设定控制电路 18 接收芯片启动信号/CE，输出启动信号/OE，写启动信号/WE，一高字节信号/UB（第一数据有效信号），一低字节信号/LB（第二数据有效信号），和地址信号 ADD，并且输出等待信

号 LTC 和一脉冲串长度信号 BL。/UB 和/LB 信号各自通过一高字节终端（第一数据有效终端）和一低字节终端（第二数据有效终端）提供。/UB 和/LB 信号是用来屏蔽读和写数据的一部分的信号。

模式设定控制电路 18 是用来设定伪 SRAM 的运行模式的电路并具有一个能够从外部设定的模式寄存器。等待时间 LTC 和脉冲串长度 BL 能够设置为运行模式。事先被设置好的等待时间 LTC 和脉冲串长度 BL 分别作为等待信号 LTC 和脉冲串长度信号 BL 输出。等待时间 LTC 是从一存取命令（一读命令）被提供的时刻到第一个数据被输出的时刻之间的时钟的数目。脉冲串长度 BL 是数据被输入或输入的次數，它相应于一存取命令。

脉冲串地址计数器 20 同步于来自定时控制电路 22 的一定信号产生接着地址信号 ADD 的内部地址信号 IADD。脉冲串地址计数器 20 多次产生比用脉冲串长度信号 BL 表示的脉冲串长度少一的内部地址信号 IADD。脉冲串地址计数器 20，当收到脉冲串地址前置信号/ADV 的高电平时，停止计数运行。地址信号 ADD 通过地址终端提供。

定时控制电路 22 收到来自判定器 12，命令解码器 14，脉冲串控制电路 16 等等的控制信号，并输出定时信号以控制脉冲串地址计数器 20，地址锁存器 24，地址解码器 26，读/写放大器 30 等等的运行。

地址锁存器 24 同步于地址锁存信号 ELAT 锁存地址信号 ADD，也同步于地址锁存信号 ILAT 锁存内部地址信号 IADD，并且把锁存信号输出到地址解码器 26。

地址解码器 26 解码被地址锁存器 24 锁存的地址信号，并输出信号以选择存储单元阵列 28 中的存储单元 MC。特别地，地址解码器 26 根据地址信号输出字线信号，用来选择一字线 WL，它将在下面描述，和列线路信号，用来开启列开关 SW，它也将下面描述。

存储单元阵列 28 有多个排列在一个矩阵中的可变存储单元 MC；多个和存储单元 MC 连接的字线 WL；多个也和存储单元 MC 连接的位线 BL；多个和位线 BL 连接的读出放大器 SA；多个连接位线 BL 和读/写放大器 30 的列开关 SW。存储单元 MC，与一典型 DRAM 的



存储单元相同，每一个都具有用来把数据作为电荷保持的电容器并具有一分布在电容器和一相关联位线 BL 之间的传输晶体管。每个传输晶体管的栅与一相关联字线 WL 连接。

列开关 SW 分类成相应于/UB 信号的第一列开关群和相应于/LB 信号的第二列开关群。在一脉冲串写操作期间，仅当/UB 信号显示低电平时，第一群列开关响应地址信号而打开。在该脉冲串写操作中，仅当/LB 信号显示低电平时，第二群列开关响应地址信号而打开。也就是说，写数据通过控制列开关 SW 屏蔽。

实际上，响应/UB 和/LB 信号，定时控制电路 22 激活地址解码器 26，它输出列选择信号 CL，因此控制第一和第二列开关群的运行。在数据输入/输出终端 DQ 收到的写数据传输到列开关 SW 之前能够执行写数据屏蔽控制。因此，写数据屏蔽控制能够容易地执行。

同步于一读放大器启动信号 RAEN，读/写放大器 30 把来自存储单元阵列 28 的并行读数据输出到数据总线 DB。同步于一写放大器启动信号 WAEN，读/写放大器 30 把脉冲串传输寄存器 32 提供的并行写数据输出到存储单元阵列 28。

脉冲串传输寄存器 32 具有多个数据寄存器(DT0, DT1 及其它)用来保存数据。脉冲串传输寄存器 32 使来自读/写放大器 30 的并行读数据转变成串行数据，并同步于脉冲串时钟信号 BCLK，把串行数据输出到一公共数据总线 CDB。脉冲串传输寄存器 32 也把来自公共数据总线 CDB 的串行写数据转变成并行数据，并同步于脉冲串时钟信号 BCLK 把并行数据输出到读/写放大器 30。

数据输出控制电路 34，在一读操作中被激活，通过输出缓冲器把公共数据总线 CDB 上的读数据输出到数据输入/输出终端 DQ。数据输入/输出终端 DQ 由十六位组成。当高字节信号/UB 显示低电平时，数据输出控制电路 34 输出该十六位读数据的高八位。当低字节信号/UB 显示低电平时，数据输出控制电路 34 输出该十六位读数据的低八位。数据输入/输出终端 DQ 由相应于/UB 信号的八位的第一数据终端群 UDQ 和相应于/LB 信号的八位的第二数据终端群 LDQ 组成。

数据输入控制电路 36, 在一写操作中被激活, 通过数据输入/输出终端 DQ 接收写数据, 并把接收到的数据输出到公共数据总线 CDB。脉冲串传输寄存器 32, 数据输出控制电路 34 和数据输入控制电路 36 作为一数据输入/输出电路运行, 用来连续输入或输出多个数据。

图 2 显示了图 1 中所示的判定器 12 的细节。

判定器 12 具有一更新判断部分 12a, 一更新保持部分 12b, 一命令产生部分 12c, 和一存取保持部分 12d。

具有一 RS 触发器的更新判定部分 12a, 在有效信号 ACTZ 的低电平期间运行, 并且判断更新请求信号 REFZ 或一存取信号 ACSZ 中的哪个第一个到达。存取信号 ACSZ 是一个指示/CE 和/ADS 信号的 OR 逻辑 (负逻辑) 的信号。也就是说, 当/CE 或/ADS 信号改变到低电平时, 存取命令的提供被发现并且 ACSZ 信号被输出。更新判断部分 12a, 当判定 REFZ 信号第一个到达时, 导致一更新启动信号 REFENZ 改变为高电平。更新判断部分 12a, 当判定 ACSZ 信号第一个到达时, 保持更新启动信号 REFENZ 为低电平。

当更新启动信号 REFENZ 显示低电平或者脉冲串信号 BSTZ 显示高电平时, 更新保持部分 12b 保持更新请求信号 REFZ。同步于脉冲串信号 BSTZ 的一下降边, 保持更新请求信号 REFZ 作为更新开始信号 REFS1 和作为一更新开始信号 REFS2 输出。当更新启动信号 REFENZ 显示高电平时并且进一步当脉冲串信号 BSTZ 显示低电平时, 响应更新请求信号 REFZ, 更新保持部分 12b 输出更新开始信号 REFS1 和 REFS2。同步于在更新操作结束时输出的一更新停止信号 RSTPZ, 更新保持部分 12b 停止输出更新启动信号 REFS1。

脉冲串信号 BSTZ 是在一脉冲串存取操作期间 (一脉冲串读或写操作期间) 输出的一信号。也就是说, 根据本发明, 在一脉冲串操作中, 更新请求没有丢失而是被保存了, 并且在存储单元阵列 28 的脉冲串操作之后 (在伪 SRAM 的脉冲串运行的完成前) 执行相应于保持更新请求的更新操作。因此, 能够缩短从脉冲串操作到更新操作开始之间的时间, 因此能够提高数据传输速率。

响应更新开始信号 REFS2 或一存取开始信号 ACSS, 命令产生部分 12c 输出有效信号 ACTZ。有效信号 ACTZ 的输出允许脉冲串存取操作或更新操作得到执行。

当有效信号 ACTZ 显示一低电平时, 响应存取信号 ACSZ, 存取保持部分 12d 输出存取开始信号 ACSS。当有效信号 ACTZ 的高电平期间存取保持部分 12d 接收存取信号 ACSZ 的情况下, 它没有丢失而是保持存取信号 ACSZ, 并且同步于有效信号 ACTZ 的下降边, 它把保持存取信号 ACSZ 作为存取启动信号 ACSS 输出。通常, 在脉冲串存取操作期间, 当存储单元阵列 28 运行时, 没有新的存取命令引起用来存取存储单元阵列 28 的请求被提供。因此, 当有效信号 ACTZ 联系于更新操作被输出时, 执行存取信号 ACSZ 的保持。

图 3 显示了图 2 中所示的判定器 12 的一种操作。图 3 显示了更新请求紧接着收到一存取命令而发生的一种情况。就是说, 在一脉冲串读操作后执行一更新操作。在该例子中, 读等待时间设置为 “4”, 而脉冲串长度设置为 “4”。

首先, 同步于零 CLK 信号的上升边, 提供地址信号 ADD (A0) 和 /ADS, /CE 和 /OE 信号 (图 3 (a))。就是说, 提供一读命令。响应 /ADS 和 /CE 信号, 判定器 12 输出一存取信号 ACSZ (图 3 (b))。

在存取信号 ACSZ 被输出之后, 输出一更新请求信号 REFZ (图 3 (c))。更新判断部分 12a 判定 ACSZ 信号第一个到达, 并保持更新启动信号 REFENZ 在低电平。更新保持部分 12b 接收 REFENZ 信号的低电平, 并在更新操作的开始之前一直保持更新请求信号 REFZ, 如图中的虚线所示 (图 3 (d))。

存取保持部分 12d 接收 ACSZ 信号并输出存取开始信号 ACSS。命令产生部分 12c 接收 ACSS 信号并输出一有效信号 ACTZ (图 3 (e))。ACTZ 信号变为高电平导致存储单元阵列 28 从一备用态 STBY 变为一有效态 ACTV。

图 1 中显示的脉冲串控制电路 16 收到一存取命令并输出一脉冲串信号 BSTZ (图 3 (f)) 和一等待信号 WAIT (图 3 (g))。该系统

包括伪 SRAM，接收等待信号 WAIT 以检测没有读数据从伪 SRAM 中输出，该系统例如可以存取另一器件。因此，提高了该系统总线的利用率。

然后，启动脉冲串读操作，并且第一读数据 D0 和 D1 被输出到数据总线 DB（图 3（h））。然后，完成了存储单元阵列 28 的读操作，并输出读数据 D2 和 D3。脉冲串控制电路 16 导致脉冲串信号 BSTZ 改变为低电平（图 3（i））。

读数据 D2 和 D3 被输出之后，存储单元阵列 28 被去激励。同步于脉冲串信号 BSTZ 的下降边，判定器 12 的更新保持部分 12b 输出更新启动信号 REFS1 和 REFS2，用来启动更新操作（图 3（j））。因此，在存储单元阵列 28 的运行之后，不用等待来自脉冲串传输寄存器 32 的读数据 D2 和 D3 的输出完成，更新开始信号 REFS1 和 REFS2 被输出。起初，在读数据的输出完成之前，不使用数据总线 DB 的更新操作能够提高数据总线 DB 的使用率。特别地，能够以一更早的时间接收下一个存取命令。

响应更新启动信号 REFS2，有效信号 ACTZ 再次改变为高电平，这导致执行更新操作（图 3（k））。就是说，当读数据 D2 和 D3 正被传输到数据输入/输出终端 DQ 时，存储单元阵列 28 的状态变为更新态 REF。

同步于更新操作的完成，输出一更新停止信号 RSTPZ，并且更新启动信号 REFS1 和有效信号 ACTZ 变为它们各自的低电平（图 3（l），（m））。然后，存储单元阵列 28 的状态变为备用态 STBY。然后，/CE 和/OE 信号被导致显示它们各自的高电平，导致脉冲串读操作的完成（图 3（n））。

图 4 是显示判定器 12 的另一操作的定时图。省略了相应于图 3 的相同操作的操作详细描述。图 4 显示了一更新请求发生在紧靠接收到存取信号之前的一种情况。也就是说，先于一脉冲串读操作执行一更新操作。在该例子中，读等待时间设置为“4”，而脉冲串长度设置为“4”。

首先，输出一更新请求信号 REFZ (图 4 (a))。更新判断部分 12a 判定更新请求信号 REFZ 第一个到达，并导致更新启动信号 REFENZ 变为高电平 (图 4 (b))。此时，因为存储单元阵列 28 处在一备用态 STBY，一脉冲串信号 BSTZ 没有被输出。因此，更新保持部分 12b 接收 REFENZ 信号并输出更新启动信号 REFS1 和 REFS2 (图 4 (c))。

此后，同步于第零 CLK 信号的上升边，提供地址信号 ADD (A0) 和 /ADS, /CE 和 /OE 信号，并且一存取信号 ACSZ 变为高电平 (图 4 (d))。响应更新启动信号 REFS2，命令产生部分 12c 输出一有效信号 ACTZ (图 4 (e))。然后，执行更新操作。在更新操作期间和有效期间的开始时，一等待信号 WAIT 变为高电平 (图 4 (f))。将在下面参照图 6 进行等待信号 WAIT 的详细描述。

存取保持部分 12d 收到 ACTZ 信号的高电平并保持 ACSZ 信号 (图 4 (g))。同步于 ACTZ 信号的下降边，存取保持部分 12d 输出相应于更新操作的完成的 ACTZ 信号 (图 4 (h))。ACTZ 信号改变为高电平导致存储单元阵列 28 从更新态 REF 直接变为有效态 ACTV 而不经历备用态 STBY。因此，脉冲串读操作能够更早地开始。

此后，类似于图 3，执行脉冲串读操作，并输出读数据 D0-D3 (图 4 (i))。

图 5 是显示判定器 12 的另一操作的定时图。省略了相应于图 3 的同样操作的操作的详细描述。图 5 显示了当已经把一完整脉冲串模式确定为操作模式时，一更新请求紧接着接收到一存取信号而发生的一种情况。这里“完整脉冲串模式 (完整模式功能)”是这样一种运行模式，其中在 /CE 信号的低电平期间，响应一存取命令，数据被连续输出 (或输入)。

在该完整脉冲串模式中，图 1 所示的脉冲串地址计数器 20 在 /CE 信号的低电平期间连续地产生内部地址信号 IADD。特别地，在相应于选择的字线 WL 的内部地址信号 IADD 连续产生之后，连续地产生相应于相邻字线 WL 的内部地址信号 IADD。就是说，在完整脉冲串

运行期间，字线 WL 的选择被转换。

图中，相应于读数据  $D_{n-3}$ ,  $D_{n-2}$ ,  $D_{n-1}$  和  $D_n$  的字线 WL 与相应于读数据  $D_0$ ,  $D_1$ ,  $D_2$  和  $D_3$  的字线 WL 是不同的。也就是说，在第八时钟周期期间，字线 WL 的选择被转换。当字线 WL 被转换时，执行一更新操作。在图 5 中用参考标号 (a) 到 (m) 指示的操作与图 3 中用相同参考标号指示的操作是相同的，并且因此省略了它们的详细描述。

在由于字线 WL 的转换不能输出读数据期间，输出一等待信号 WAIT (图 5 (n))。

为了转换字线 WL，在图 1 中显示的判定器 12 和脉冲串控制电路 16 重新激活曾经被去激励的脉冲串信号 BSTZ 和有效信号 ACTZ (图 5 (o))。然后，执行与重新选择的字线 WL 连接的存储单元 MC 的脉冲串读操作。

图 6 显示了图 1 中所示的脉冲串控制电路 16 的细节。

脉冲串控制电路 16 具有一七位移位寄存器 16a；用来多次输出根据脉冲串长度 BL 的脉冲串时钟信号 BCLK 的一组合电路 16b；用来在输出脉冲串时钟信号 BCLK 之前持续输出一等待信号 WAIT1 的一触发器电路 16c；和一等待控制电路 16d。图 6 中的标号 “DLY” 和 “PLS” 分别代表一延迟电路，另一延迟电路和一脉冲串发生器。

当在脉冲串存取操作期间没有数据输入到或从数据输入/输出终端 DQ 输出时，等待控制电路 16d 输出一等待信号 WAIT2。例如，当在完整脉冲串运行期间字线 WL 的选择被转换时，等待信号 WAIT2 被输出。输出到等待终端的等待信号 WAIT 是等待信号 WAIT1 和 WAIT2 的 OR 逻辑。

图 7 显示了图 6 中所示的脉冲串控制电路 16 的一种运行。在本例中，以下将描述图 1 中所示的模式设定控制电路 18 的模式寄存器中的等待时间设置为 “4” 的情况。现在，在这种情况下，参照图 6，在接收一 LTC 信号的 NAND 门外面，仅仅接收计数信号 BCNT3 的 NAND 门作为一反相电路运行，而其它 NAND 门输出高电平。

首先，提供一存取命令（在本例中，因为/OE 信号的低电平导致的读命令），并且图 1 中所示的脉冲串控制电路 16 导致脉冲串信号 BSTZ 变为一高电平（图 7（a））。脉冲串信号 BSTZ 的高电平取消了移位寄存器 16a 的重置。同步于外部时钟信号 CLK，移位寄存器 16a 导致计数信号 BCNT1-4 结果变为高电平（图 7（b））。

同步于计数信号 BCNT1 的上升边，设置了触发器电路 16c，并且等待信号 WAIT1 变为高电平（图 7（c））。

同步于计数信号 BCNT3 的上升边（图 7（d）），一启动信号 BCNTEN 变为一高电平。启动信号 BCNTEN 的高电平重置触发器电路 16c，而等待信号 WAIT1 变为一低电平（图 7（e））。

启动信号 BCNTEN 的高电平导致脉冲串时钟信号 BCLK 同步于外部时钟信号 CLK 输出（图 7（f））。脉冲串时钟信号 BCLK（选通信号）被输出相应于模式寄存器中设置的脉冲串长度 BL 的次数。然后，读数据同步于脉冲串时钟信号 BCLK 被输出到数据输入/输出终端 DQ。

同步于第六外部时钟信号 CLK，脉冲串控制电路 16 导致脉冲串信号 BSTZ 变为低电平（图 7（g））。也就是说，根据输出脉冲串时钟信号 BCLK 的时间间隔，输出脉冲串信号 BSTZ。脉冲串信号 BSTZ 的低电平重置移位寄存器 16a，导致计数信号 BCNT1-4 变为低电平（图 7（h））。

计数信号 BCNT3 的低电平导致启动信号 BCNTEN 变为低电平，这导致脉冲串时钟信号 BCLK 的输出停止（图 7（i））。因此，根据在模式寄存器中设置的等待时间 LTC，开始读数据的输出，并且读数据被输出相应于脉冲串长度 BL 的次数（图 7（j））。

图 8 显示了图 1 中所示的模式设定控制电路 18 的模式寄存器的一种设置方法。

模式寄存器的设置是通过连续地四次往那里提供一预设命令 CMD（CMD1, CMD2, CMD3, CMD4）和一预设地址 ADD（CODE1, CODE2, CODE3, CODE4）并且然后向地址终端提供预设代码 CODE5

和 CODE6 而进行。根据代码 CODE5 设置脉冲串长度 BL, 并且根据代码 CODE6 设置等待时间 LTC。也就是说, 模式寄存器接收代码 CODE5 和 CODE6 作为设置模式, 用来设置运行模式。例如, 当代码 CODE5 是十六进制 0 时运行模式设置为一八字脉冲串模式; 而当代码 CODE5 是十六进制 3 时它设置为一完整脉冲串模式。

图 9 显示了在以上描述的伪 SRAM 中的完整脉冲串模式期间的一读操作。

首先, 同步于第零 CLK 信号的上升边, 提供地址信号 ADD ( $A_n$ ) 和 /ADS, /CE 和 /OE 信号 (图 9 (a))。图 1 中所示的定时控制电路 22 输出一地址锁存信号 ELAT, 用来锁存从外部提供的地址信号 ADD (图 9 (b))。同步于地址锁存信号 ELAT, 地址锁存器 24 锁存地址信号 ADD ( $A_n$ ) (图 9 (c))。

接着, 定时控制电路 22 输出一读放大器启动信号 RAEN (图 9 (d))。读放大器启动信号 RAEN 激活读/写放大器 30, 导致并行读数据 D0 和 D1 输出到数据总线 DB0 和 DB1 (图 9 (e))。同步于脉冲串时钟信号 BCLK, 并行读数据 D0 和 D1 被脉冲串传输寄存器 32 的数据寄存器转换成串行数据, 并且连续地输出到公共数据总线 CDB。然后, 同步于时钟信号 CLK, 读数据 D0 和 D1 从数据输入/输出终端 DQ 输出 (图 9 (f))。

接着, 定时控制电路 22 输出一地址锁存信号 ILAT (图 9 (g))。同步于地址锁存信号 ILAT, 地址锁存器 24 锁存内部地址信号 IADD ( $A_{n+1}$ ) (图 9 (h))。然后, 以和上面相似的方式, 输出相应于内部时钟信号 IADD 的读数据 D2 和 D3 (图 9 (i))。

此后, 定时控制电路 22 连续输出地址锁存信号 ILAT (图 9 (j)), 并且根据脉冲串地址计数器 20 产生的内部地址信号 IADD, 连续输出读数据 (图 9 (k))。

图 10 显示了在以上描述的伪 SRAM 中的完整脉冲串模式期间的一写操作。

首先, 同步于第零 CLK 信号的上升边, 提供地址信号 ADD ( $A_n$ )



和/ADS, /CE 和/WE 信号 (图 10 (a))。图 1 中所示的定时控制电路 22 输出一地址锁存信号 ELAT, 用来锁存从外部提供的地址信号 ADD (图 10 (b))。同步于地址门锁信号 ELAT, 地址锁存器 24 锁存地址信号 ADD (An) (图 10 (c))。

在写操作中, 同步于各 CLK 信号各自的上升边, 以这样的方式连续提供写数据: 同步于 CLK 信号的上升边开始写数据的连续的提供, 此时, 接收到存取命令 (图 10 (d))。同步于脉冲串时钟信号 BCLK, 脉冲串传输寄存器 32 的数据寄存器连续地保持来自公共数据总线 CDB 的写数据, 并把保持的数据传输到数据总线 DB0 和 DB1。也就是说, 公共数据总线 CDB 上的串行写数据被转换成并行写数据 (图 10 (e))。

同步于一写放大器启动信号 WAEN, 读/写放大器 30 把来自数据总线 DB0 和 DB1 的写数据写进存储单元阵列 28 (图 10 (f))。

然后, 类似于图 9, 同步于地址锁存信号 ILAT, 锁存内部地址信号 IADD (图 10 (g))。然后, 写数据 D3, D4, D5 和其它被相继写进相应于内部地址信号 IADD 的存储单元 MC 中 (图 10 (h))。

图 11 显示了脉冲串地址前置信号/ADV 的功能。

提供/ADV 信号使得暂时停止一脉冲串存取操作并保持读数据的输出。例如, 如果/ADV 信号的一高电平同步于第四时钟信号 CLK 的上升边被提供, 脉冲串存取操作被暂时停止, 并且同步于下一个时钟周期而输出的读数据 D1 不仅在第四时钟周期而且在第五时钟周期被保持。也就是说, /ADV 信号的提供导致伪 SRAM 的内部运行在一个时钟周期后转变。

图 12 显示了在一脉冲串读操作期间低字节信号/LB 和高字节信号/UB 的功能。图中, 为了更好地了解, 公共数据总线 CDB 被描述成分离的总线: 相应于/LB 信号的 LCDB 和相应于/UB 信号的 UCDB。

/LB 信号是这样一信号它被提供以使数据的低八位有效, 而/UB 信号是这样一信号它被提供以使数据的高八位有效。根据该实施方式, 在读操作中, 如果/LB 信号 (或/UB 信号) 的一高电平同步于一

时钟信号 CLK 的上升边被提供, 将同步于下一时钟周期输出的读数据被禁止输出。也就是说, 图 1 中所示的数据输出控制电路 34 中的输出缓冲被去激励, 因此导致数据输入/输出终端 DQ 进入一高阻抗态。

图 13 显示了在一脉冲串写操作期间低字节信号/LB 和高字节信号/UB 的功能。同样, 在该图中, 为了更好地理解, 公共数据总线 CDB 被描述成分离的总线: 相应于/LB 信号的 LCDB 和相应于/UB 信号的 UCDB。同样, 为了更好地理解, 数据总线 DB0 被描述成分离的总线: 相应于/LB 信号的 LDB0 和相应于/UB 信号的 UDB0。同样, 数据总线 DB1 被描述成分离的总线: 相应于/LB 信号的 LDB1 和相应于/UB 信号的 UDB1。

根据该实施方式, 在写操作中, 如果/LB 信号(或/UB 信号)的一高电平同步于一时钟信号 CLK 的上升边被提供, 同步于该时钟信号 CLK 输出的写数据被去激励。特别地, 当/LB 信号(或/UB 信号)显示一高电平时, 相应的列选择信号 CL(LCL0, UCL0, LCL1, UCL1)不输出, 以致列开关 SW 不开启。因此, 相应于/LB 信号(或/UB 信号)的高电平的写数据不被写进存储单元 MC。

例如, /UB 信号同步于第零时钟信号 CLK 显示一高电平(B1)。/LB 信号同步于第一时钟信号 CLK 显示一高电平(C1)。因此, 相应的列选择信号 UCL0 和 LCL1 不输出, 而传输到数据总线 LDB1 和 UDB0 的写数据不写进存储单元 MC。

在以上描述的第一实施方式中, 当更新请求信号 REFZ 和一存取请求的提供互相冲突时, 判定器 12 决定更新操作或脉冲串存取操作中的哪一个首先执行。因此, 在伪 SRAM 中, 更新和脉冲串存取操作能够被连续执行而不重叠。由于脉冲串存取操作能够执行而不与更新操作冲突, 读数据能够以一高的速度输出, 并且写数据能够以一高的速度输入。也就是说, 能够提高数据传输速率。

在判定器 12 中形成的是更新保持部分 12b 用来在脉冲串存取操作期间保持更新请求信号 REFZ。因此, 当脉冲串存取操作先于更新操作执行时, 能够防止更新请求信号 REFZ 丢失。同样在判定器 12 中形

成的是存取保持部分 12d 用来在脉冲串存取操作期间保持一存取命令。因此，当更新操作先于脉冲串存取操作执行时，能够防止存取请求丢失。

更新保持部分 12b 响应脉冲串信号 BSTZ 的输出的完成而输出更新开始信号 REFS1 和 REFS2。因此，当脉冲串存取操作首先执行时，能够缩短从脉冲串存取操作到更新操作开始的时间。结果，下一存取命令能够更早地提供，并且因此能够提高数据传输速率。

更新保持部分 12b 也输出更新开始信号 REFS1 和 REFS2，而不必等待来自脉冲串传输寄存器 32 的读数据的输出的完成。因此，脉冲串运行期间更新操作能够启动，并且因此能够进一步提高数据传输速率。

在完整脉冲串运行中，当字线 WL 的选择转换时，更新保持部分 12b 输出更新开始信号 REFS1 和 REFS2。当脉冲串运行中断时（在转换字线 WL 时）执行更新操作能够使与外部存取相干涉的更新操作的效果最小。结果，甚至当更新操作被插入完整脉冲串运行中时，能够防止数据传输速率降低。

响应根据存取命令提供的地址信号 ADD，脉冲串地址计数器 20 连续产生对于脉冲串运行必需的内部地址信号 IADD。在伪 SRAM 内部产生对于脉冲串运行必需的地址信号能够减小地址信号的斜移的效果。因此，运行周期能够独立于地址斜移而被缩短，并且因此能够进一步提高数据传输速率。

形成等待终端以输出表示数据输入/输出终端 DQ 无效的等待信号 WAIT。因此，包括伪 SRAM 的系统能够以一最适宜的定时依照等待信号 WAIT 存取伪 SRAM。例如，用来管理系统的 CPU 等等在等待信号 WAIT 的输出期间能够存取一不同的设备。结果，能够提高系统总线的使用率。

根据 /UB 和 /LB 信号写数据的输入和读数据的输出被屏蔽。因此，甚至当数据信号 DQ 的位宽度很大时，包括伪 SRAM 的系统能够有效写和读取数据信号 DQ。

在写操作中，通过关掉在一相对迟的时间运行的列开关，屏蔽了写数据。因此，能够容易地执行写数据的屏蔽控制。

模式设置控制电路 18 在地址和命令终端连续四次接收预设逻辑值的信号，然后接收提供给地址终端的信号 CODE5 和 CODE6，作为设置信号用来设置读等待时间 LTC 和脉冲串长度 BL。这排除了提供任何专用终端用来设置运行模式的必要。

脉冲串运行期间，读数据被传输到脉冲串传输寄存器 32 的数据寄存器之后，存储单元阵列 28 被去激励。脉冲串读操作期间存储单元阵列 28 的快速去激励允许响应一更新请求或下一存取请求的操作更早地开始。结果，能够提高数据传输速率。

图 14 显示了根据本发明的半导体存储器的第二实施方式。在该实施方式中，相应于第一实施方式中相同元件的元件用同样的参考标号表示，而它们详细的描述省略了。

根据本实施方式，形成一定时控制电路 38，一读/写放大器 40 和一脉冲串传输寄存器 42 分别代替第一实施方式的定时控制电路 22，读/写放大器 30 和脉冲串传输寄存器 32。连接读/写放大器 40 和脉冲串传输寄存器 42 的一数据总线 DB 具有和公共数据总线 CDB 相同的位宽度。本实施方式的其它结构与第一实施方式的那些相同。

在一脉冲串操作期间，同步于各时钟信号 CLK 各自的上升边，定时控制电路 38 输出读放大器启动信号 RAEN 或写放大器启动信号 WAEN。脉冲串传输寄存器 42 通过公共数据总线 CDB 直接把由读/写放大器 40 提供的读数据传输到数据输出控制电路 34。也就是说，读数据不经过并行-串行转换。脉冲串传输寄存器 42 通过数据总线 DB 直接把由数据输入控制电路 36 提供的写数据输出到读/写放大器 40。也就是说，写数据不经受串行-并行转变。

图 15 显示了图 14 中所示的伪 SRAM 的一完整脉冲串读操作。相应于第一实施方式（图 5）的同样操作的操作的详细描述省略了。

在图 15 中，紧接着接收到一存取命令，产生一更新请求。也就是说，在一读操作后执行一更新操作。在该例中，读等待时间 LTC 设置

为“4”。

首先，同步于第零 CLK 信号的上升边，提供一读命令，并且图 2 中显示的判定器 12 输出存取信号 ACSZ（图 15（a））。判定器 12 的更新判断部分 12a 在读命令被提供后接收到一更新请求信号 REFZ。因此，更新启动信号 REFENZ 被保持在低电平（图 15（b））。命令产生部分 12c 响应存取信号 ACSZ 输出有效信号 ACTZ。（图 15（c））。有效信号 ACTZ 变为高电平导致存储单元阵列 28 从备用态 STBY 变为有效态 ACTV。

接着，一脉冲串信号 BSTZ 变为一高电平，并且在一预设时间内等待信号 WAIT 显示一高电平。定时控制电路 38 同步于第三到第六时钟信号 CLK 各自的上升边输出读放大器启动信号 RAEN（图 15（d））。脉冲串控制电路 16 同步于第三到第六时钟信号 CLK 各自的上升边输出脉冲串时钟信号 BCLK（图 15（e））。然后，执行读操作，并且读数据  $D_{n-3}$ ， $D_{n-2}$ ， $D_{n-1}$  和  $D_n$  相继输出到数据总线 DB（图 15（f））。

在本实施方式中，读/写放大器 40 根据各自的时钟信号 CLK 输出读数据  $D_{n-3}$ ， $D_{n-2}$ ， $D_{n-1}$  和  $D_n$ 。因此，在第四读数据  $D_n$  被传输到读/写放大器 40 之前，存储单元阵列 28 必须运行。因此，有效态 ACTV 的周期的长度比第一实施方式（图 5）中长一个时钟周期（图 15（g））。

在读操作的完成后，执行更新操作（图 15（h））。比在第一实施方式（图 5）中晚一个时钟周期执行更新操作。因此，完整脉冲串运行中的下一个读操作也晚一个时钟周期开始。因此，数据传输率比在第一实施方式中低（图 5）。

然而，当在伪 SRAM 中启动脉冲串操作时执行脉冲串操作中读操作之间的更新操作能够提供一个高于现有技术的数据传输率。

本实施方式能够提供与前述第一实施方式相同的效果。

图 16 显示了根据本发明的半导体存储器的第三实施方式。在该实施方式中，相应于第一实施方式中相同元件的元件用同样的参考标号

表示，而它们的详细描述省略了。

根据本实施方式，形成一命令解码器 44，一脉冲串控制电路 46（第一脉冲串控制电路），一模式设置控制电路 48 和一脉冲串传输寄存器 50 分别代替第一实施方式的命令解码器 14，脉冲串控制电路 16，模式设置控制电路 18 和脉冲串传输寄存器 32。本实施方式的其它结构与第一实施方式的那些相同。

当通过命令终端接收到一读或写命令时，命令解码器 44 分别输出一读控制信号 RDZ 或一写控制信号 WRZ。一读操作期间，脉冲串控制电路 46 接收到读控制信号 RDZ，根据等待时间信号 RLTC 以一定次数计算时钟，并且然后根据脉冲串长度 BL 以一定次数输出一读脉冲串时钟信号 RBCLK。在一写操作中，脉冲串控制电路 46 接收写控制信号 WRZ，根据写等待时间信号 WLTC 以一定次数计算时钟，并且然后根据脉冲串长度 BL 以一定次数输出一写脉冲串时钟信号 WBCLK。

模式设置控制电路 48 具有可以从外部设置的一模式寄存器。脉冲串长度 BL，读等待时间 RLTC 和写等待时间 WLTC 设置在模式寄存器中。设置在该模式寄存器中的值作为一脉冲串长度信号 BL，一读等待时间信号 RLTC 和一写等待时间信号 WLTC 输出到脉冲串控制电路 46 和脉冲串地址计数器 20 中。读等待时间 RLTC 是从一读命令被提供的时刻到第一数据被输出的时刻之间的时钟的数目。更具体地说，读等待时间 RLTC 代表读操作期间从一芯片启动信号/CE 的上升边到第一数据输出之间的时钟的数目。

写等待时间 WLTC 是从一写命令被提供的时刻到第一数据被输入的时刻之间的时钟的数目。更具体地说，写等待时间 WLTC 代表写操作期间从一芯片启动信号/CE 的上升边到第一数据输入之间的时钟的数目。因此，本实施方式特征在于读和写操作的等待时间能够相互独立地设置。

脉冲串传输寄存器 50 具有多个用来保存数据的数据寄存器(DT0, DT1 等等)。脉冲串传输寄存器 50 把由读/写放大器 30 提供的并行读

数据转变成串行数据，并且同步于读脉冲串时钟信号 RBCLK，把转变的串行数据输出到公共数据总线 CDB。同时，脉冲串传输寄存器 50 把由公共数据总线 CDB 提供的串行写数据转变成并行数据，并且同步于写脉冲串时钟信号 WBCLK，把转变的并行数据输出到读/写放大器 30。

图 17 和 18 显示了图 16 中所示的脉冲串控制电路 46 的细节。图 17 显示了脉冲串控制电路 46 的一电路部分，它用来在读操作期间产生读脉冲串时钟信号 RBCLK 和等待信号 WAIT，而图 18 显示了脉冲串控制电路 46 的一电路部分，它用来在写操作期间产生写脉冲串时钟信号 WBCLK。

图 17 中，脉冲串控制电路 46 具有一时钟产生电路 46a；一七位移位寄存器 46b；一用来输出读脉冲串信号 RBCLK 的组合电路 46c；一用来输出等待信号 WAIT1 的触发器电路 16c；一等待控制电路 16d；延迟电路 DLY；和一脉冲串产生电路 PLS。时钟产生电路 46a 在芯片启动信号/CE 的低电平期间运行，并把时钟信号 CLK 作为内部时钟信号 RCLK1 输出。时钟产生电路 46a 作为一电平探测电路运行，用来探测被作为一存取命令提供的芯片启动信号/CE（命令信号）改变到它的有效电平（低电平）。

移位寄存器 46b 和组合电路 46c 和第一实施方式的移位寄存器 16a 和组合电路 16b（图 6）近似相同。因此，移位寄存器 46b 和组合电路 46c 的基本操作和第一实施方式（图 7）的相应电路的那些操作相同。组合电路 46c 的一反相器和双输入 NAND 门的记号中表示的数字对应于读等待时间 RLTC 的值。例如，当读等待时间 RLTC 设置为“4”时，仅仅编号为“4”的 NAND 门被激活。

当一输出启动信号/OE 显示一低电平时（也就是说，当一 RDZ 信号显示一高电平时），组合电路 46c 输出读脉冲串时钟信号 RBCLK，比一芯片启动信号/CE 的提供晚相应于一读等待时间 RLTC 的时钟的数目，次数的数目与一脉冲串长度 BL 一致。也就是说，移位寄存器 46b 和组合电路 46c 一起作为一输出控制电路运行，它在测量了从芯

片启动信号/CE 和输出启动信号/OE 改变到它们的有效电平开始算起的一预设时间后, 启动读脉冲串时钟信号 RBCLK 的输出。

用来产生等待信号 WAIT 的电路与第一实施方式中的相同, 并且因此省略了它的描述。

在图 18 中, 脉冲串控制电路具有一时钟产生电路 46d, 一七位移位寄存器 46e, 和用来输出写脉冲串时钟信号的一组合电路 46f。当一芯片启动信号/CE 显示低电平时, 时钟产生电路 46d 运行以把时钟信号 CLK 作为内部时钟信号 WCLK1 输出。时钟产生电路 46d 作为一电平探测电路运行, 用来探测被作为一存取命令提供的芯片启动信号/CE (命令信号) 改变到它的有效电平。

移位寄存器 46e 和组合电路 46f 与图 17 中所示的移位寄存器 46b 和组合电路 46c 相同。组合电路 46f 的一反相器和双输入 NAND 门的记号表示的数字与写等待时间 WLTC 的值符合。例如, 当写等待时间 WLTC 设置为 “4” 时, 仅仅编号为 “4” 的 NAND 门被激活。

当一写启动信号/WE 显示一低电平时 (也就是说, 当一 WRZ 信号显示一高电平), 组合电路 46f 输出写脉冲串时钟信号 WBCLK, 比一芯片启动信号/CE 的提供晚相应于写等待时间 WLTC 的时钟的数目, 次数的数目与一脉冲串长度 BL 一致。也就是说, 移位寄存器 46e 和组合电路 46f 一起作为一输出控制电路运行, 它在测量了从芯片启动信号/CE 改变到它们的有效电平开始算起的一预设时间后, 启动写脉冲串时钟信号 WBCLK 的输出。移位寄存器 46e 和组合电路 46f 与第一实施方式中相应电路的那些 (图 7) 相同。

图 18 的延迟电路 DLY1 和 DLY2 的延迟时间与图 17 的延迟电路 DLY1 和 DLY2 的那些不同。也就是说, 以上描述的预设次数就长度上在读和写操作之间是不同的。然而, 应该可以理解, 图 18 的延迟电路 DLY1 和 DLY2 的延迟时间可以设置的与图 17 的延迟电路 DLY1 和 DLY2 的那些相同, 以致以上描述的读和写操作中的预设时间的长度可以一样。

图 19 显示了图 16 中所示的模式设置控制电路 48 中的模式寄存器



的设置方法。

模式寄存器的设置是通过连续地四次往那里提供一预设命令 CMD(CMD1, CMD2, CMD3, CMD4)和一预设地址 ADD(CODE1, CODE2, CODE3, CODE4)并且然后向地址终端提供预设代码 CODE5。也就是说,模式寄存器接收代码 CODE5 作为用来设置运行模式的设置信号。用来设置模式寄存器的时钟周期的数目比在第一实施方式中少一个。

在本实施方式中,在作为编码 CODE5 提供的地址 A7-A0 的一个字节外,低的两位用来设置脉冲串长度 BL,接着的三位用来设置读等待时间 RLTC,而高三位用来设置写等待时间 WLTC。读等待时间 RLTC 可以设置为八个可能值:“1”到“8”中的任何一个。写等待时间 WLTC 也可以设置为八个可能值:“0”到“7”中的任何一个。因此,读和写操作的等待时间能够彼此独立设置。换句话说,读和写操作期间,图 16 中所示的脉冲串控制电路 46 能够产生相互独立定时的脉冲串时钟信号 RBCLK 和 WBCLK。结果,合并了伪 SRAM 的系统的可用性可以提高。

图 20 显示了第三实施方式的伪 SRAM 中的一脉冲串模式期间的读操作。读操作的基本定时与第一实施方式中的相同(图 7 到 9),并且因此省略了相应于第一实施方式中相同的操作的描述。在该例中,读等待时间 RLTC 设置为“4”。

首先,图 17 中所示的时钟产生电路 46a 被一芯片启动信号/CE 的低电平激活,以启动内部时钟信号 RCLK1 的输出(图 20(a))。芯片启动信号/CE 的低电平和一输出启动信号/OE 的低电平导致一读控制信号 RDZ 被输出(图 20(b))。同步于第二时钟信号 CLK,该移位寄存器 46b 导致一计数信号 BCNT3 变为一高电平(图 20(c))。

组合电路 46c 被读控制信号 RDZ 和计数信号 BCNT3 的高电平激活,以把时钟信号 CLK 作为读脉冲串时钟信号 RBCLK 输出(图 20(d))。也就是说,读脉冲串时钟信号 RBCLK 的输出的开始同步于第三时钟信号 CLK。

然后，类似于第一实施方式，同步于读脉冲串时钟信号 RBCLK 连续输出读数据。合并了伪 SRAM 的系统同步于第四时钟信号 CLK 的上升边接收第一读数据（图 20（e））。

图 16 中所示的脉冲串地址计数器 20 通过同步于读脉冲串时钟信号 RBCLK 的输出的启动由定时控制电路 22 接收由脉冲串控制电路 46 输出的一控制信号而把它们加起来，并且然后把计数值作为一内部地址信号 IADD 输出（图 20（f））。

虽然没有显示，应该可以理解到当读等待时间 RLTC 设置为“1”时，组合电路 46c 总是被激活的。因此，第一读脉冲串时钟信号 RBCLK 同步于零时钟信号 CLK 输出。然后，在一个允许读数据同步于第一时钟信号 CLK 被系统接收的时间，输出读数据。

图 21 显示了第三实施方式的伪 SRAM 中的一脉冲串模式期间的写操作。省略了相应于第一实施方式中相同的操作（图 10）的描述。在该例中，写等待时间 WLTC 设置为“4”。

首先，图 18 中所示的时钟产生电路 46d 被一芯片启动信号/CE 的低电平激活，以启动内部时钟信号 WCLK1 的输出（图 21（a））。芯片启动信号/CE 的低电平和一写启动信号/WE 的低电平导致一写控制信号 WRZ 被输出（图 21（b））。同步于第三时钟信号 CLK，该移位寄存器 46e 导致一计数信号 BCNT4 变为一高电平（图 21（c））。

组合电路 46f 被写控制信号 WRZ 和计数信号 BCNT4 的高电平激活，以把时钟信号 CLK 作为写脉冲串时钟信号 WBCLK 输出（图 21（d））。也就是说，写脉冲串时钟信号 WBCLK 的输出的开始同步于第四时钟信号 CLK。

合并了伪 SRAM 的系统同步于，例如，第四时钟信号 CLK 的上升边，把第一写数据输出到伪 SRAM 中（图 21（e））。伪 SRAM 同步于第四时钟信号 CLK 的上升边接收该写数据，并把该写数据传输到公共数据总线 CDB（图 21（f））。公共数据总线 CDB 上的写数据同步于写脉冲串时钟信号 WBCLK 被传输到一数据总线 DB（DB0 或 DB1）。

图 16 中所示的脉冲串地址计数器 20 通过同步于写脉冲串时钟信号 WBCLK 的输出的启动由定时控制电路 22 接收由脉冲串控制电路 46 输出的一控制信号而进行计数, 并且然后产生该计数值作为一内部地址信号 IADD(图 21(g)). 然后, 同步于写脉冲串时钟信号 WBCLK, 相继被提供的写数据被传输到数据总线 DB 中, 并且然后被写进存储单元 MC 中。

虽然没有显示, 应该可以理解到当写等待时间 WLTC 设置为“0”时, 组合电路 46f 总是被激活的。因此, 第一写脉冲串时钟信号 WBCLK 同步于零时钟信号 CLK 输出。此时, 在一个允许写数据同步于零时钟信号 CLK 被伪 SRAM 接收的时间, 合并了伪 SRAM 的系统输出写数据。

以上描述的该实施方式能够提供于前述第一实施方式类似的效果。此外, 由于读数据的输入或写数据的输出的启动比芯片启动信号/CE 的电平改变晚一预设等待时间 RLTC 或 WLTC, 合并了伪 SRAM 的系统能够容易地控制伪 SRAM。也就是说, 该系统结构能够简化。应该理解到伪 SRAM 引发芯片启动信号/CE 的电平改变从而启动数据输入/输出操作。因此, 本发明不仅能够应用在时钟同步伪 SRAM 也能应用于时钟异步伪 SRAM。

可以根据能够从外部设置而且保持在模式寄存器中的等待时间 RLTC 和 WLTC 设置启动读数据的输出的定时和启动写数据的输入的定时。因此, 能够根据系统性能设置最佳的等待时间 RLTC 和 WLTC。

模式寄存器能够彼此独立地设置读等待时间 RLTC 和写等待时间 WLTC。因此, 能够依照系统特性灵活地设置等待时间 RLTC 和 WLTC, 以致系统性能能够提高。

图 22 显示了根据本发明的半导体存储器的第四实施方式。在该实施方式中, 相应于第一和第三实施方式中相同元件的元件用同样的参考标号表示, 而它们详细的描述省略了。

根据本实施方式, 形成一命令解码器 44, 一脉冲串控制电路 52, 一模式设置控制电路 54 和一脉冲串传输寄存器 50 以分别代替第一实

施方式的命令解码器 14, 脉冲串控制电路 16, 模式设置控制电路 18 和脉冲串传输寄存器 32。本实施方式的其它结构与第一实施方式的那些相同。命令解码器 44 和脉冲串传输寄存器 50 与第二实施方式的相应电路相同。

读操作期间, 响应一读控制信号 RDZ 和一输出启动信号/OE, 脉冲串控制电路 52 产生读脉冲串时钟信号 RBCLK。同时, 写操作期间, 响应一写控制信号 WRZ 和一写启动信号/WE, 脉冲串控制电路 52 产生写脉冲串时钟信号 WBCLK。

模式设置控制电路 54 输出一预设读等待信号 RLTC 和一预设写等待信号 WLTC。

图 23 和 24 显示了图 22 中所示的脉冲串控制电路 52 的细节。图 23 显示了用来在读操作期间产生读脉冲串时钟信号 RBCLK 和一等待信号 WAIT 的脉冲串控制电路 52 的一电路部分, 而图 24 显示了用来在写操作期间产生写脉冲串时钟信号 WBCLK 的脉冲串控制电路 52 的一电路部分。

除了输出启动信号/OE 代替芯片启动信号/CE 被提供给时钟产生电路 46a 外, 图 23 中所示的脉冲串控制电路 52 与第三实施方式的相应电路(图 17)相同。脉冲串控制电路 52 的移位寄存器 46b 和组合电路 46c 一起作为一输出控制电路运行, 它在测量了从输出启动信号/OE 改变到它们的有效电平开始算起的一预设时间后, 启动读脉冲串时钟信号 RBCLK 的输出。

除了写启动信号/WE 代替芯片启动信号/CE 被提供给时钟产生电路 46d 外, 图 24 中所示的脉冲串控制电路 52 与第三实施方式的相应电路(图 18)相同。脉冲串控制电路 52 的移位寄存器 46e 和组合电路 46f 一起作为一输出控制电路运行, 它在测量了从写启动信号/WE 改变到它们的有效电平开始算起的一预设时间后, 启动写脉冲串时钟信号 WBCLK 的输出。

图 25 显示了图 22 中的模式设置控制电路 54 的细节。

模式设置电路 54 具有一模式寄存器 54a 和与模式寄存器 54a 的各

个八位输出 A0 - A7 相连接的转换电路 54b。模式寄存器 54a，与第三实施方式的模式寄存器相同，能够根据前述参照图 19 描述的方法设置脉冲串长度 BL，读等待时间 RLTC 和写等待时间 WLTC。

转换电路 54b 的每一个都具有和一电源电压 VDD 连接的一开关 SW1；和一地压 VSS 连接的一开关 SW2；和模式寄存器 54a 的单独一个输出连接的开关 SW3。在伪 SRAM 的制造过程（布线过程）中，开关 SW1，SW2 和 SW3 中的一个使其导通。

特别地，预先准备好将在布线过程中使用的两个光掩模。在两个光掩模中的一个中，形成一个布线图形，它使得转换电路 54b 的每一个的开关 SW3 导电，而在另一个光掩模中，形成一个布线图形，它使得转换电路 54b 的每一个的开关 SW1 和 SW2 导电。然后，选择性地使用光掩模以制造这样的产品，其中脉冲串长度 BL 和等待时间 RLTC 和 WLTC 能够依照模式寄存器 54a 的值而修改，以及这样的产品，其中脉冲串长度 BL 和等待时间 RLTC 和 WLTC 确定为一预设值。

模式设置控制电路 54 根据依照在制造过程中选择性地使用的一个光掩模的布线图形在伪 SRAM 的衬底上形成的开关（SW1，SW2 和 SW3），输出脉冲串长度 BL 和等待时间 RLTC 和 WLTC。脉冲串控制电路 52 以根据脉冲串长度 BL 和从模式设置控制电路 54 输出的等待时间 RLTC 和 WLTC 确定的时间输出脉冲串时钟信号 RBCLK（或 WBCLK）。换句话说，脉冲串控制电路 52 测量相应于等待信号 RLTC（或 WLTC）的时间，它是根据与和转换电路 54b 的导电图形连接的那些的电压值，并且在测量后，开始脉冲串时钟信号 RBCLK(或 WBCLK)的输出。

图 26 显示了在第四实施方式的伪 SRAM 中的一脉冲串模式期间的读操作。在该例中，读等待时间 RLTC 设置为“2”。读等待时间 RLTC 是从输出启动信号/OE 被激活到第一读数据被输出之间的时钟的数目。

脉冲串控制电路 52 响应读操作期间输出启动信号/OE 的激活，启动内部时钟信号 RCLK1 的输出（图 26（a））。脉冲串读操作期间接

下来的操作的基本定时与第三实施方式（图 20）中的相同，并且因此省略了它们的描述。

图 27 显示了在第四实施方式的伪 SRAM 中的一脉冲串模式期间的写操作。在该例中，写等待时间 WLTC 设置为 “2”。写等待时间 WLTC 是从写启动信号/WE 被激活到第一读数据被输入之间的时钟的数目。

脉冲串控制电路 52 响应写操作期间写启动信号/WE 的激活，启动内部时钟信号 WCLK1 的输出（图 27（a））。脉冲串写操作期间接下来的操作的基本定时与第三实施方式（图 21）中的相同，并且因此省略了它们的描述。

以上描述的本发明的实施方式能够提供与前述第一和第三实施方式类似的效果。此外，由于能够通过选择性地使用光掩模而设置等待时间 RLTC 和 WLTC，它们能够根据将发货的半导体存储器的产品规格（运行频率等等）而设置。在根据光掩模的选择性使用，使通过相同的制造步骤并且在运行频率上具有足够边际的伪 SRAM 被作为具有不同运行频率的不同产品发货的情况下，该实施方式是尤其有利的。

图 28 显示了根据本发明的半导体存储器的第五实施方式。在该实施方式中，相应于第一和第三实施方式中相同元件的元件用同样的参考标号表示，而它们详细的描述省略了。

根据本实施方式，形成一命令解码器 44，一脉冲串控制电路 46，一模式设置控制电路 56 和一脉冲串传输寄存器 50 分别代替第一实施方式的命令解码器 14，脉冲串控制电路 16，模式设置控制电路 18 和脉冲串传输寄存器 32。本实施方式的其它结构与第一实施方式的那些相同。命令解码器 44，脉冲串控制电路 46 和脉冲串传输寄存器 50 与第二实施方式的相应电路相同。

图 29 显示了模式设置控制电路 56 的细节。

模式设置电路 56 具有一模式寄存器 56a 和用来接收模式寄存器 56a 的各个八位输出 A0 - A7 的转换电路 56b。模式寄存器 56a，与第三实施方式的模式寄存器相同，能够根据前述的方法参照图 19 设置脉

冲串长度 BL, 读等待时间 RLTC 和写等待时间 WLTC。

转换电路 56b 的每一个都具有两个熔丝电路 56c, 它们每一个中都设计了一位的数据。熔丝电路 56c, 它被一在伪 SRAM 的开电时暂时显示一高电平的起动机信号 STTZ (一开电重置信号) 初始化, 根据熔丝 FS1 和 FS2 的程序条件输出逻辑值。当熔丝 FS1 已经被编程时 (在一切断条件下), 信号 V1 和/V1 分别改变到低和高电平。当熔丝 FS1 还没有被编程时 (在一未断条件下), 信号 V1 和/V1 分别改变到高和低电平。类似地, 当熔丝 FS2 已经被编程时 (在一切割条件下), 信号 V2 和/V2 分别改变到低和高电平。当熔丝 FS2 还没有被编程时 (在一未断条件下), 信号 V2 和/V2 分别改变到高和低电平。

根据本实施方式, 在制造这样的产品, 其中的脉冲串长度 BL, 读等待信号 RLTC 和写等待信号 WLTC 能够根据设置在模式寄存器 56a 中的值被修改的情况下, 模式设置电路 56b 的每一个的熔丝 FS1 和 FS2 被置于测试过程中的未断状态。此时, 在每一个模式设置电路 56b 中, 一 NAND 门, 它是图 29 所示的两个 NAND 门的较低的一个, 输出一低电平, 它开启一 CMOS 传输门。然后, 设置在模式寄存器 56a 中的值作为脉冲串长度 BL, 读等待时间 RLTC 和写等待时间 WLTC 输出。

在把脉冲串长度 BL, 读等待时间 RLTC 和写等待时间 WLTC 的值固定在预设值的情况下, 制造过程中每一个模式设置电路 56b 的熔丝 FS1 或 FS2 都是断的。此时, CMOS 传输门关闭, 因此模式寄存器 56a 的输出被屏蔽。如果熔丝 FS1 断而熔丝 FS2 不断, 输出一地压 VSS。相反地, 如果熔丝 FS2 断而熔丝 FS1 不断, 输出一电源电压 VDD。也就是说, 每个模式设置电路 56b 根据熔丝 FS1 和 FS2 的编程条件输出一高或低压。这样, 制造了其中脉冲串长度 BL, 读等待时间 RLTC 和写等待时间 WLTC 都固定在预设值的产品。

因此, 模式设置控制电路 56 根据熔丝 FS1 和 FS2 的编程条件把脉冲串长度 BL, 读等待时间 RLTC 和写等待时间 WLTC 输出到脉冲串地址计数器 20 和脉冲串控制电路 46。换句话说, 脉冲串控制电路 46 根据熔丝 FS1 和 FS2 的编程条件测量相应于等待时间 RLTC (或

WLTC)的时间,并且在测量后启动脉冲串时钟信号 RBCLK(或 WBCLK)的输出。

本实施方式中脉冲串读和写运行与第一实施方式中的那些相同,并且因此省略了它们的描述。

以上描述的本发明的实施方式能够提供与前述第一和第三实施方式类似的效果。此外,能够通过编程熔丝 FS1 和 FS2 而设置等待时间 RLTC 和 WLTC。因此,根据如探测测试中估计的最高运行频率设计熔丝 FS1 和 FS2 能够设置与制造的伪 SRAM 的实际性能一致的前述预设时间。在根据它们各自在运行频率上的实际性能,使通过相同的光掩模和相同的制造步骤制造的伪 SRAM 被作为不同产品分类并且发货的情况下,该实施方式是尤其有利的。

前述第一和第二实施方式被描述成这样的例子,其中脉冲串读运行期间的等待时间 TC 设置为“4”。然而,本发明不限于这些实施方式。等待时间 LTC 可以根据时钟周期设置为一最优值。

本发明被描述成这样的例子,其中在地址终端接收用来设置模式寄存器中的脉冲串长度 BL 和等待时间 LTC 的模式 CODE5 和 CODE6。然而,本发明不限于这些实施方式。例如,可以代替使用命令或数据终端以接收模式 CODE5 和 CODE6。

前述第三,第四和第五实施方式被描述成这样的例子,其中读和写等待时间 RLTC 和 WLTC 相互独立设置。然而,本发明不限于这些实施方式。例如,如图 30 中所示,模式寄存器的位 A4-A2 可以与读和写等待时间 RLTC 和 WLTC 相同。或者,写等待时间 WLTC 可以设置得总是比读等待时间 RLTC 小“1”。在这样一种情况下,模式寄存器的位的数目可以减小。

本发明不限于以上实施方式,并且不离开本发明的精神和范围,可以进行各种修改。在部分或所有的部件上,可以进行任何改进。



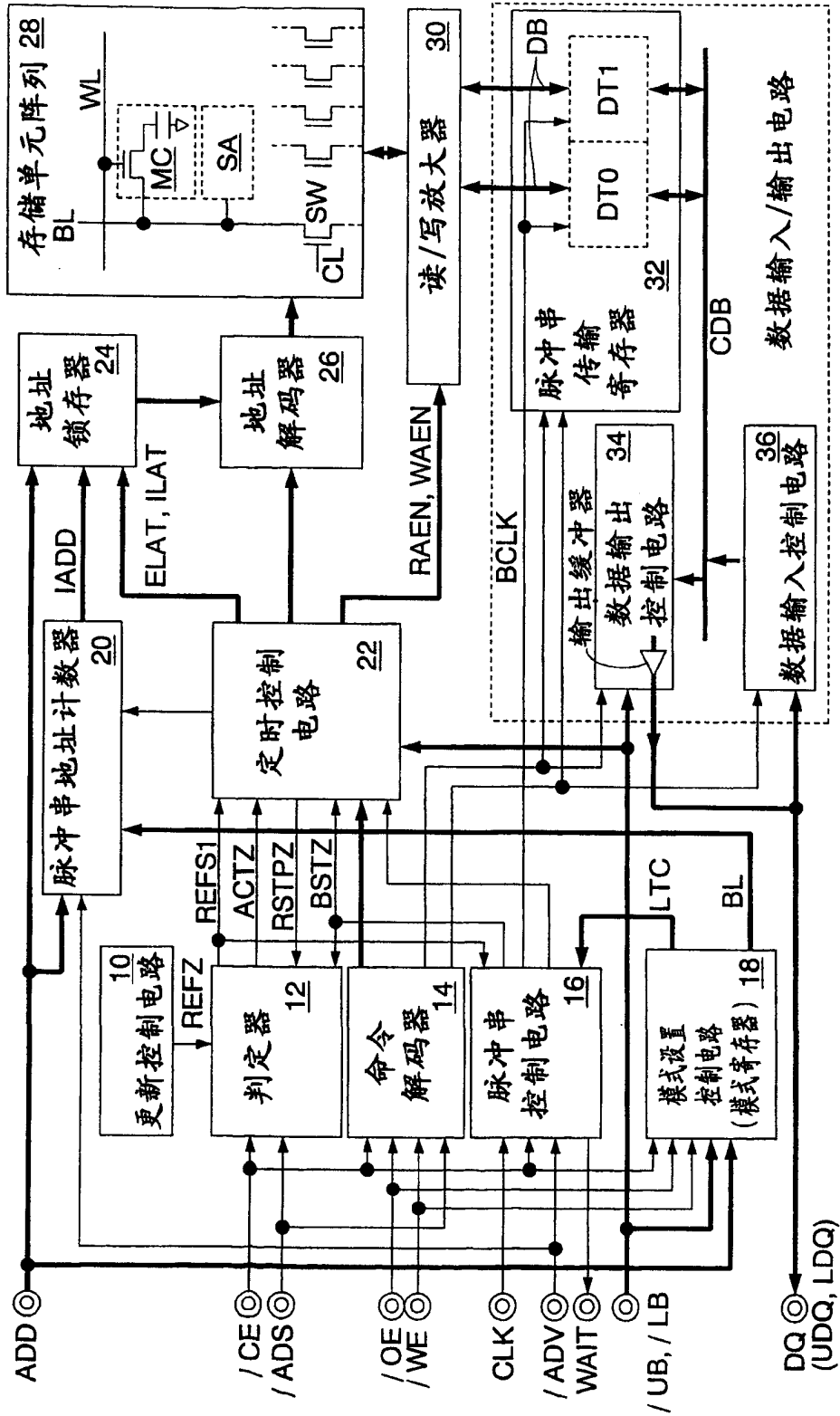


图1

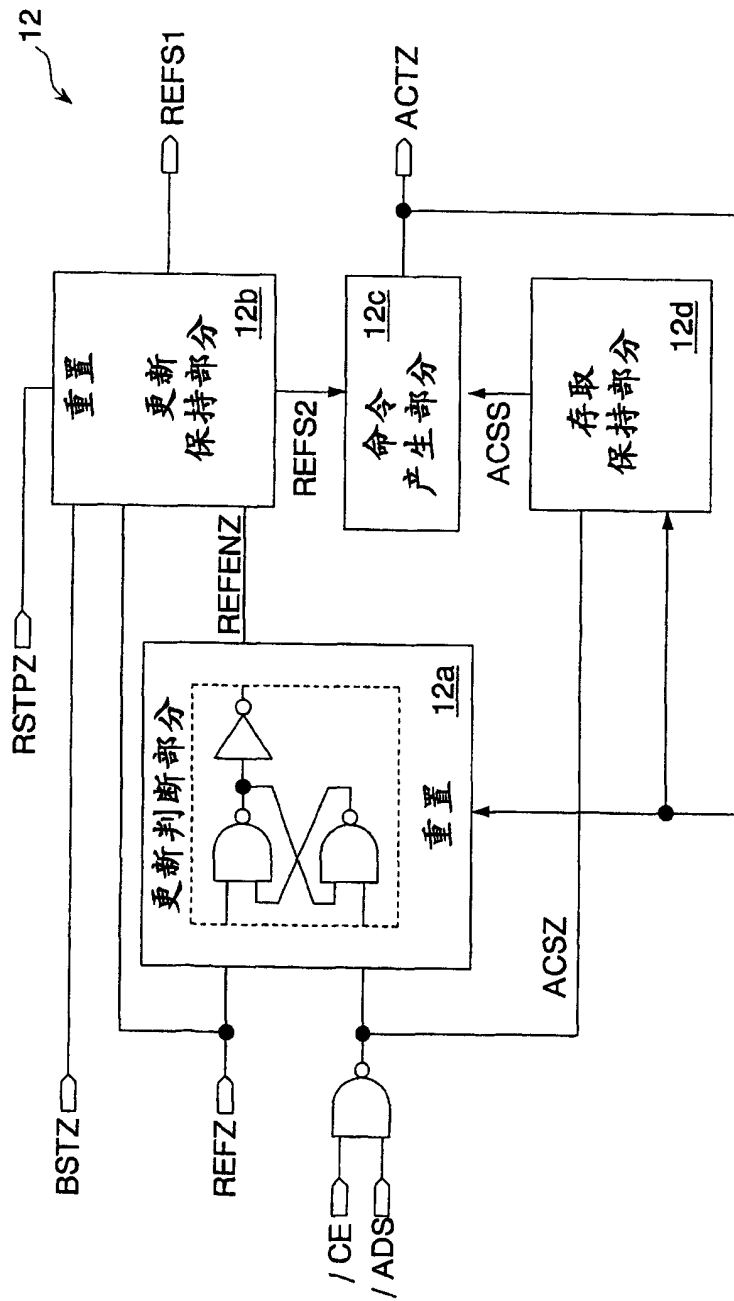


图2

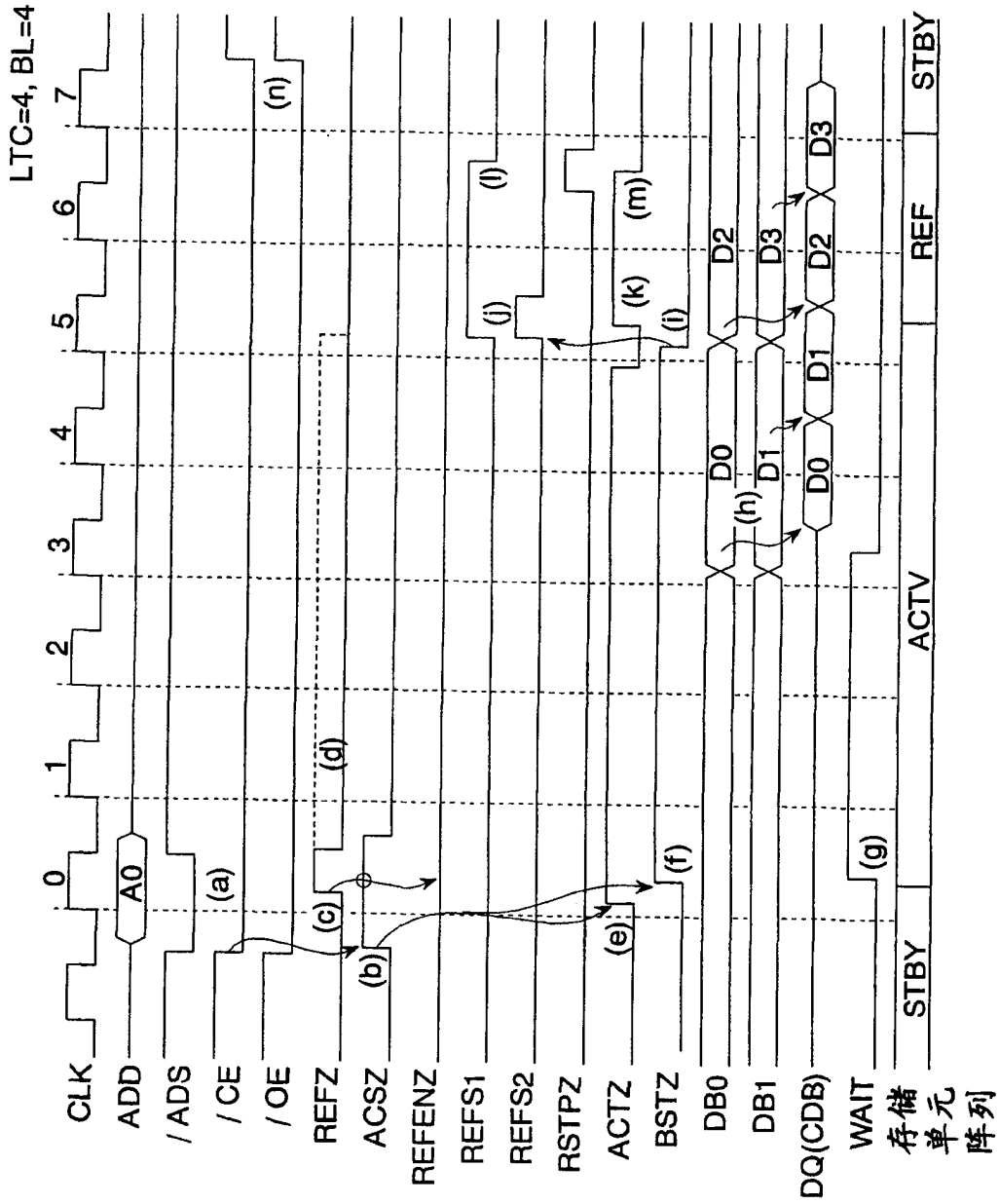


图 3

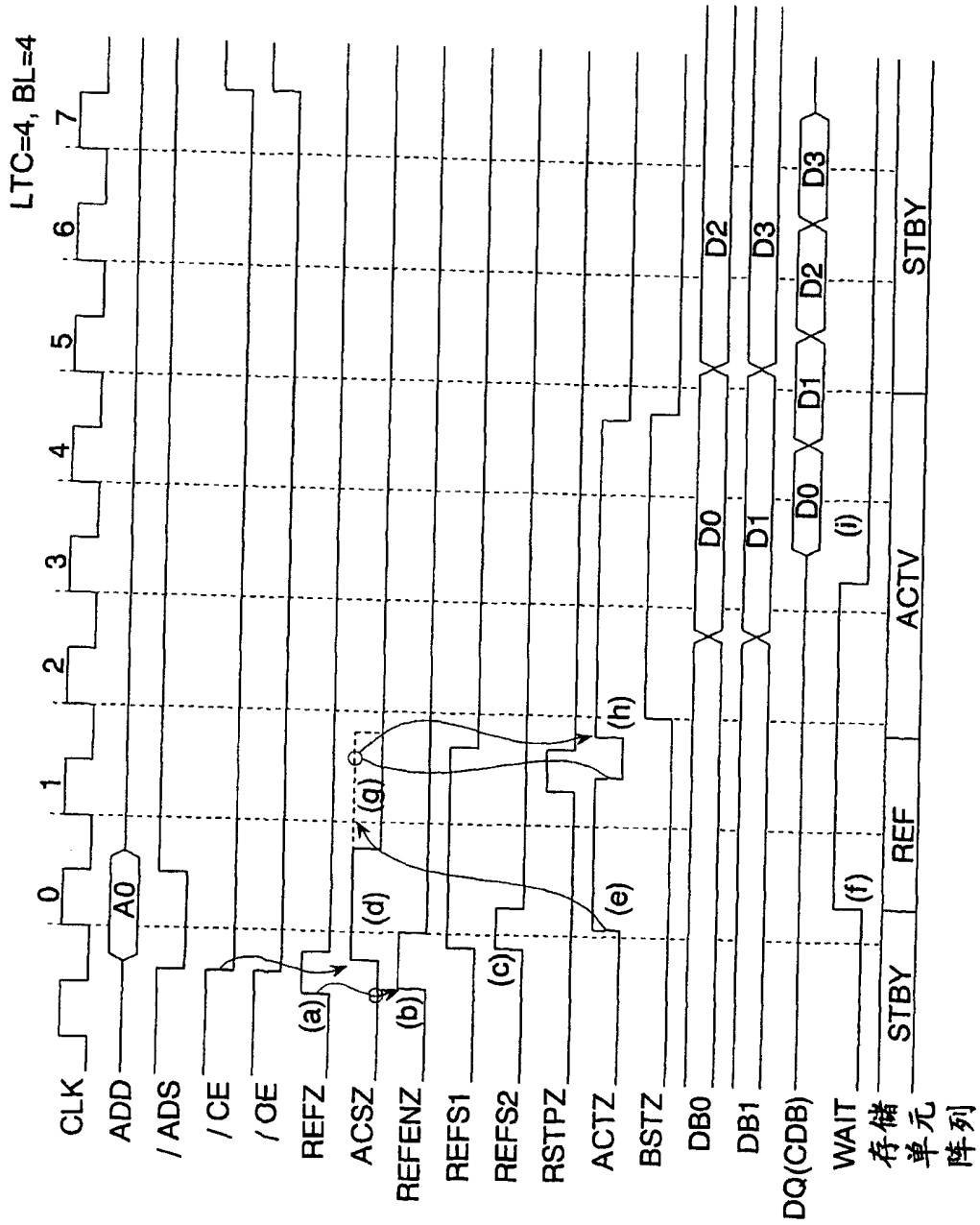


图 4

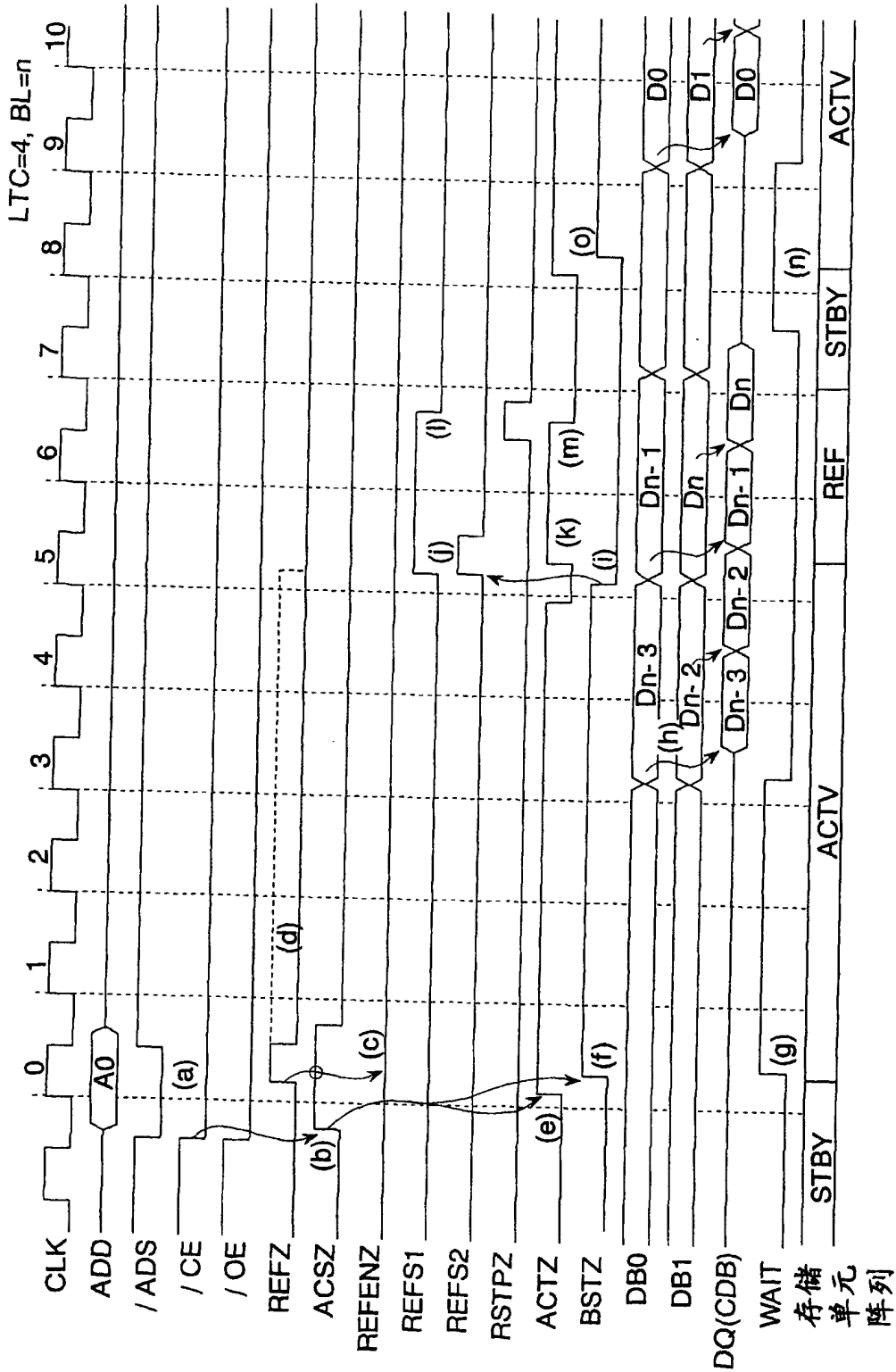


图5



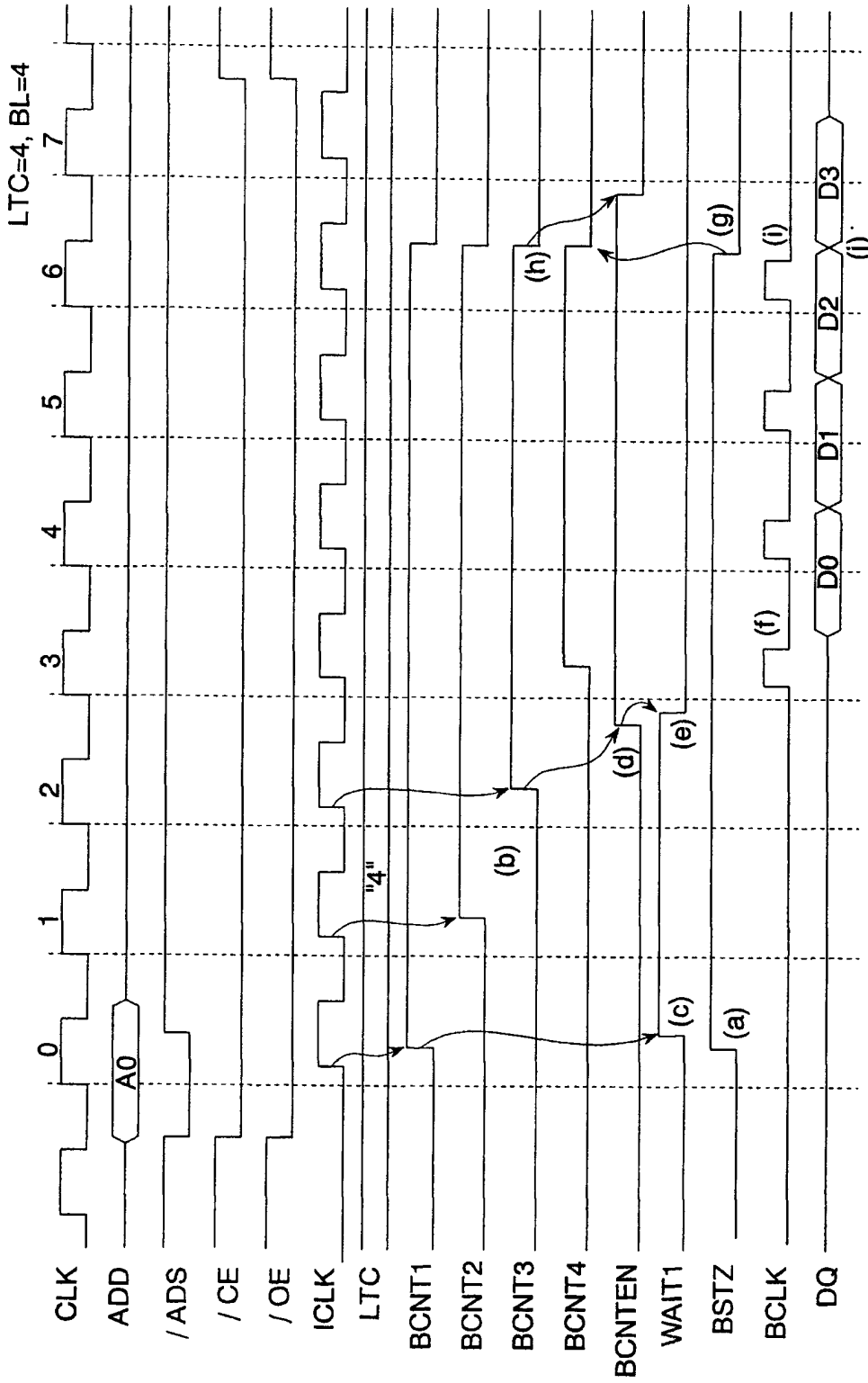


图7

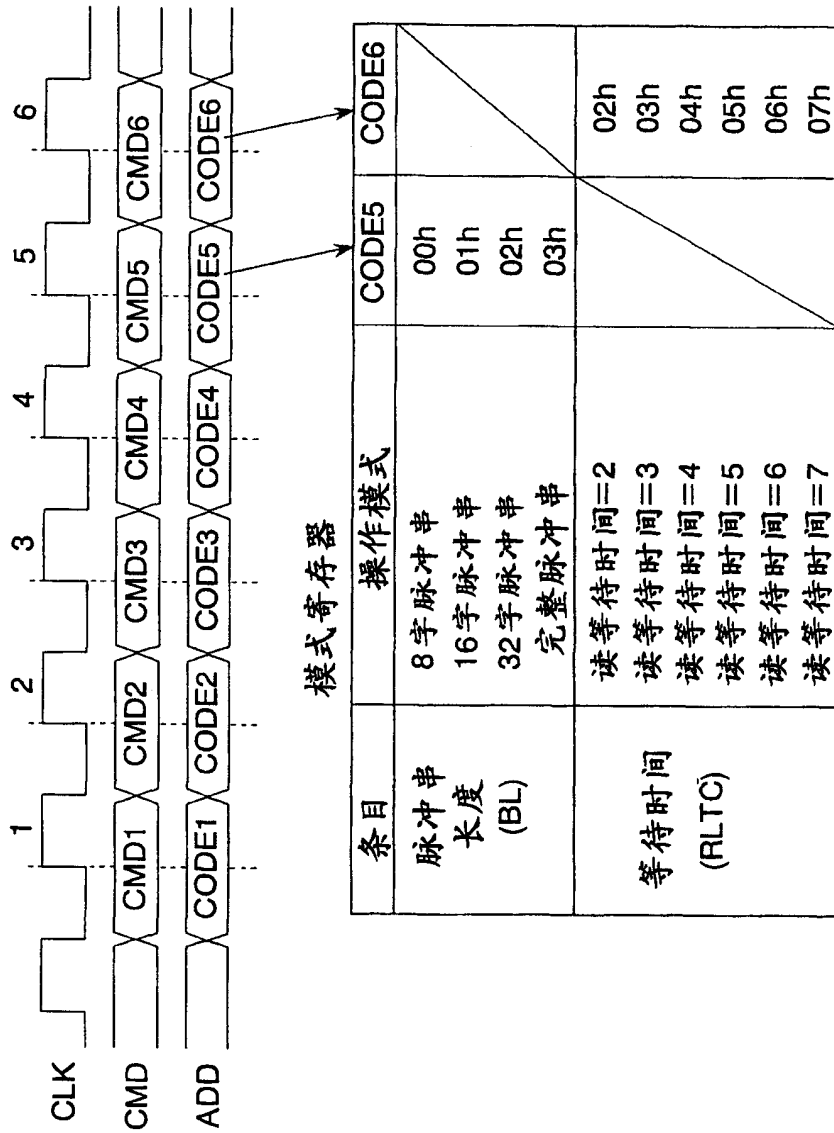


图 8



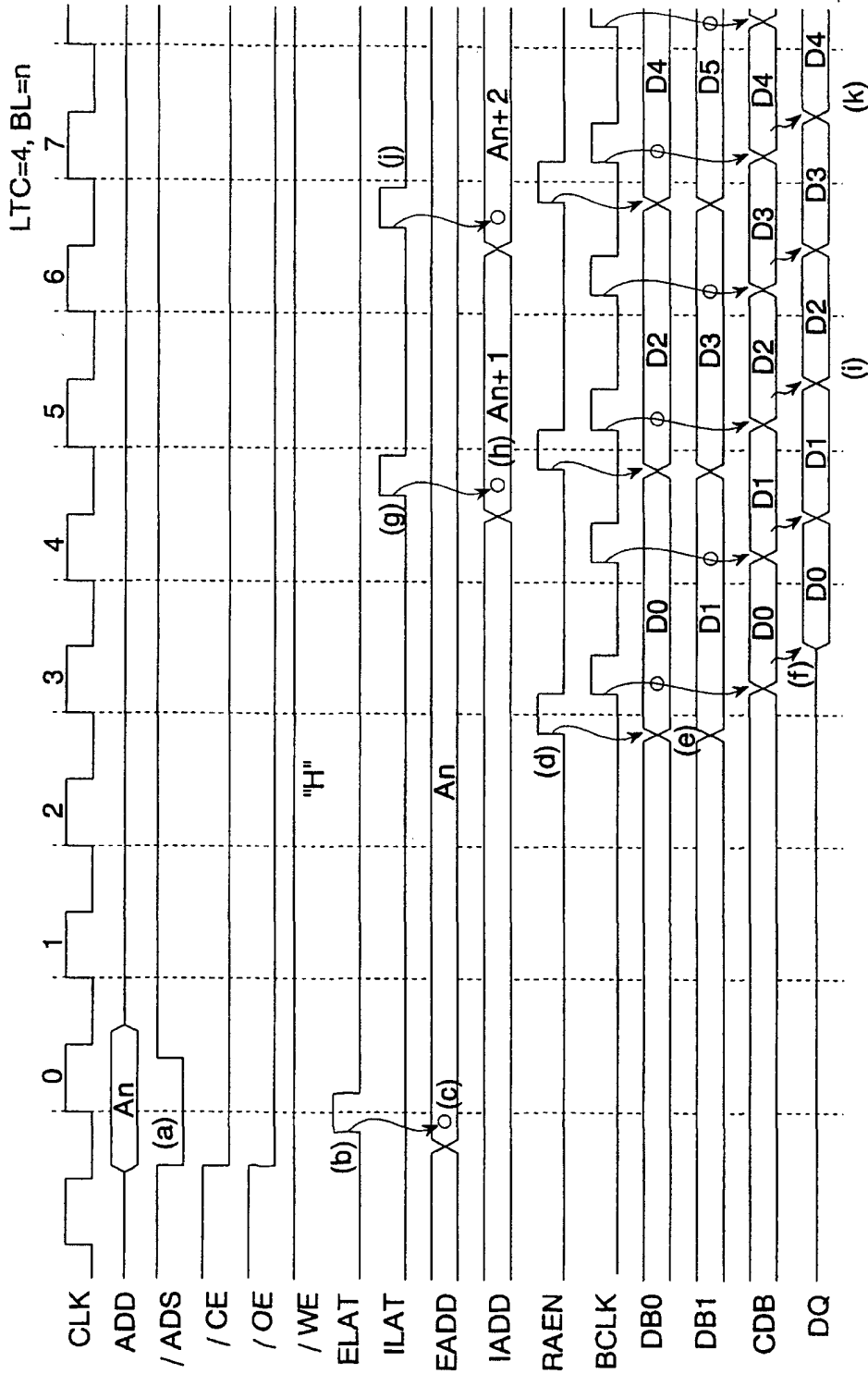


图 9

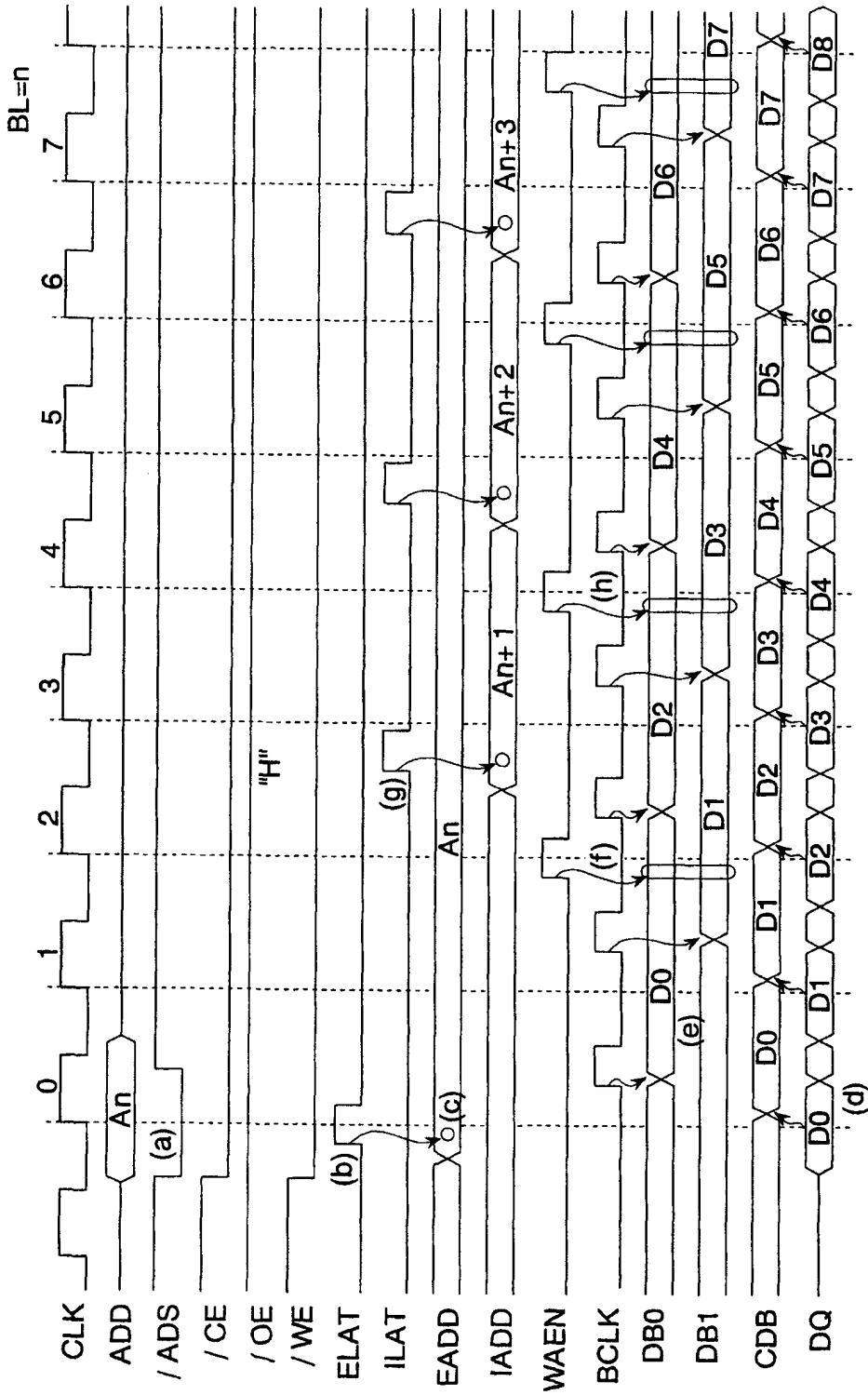


图 10

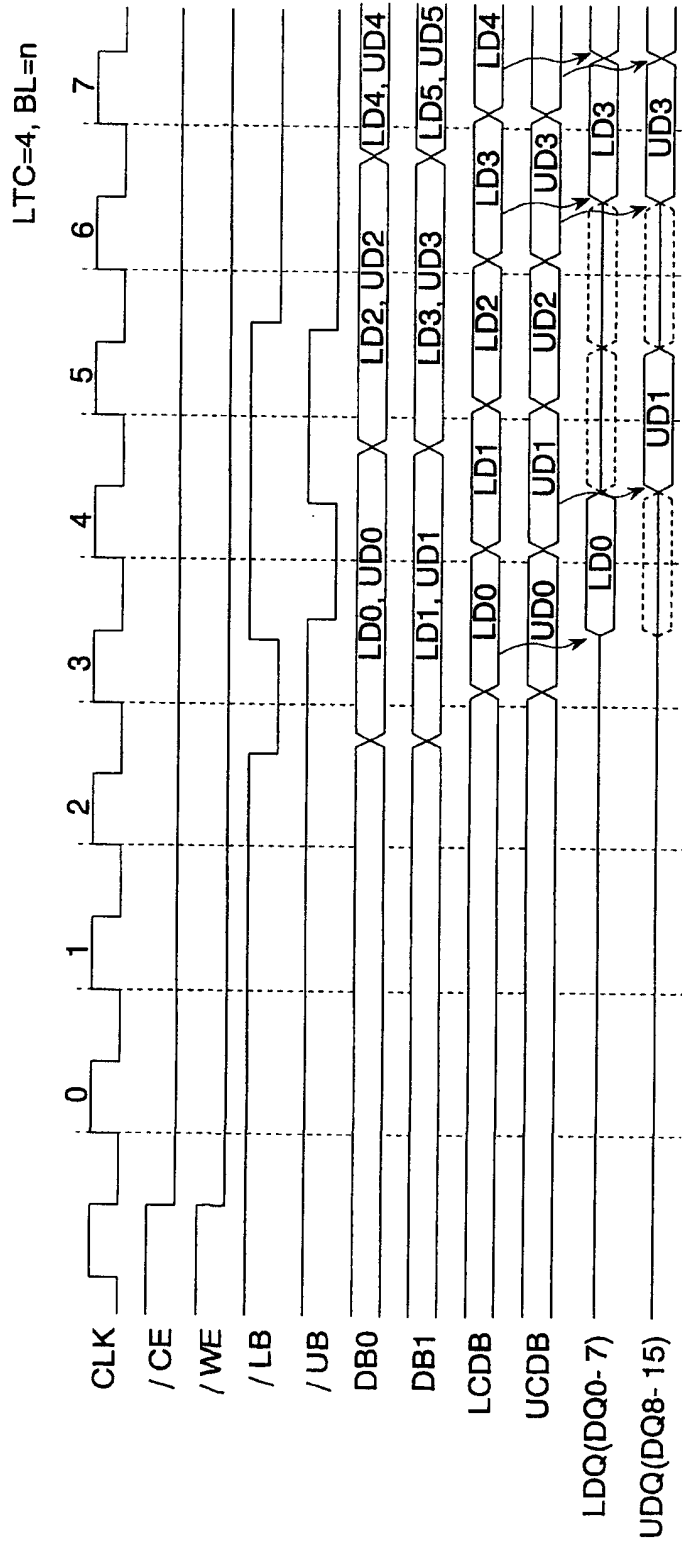


图12

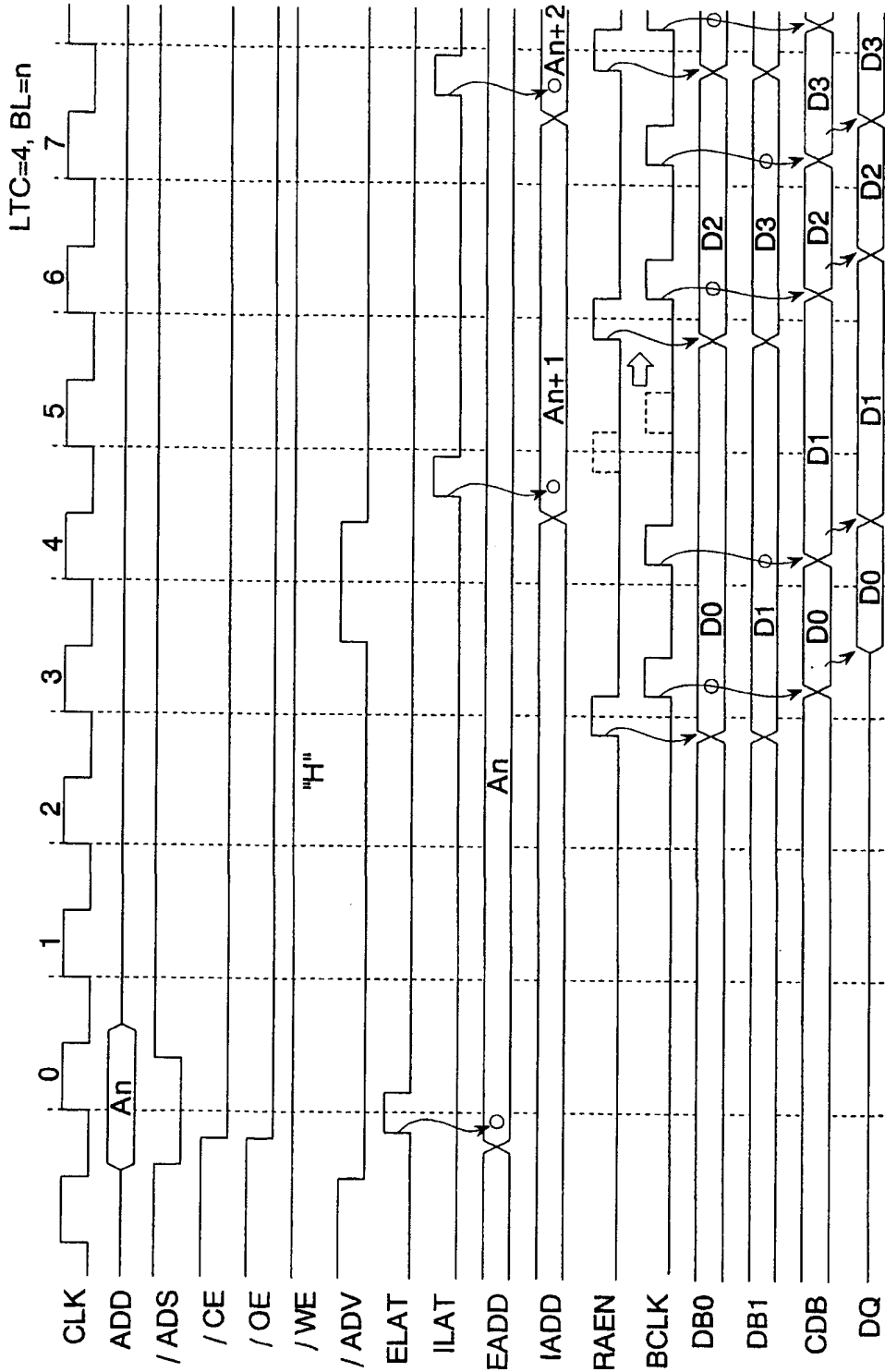


图 11

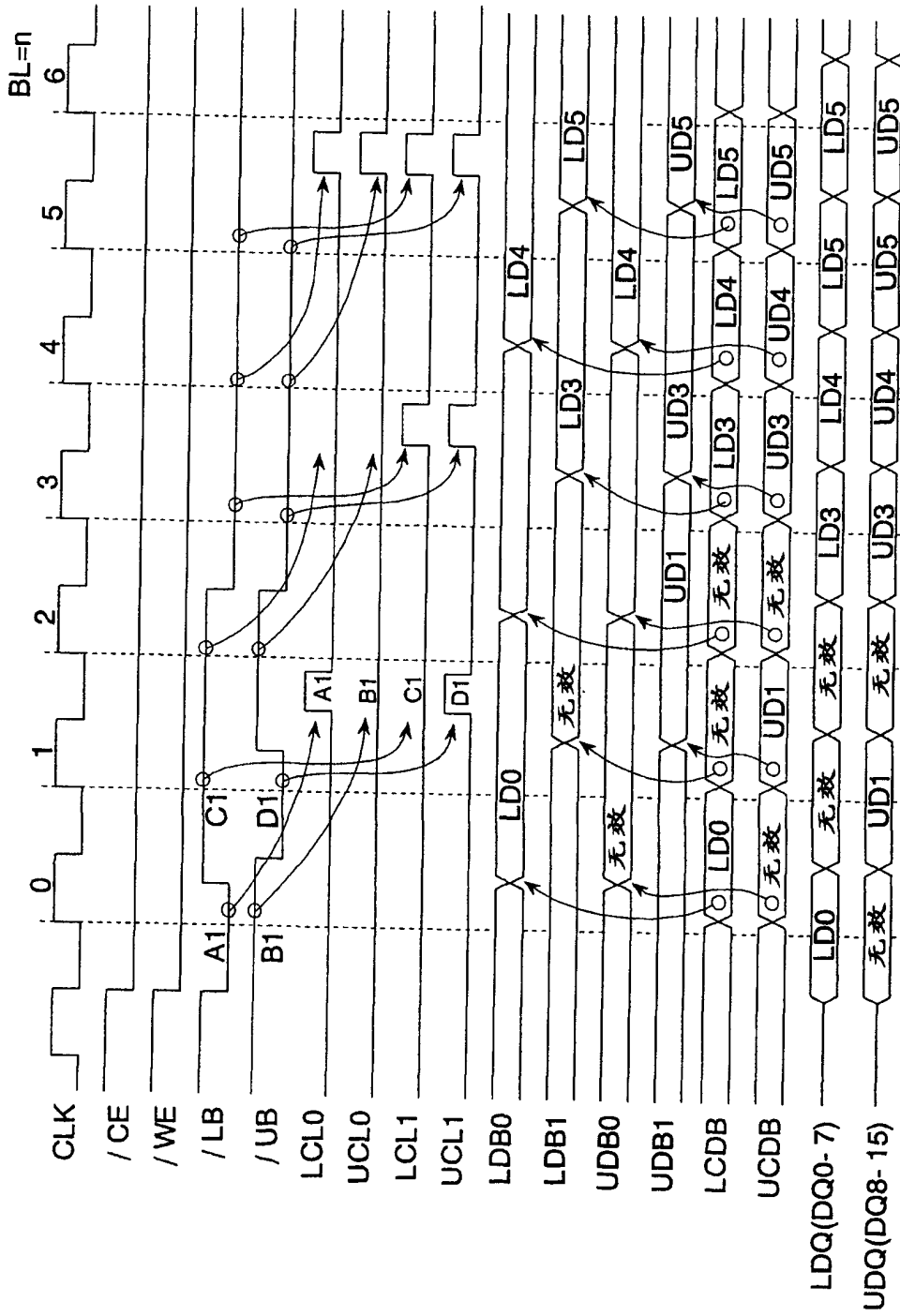


图 13

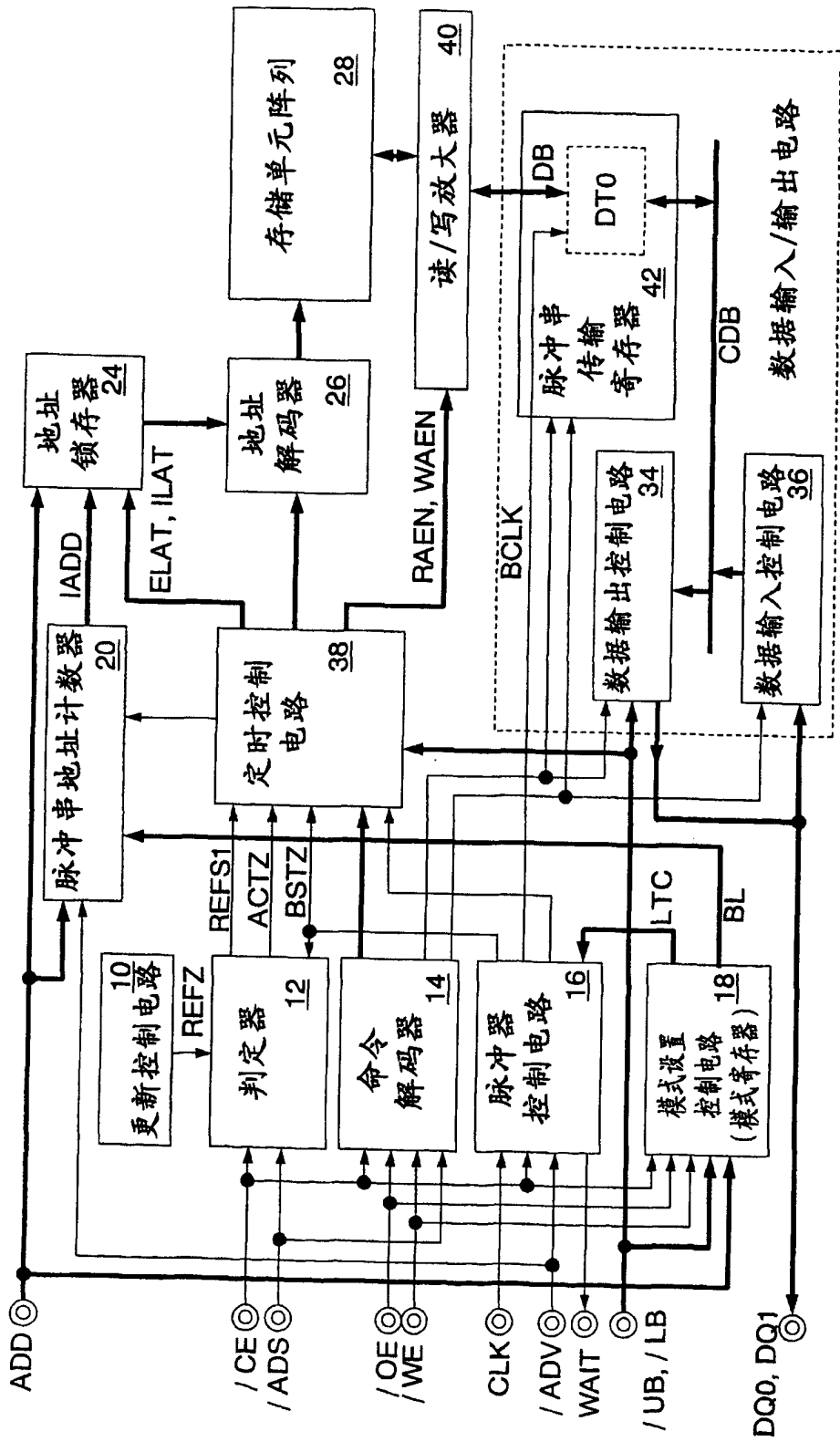


图14

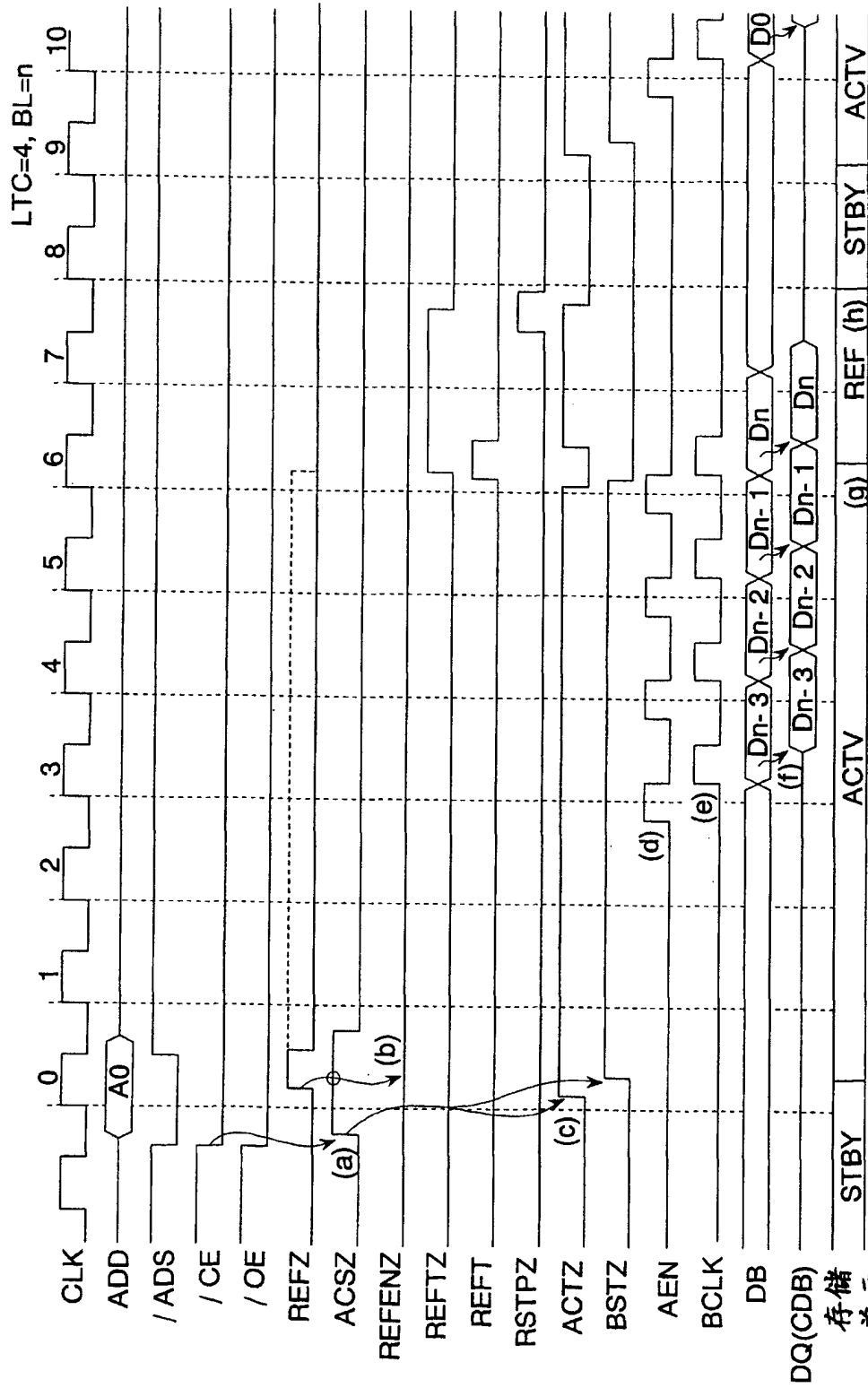


图 15

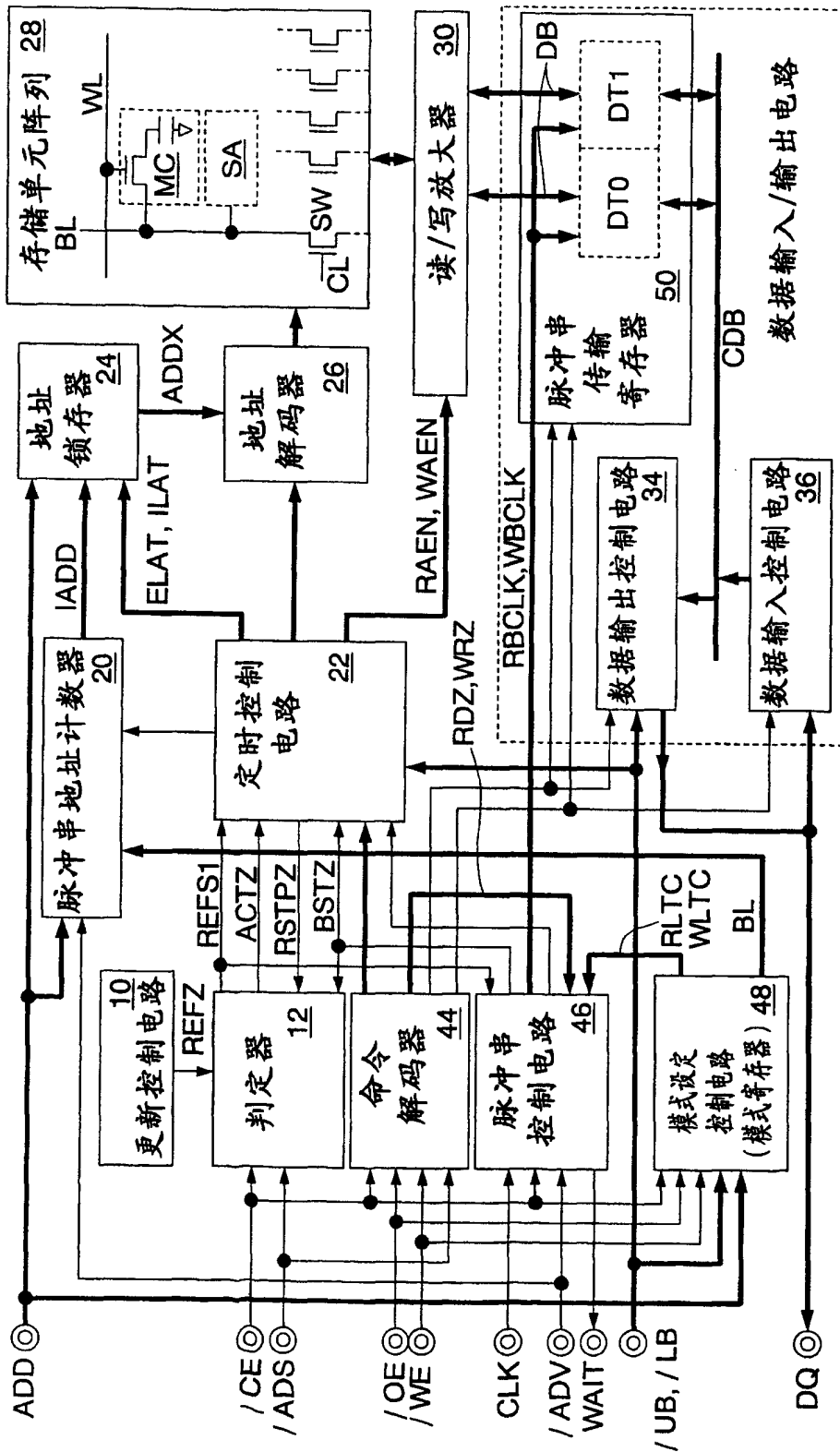


图16





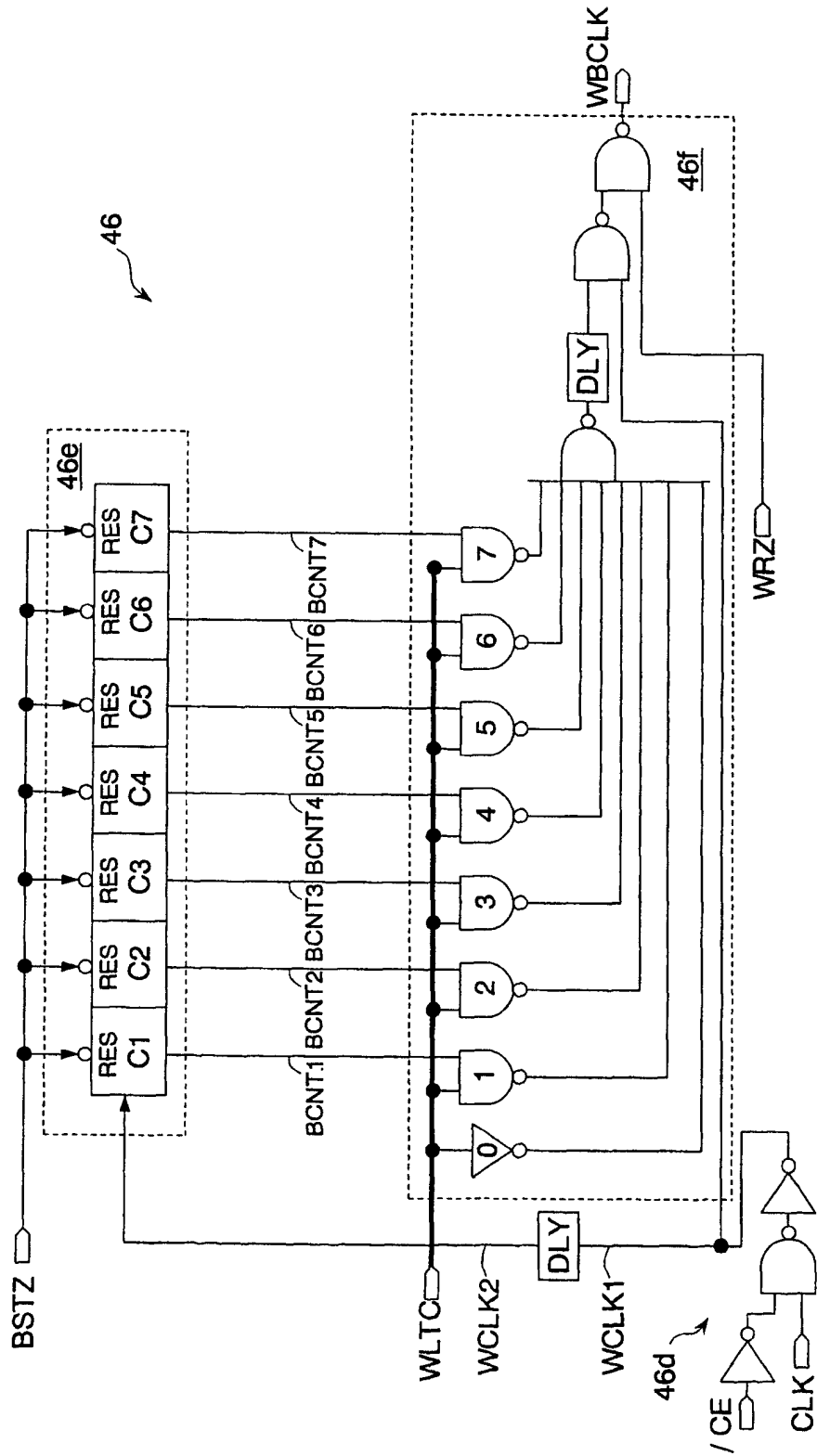


图 18

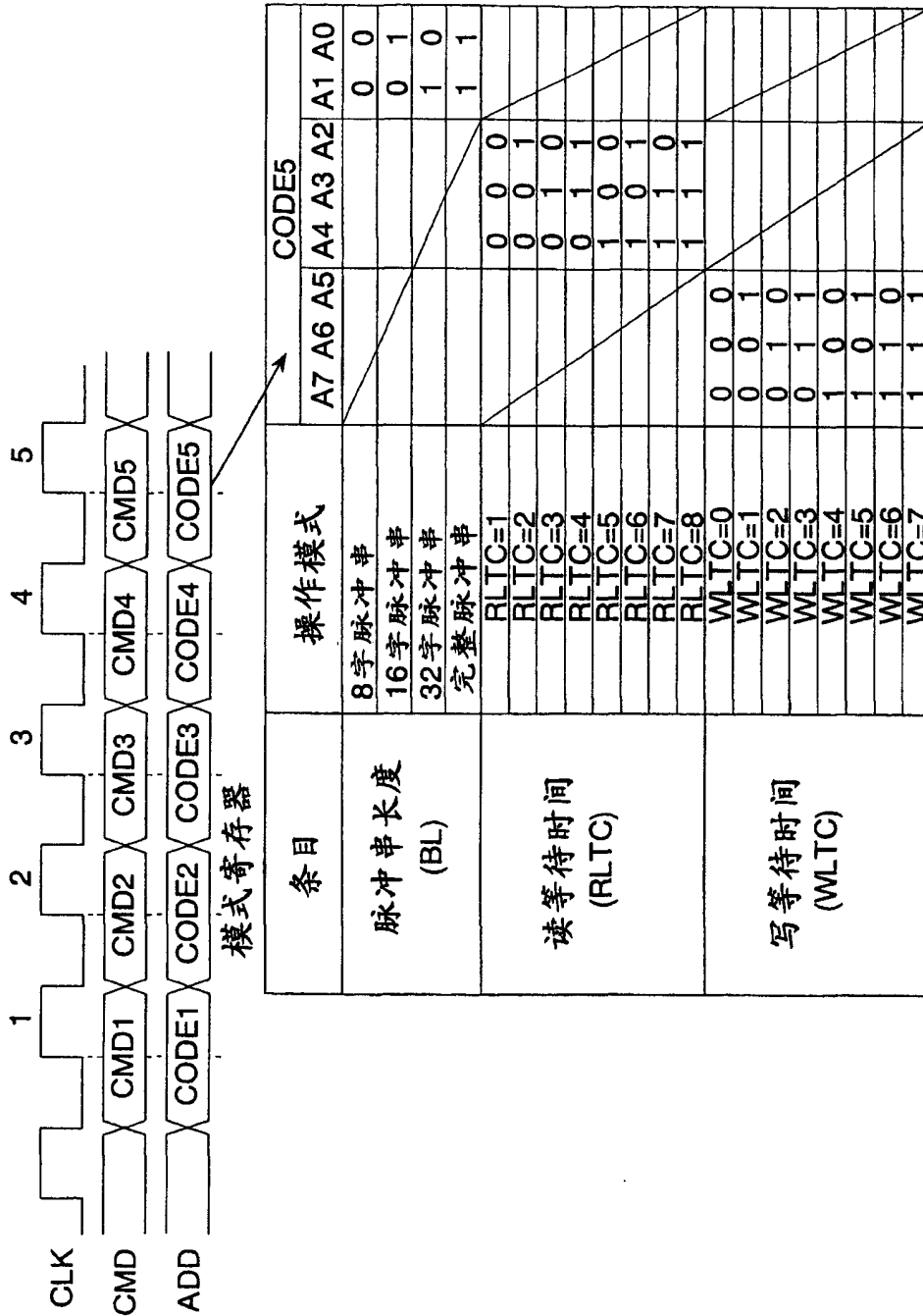


图 19

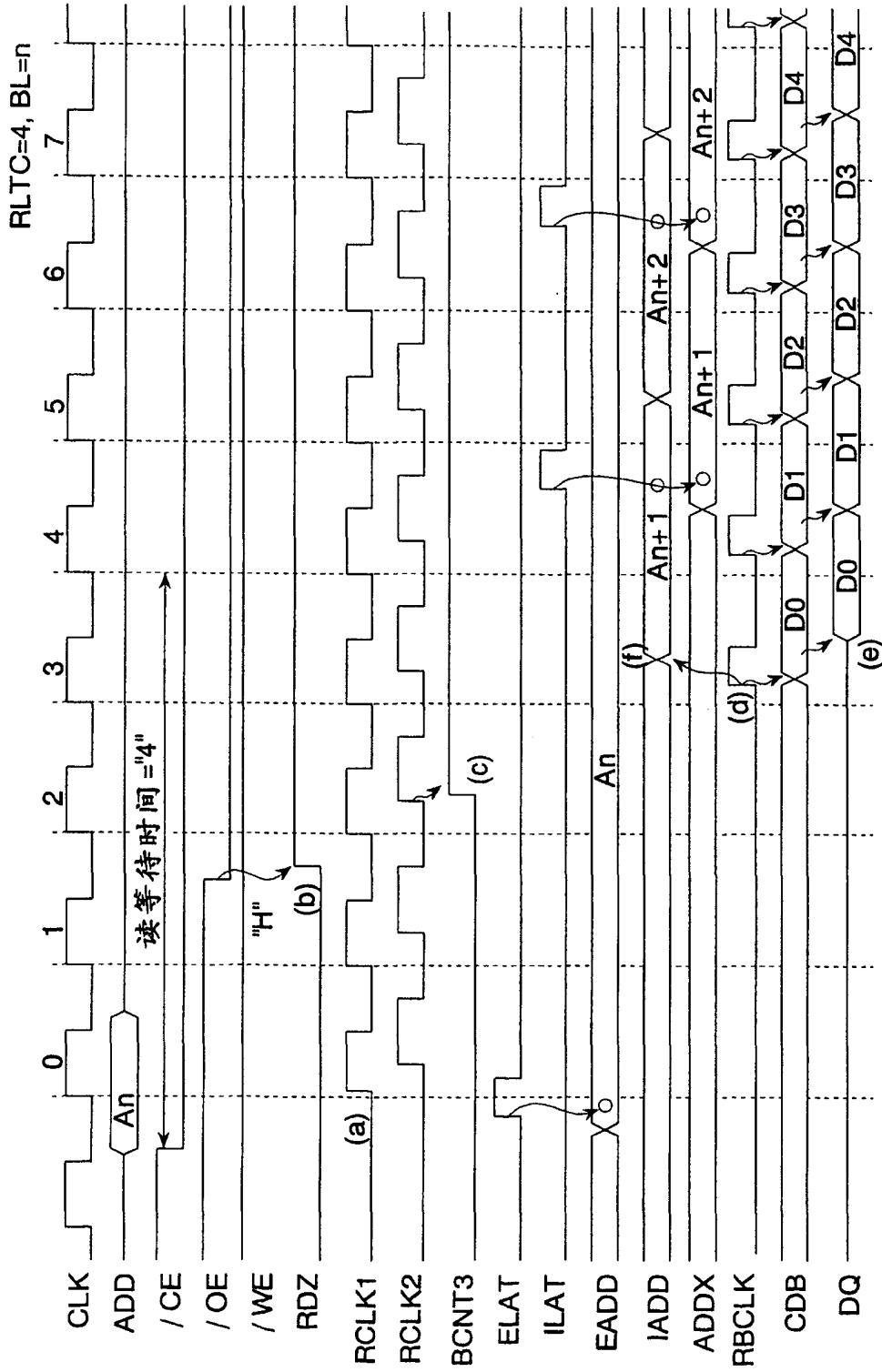


图 20



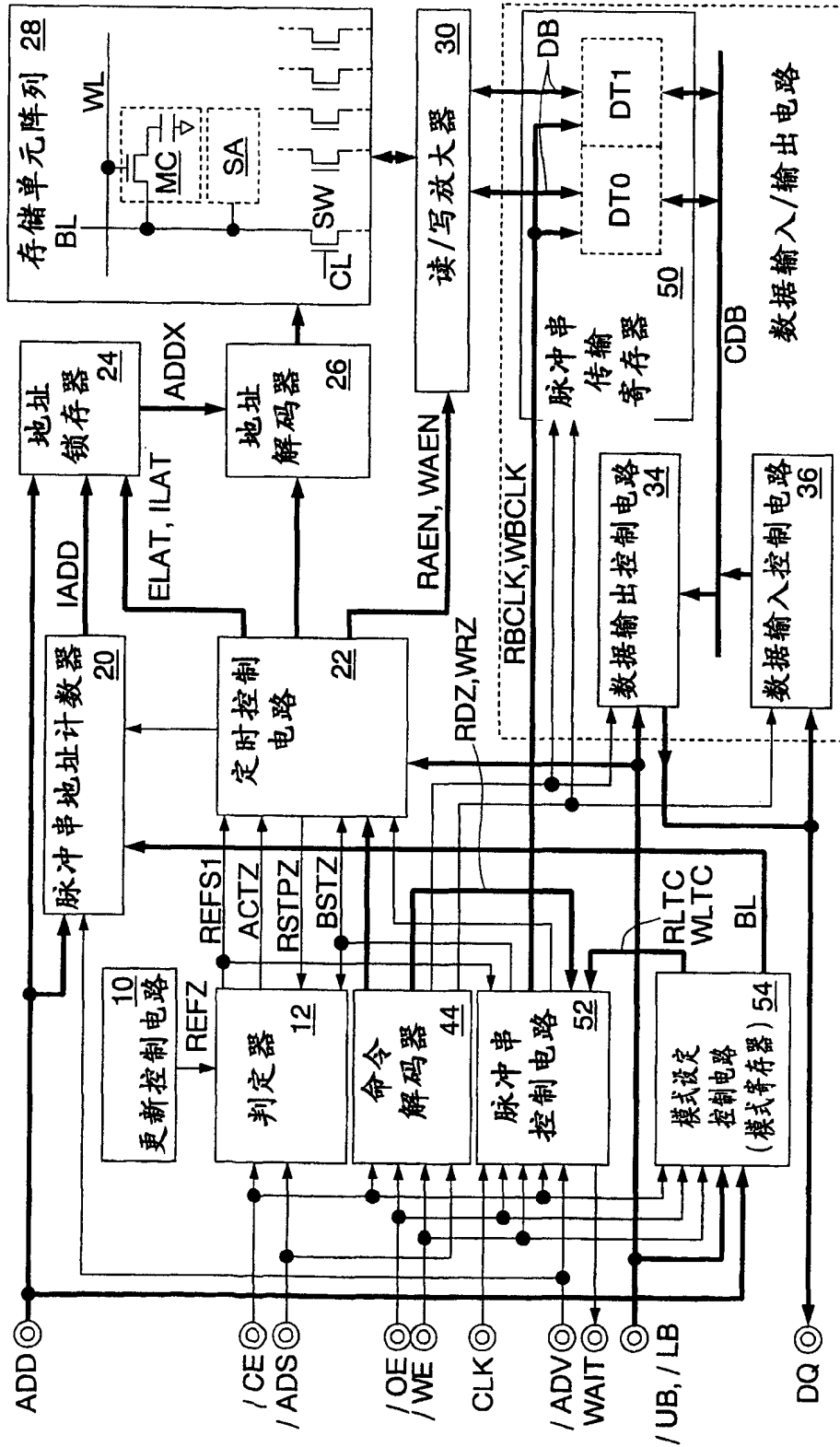


图 22

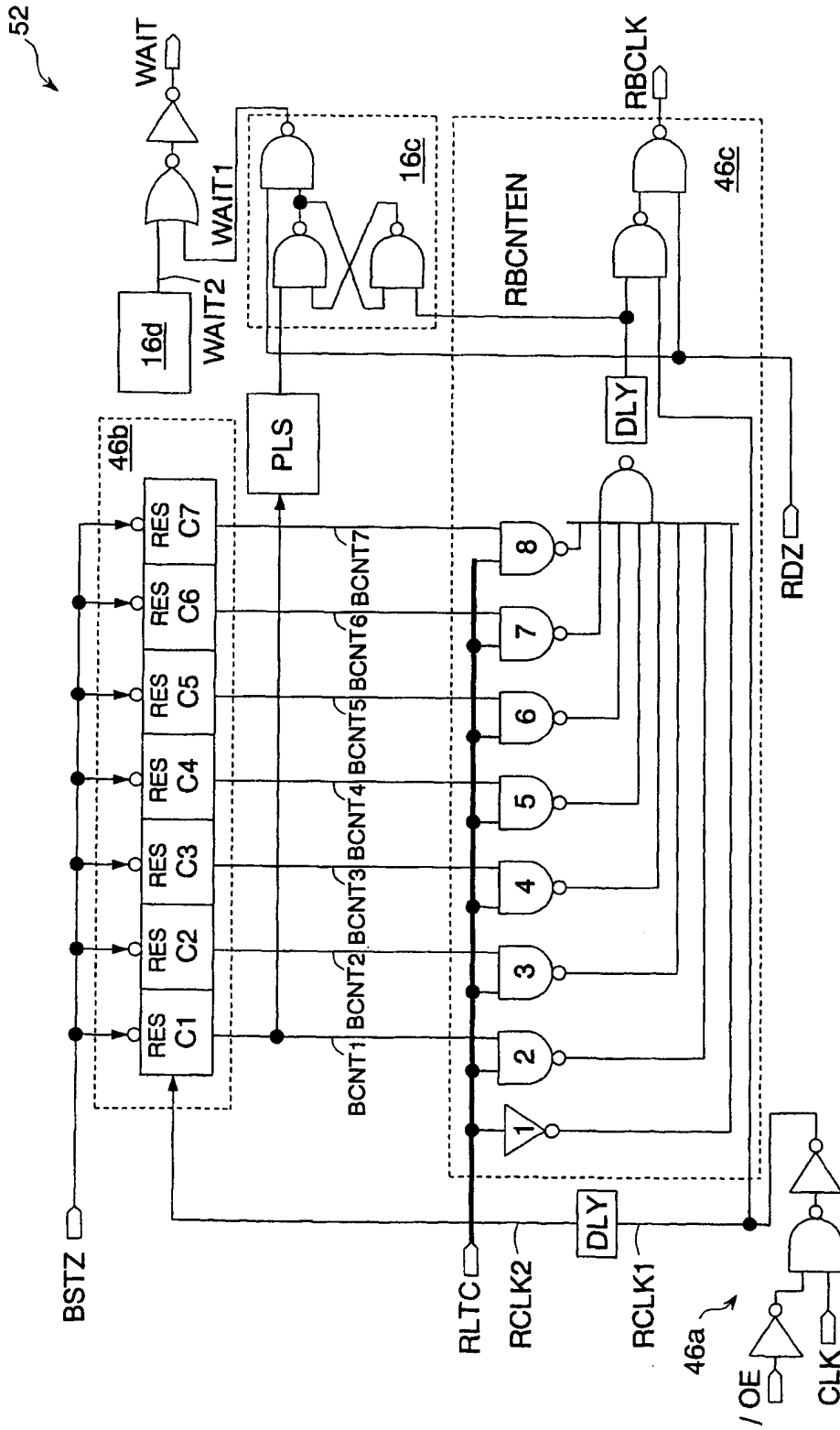


图 23

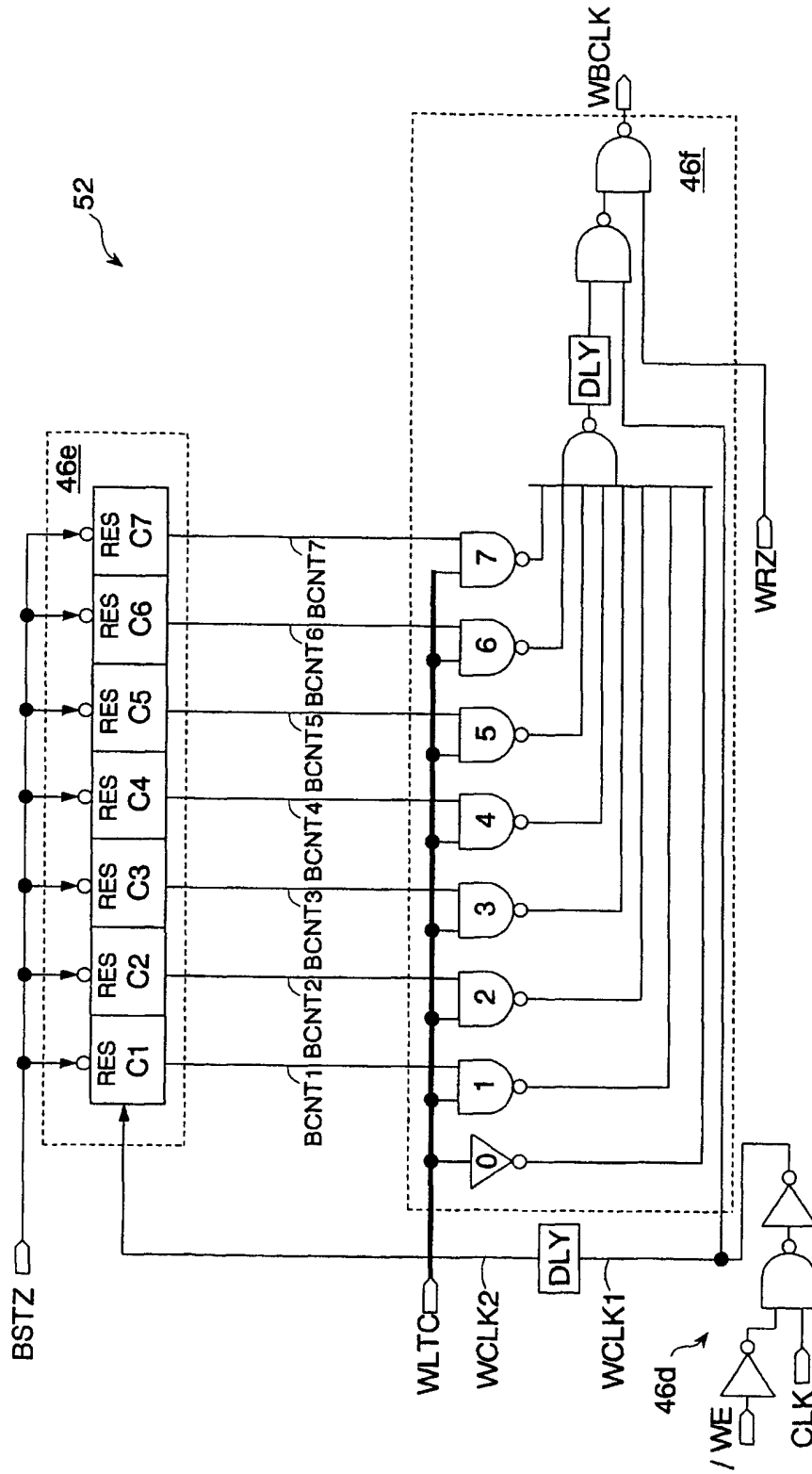


图 24



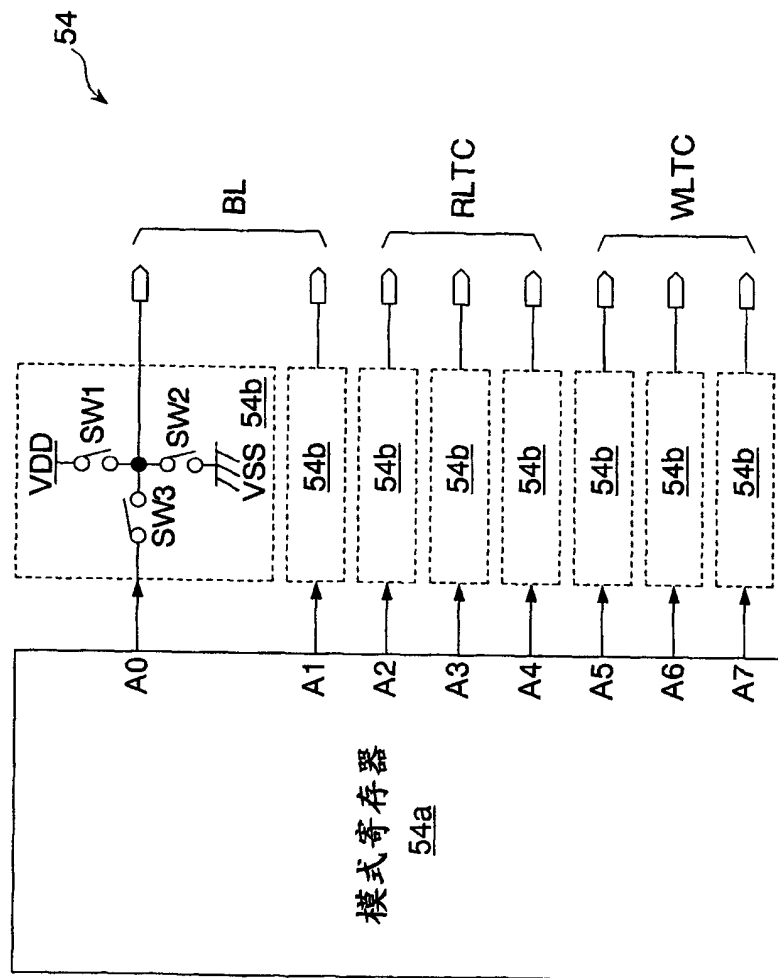


图 25

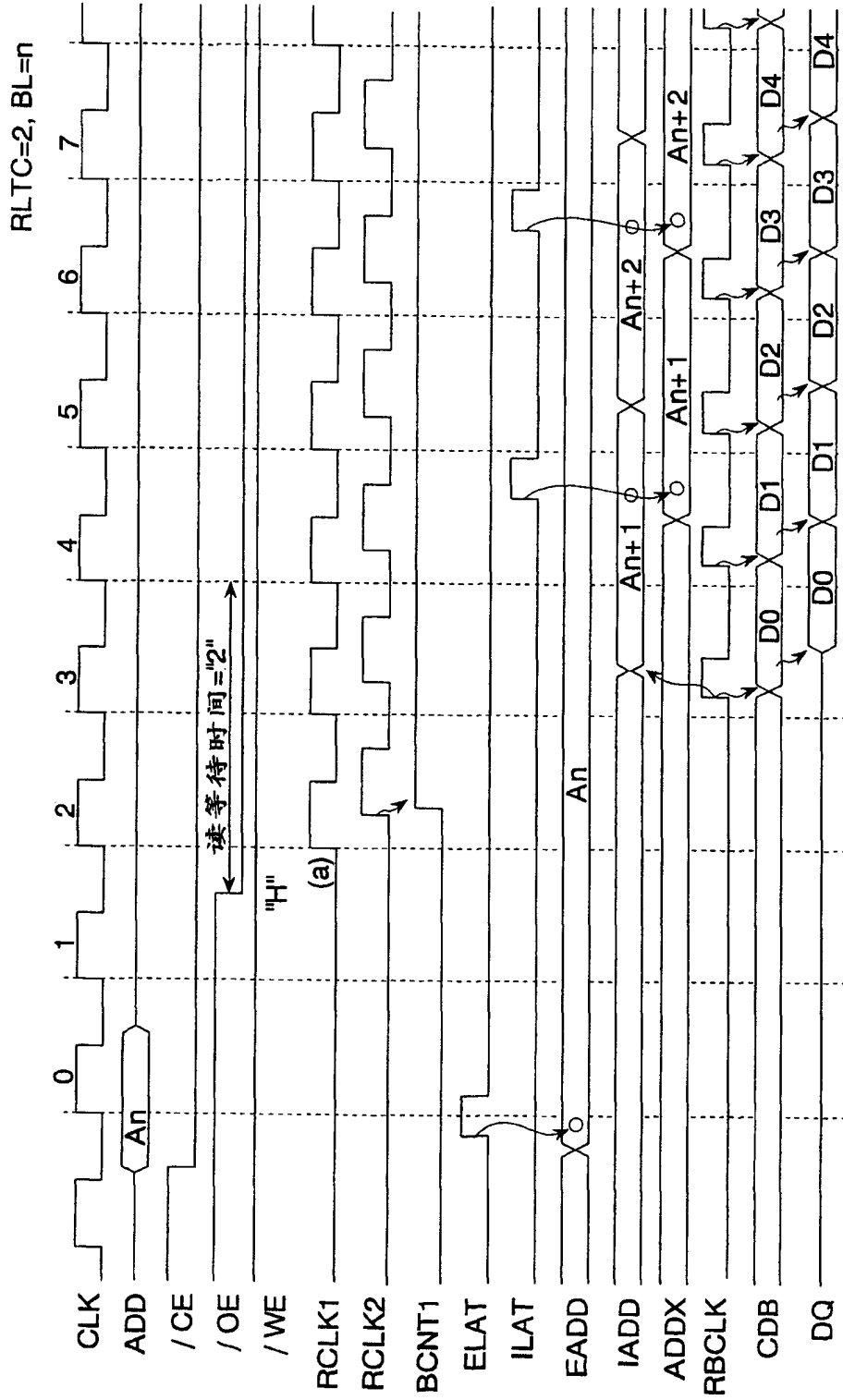


图 26

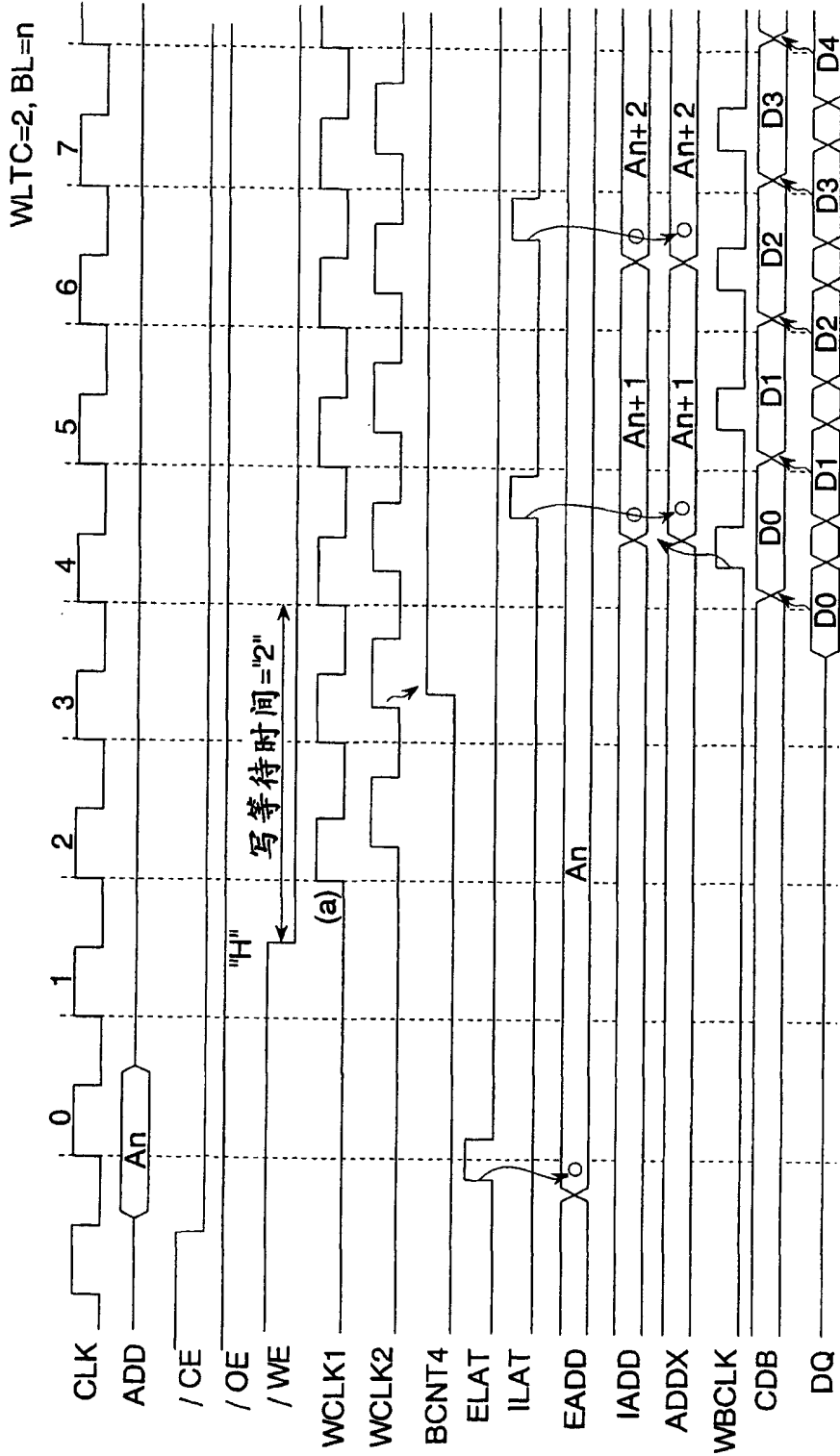


图 27

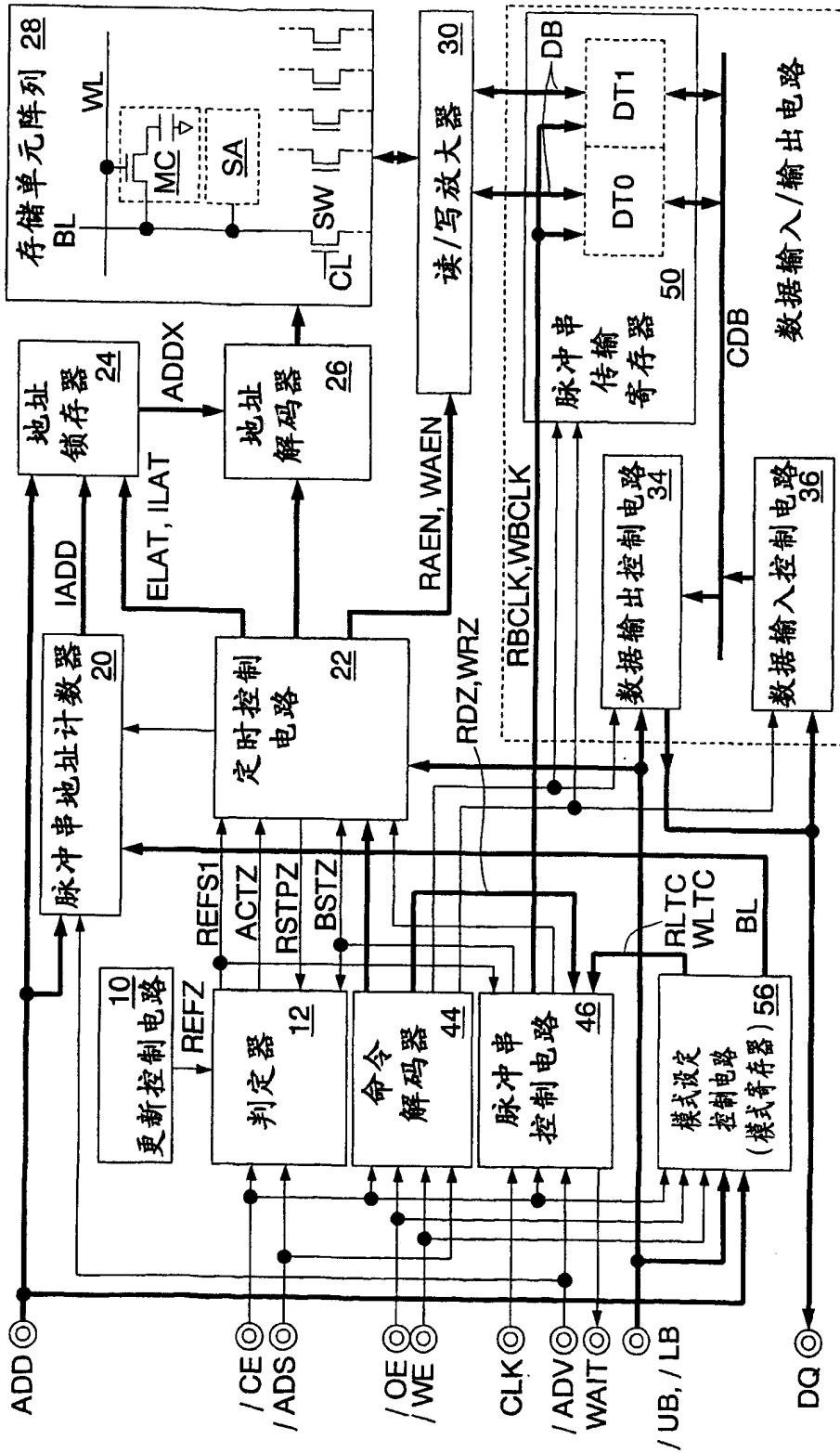


图 28

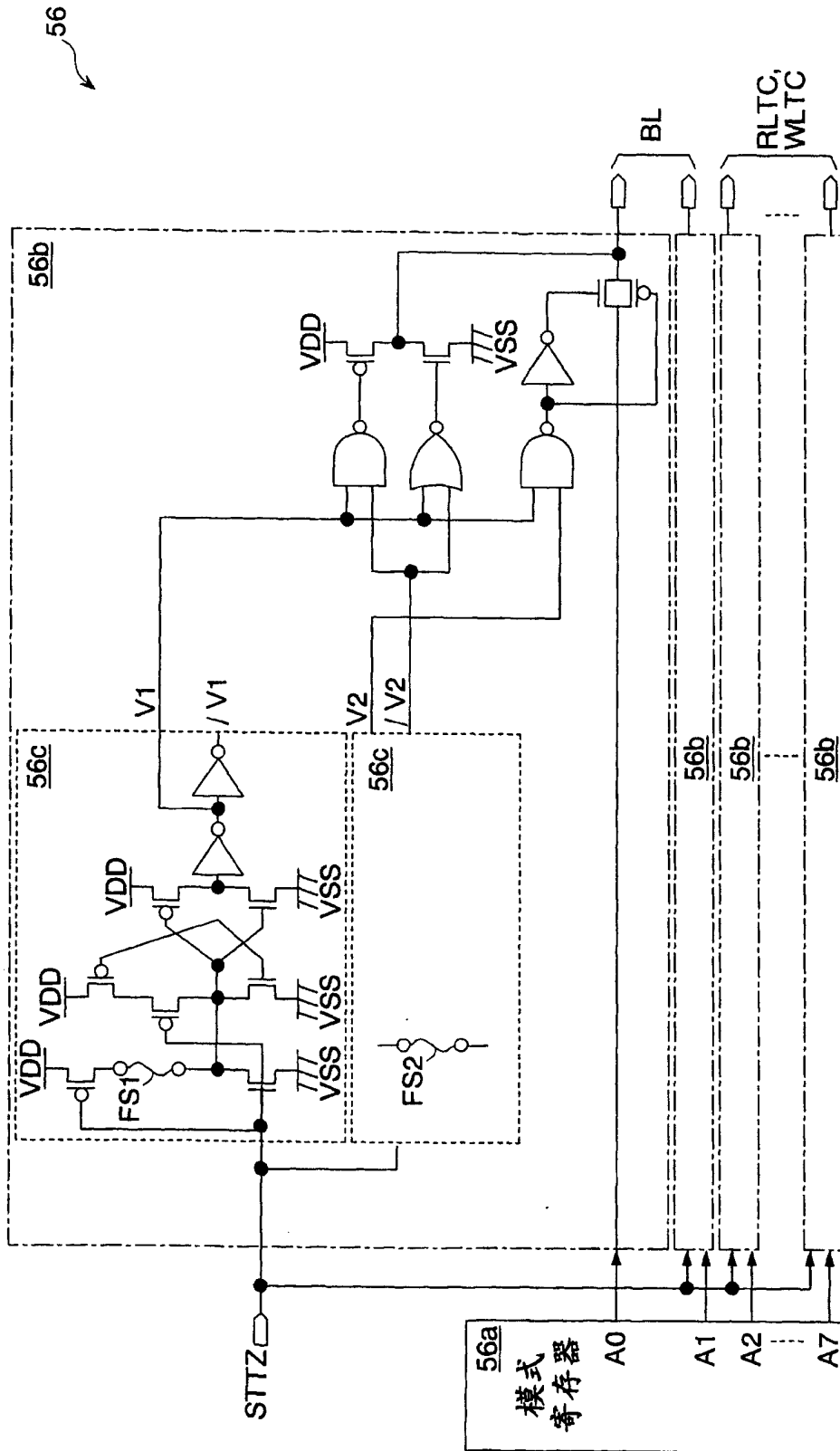


图 29

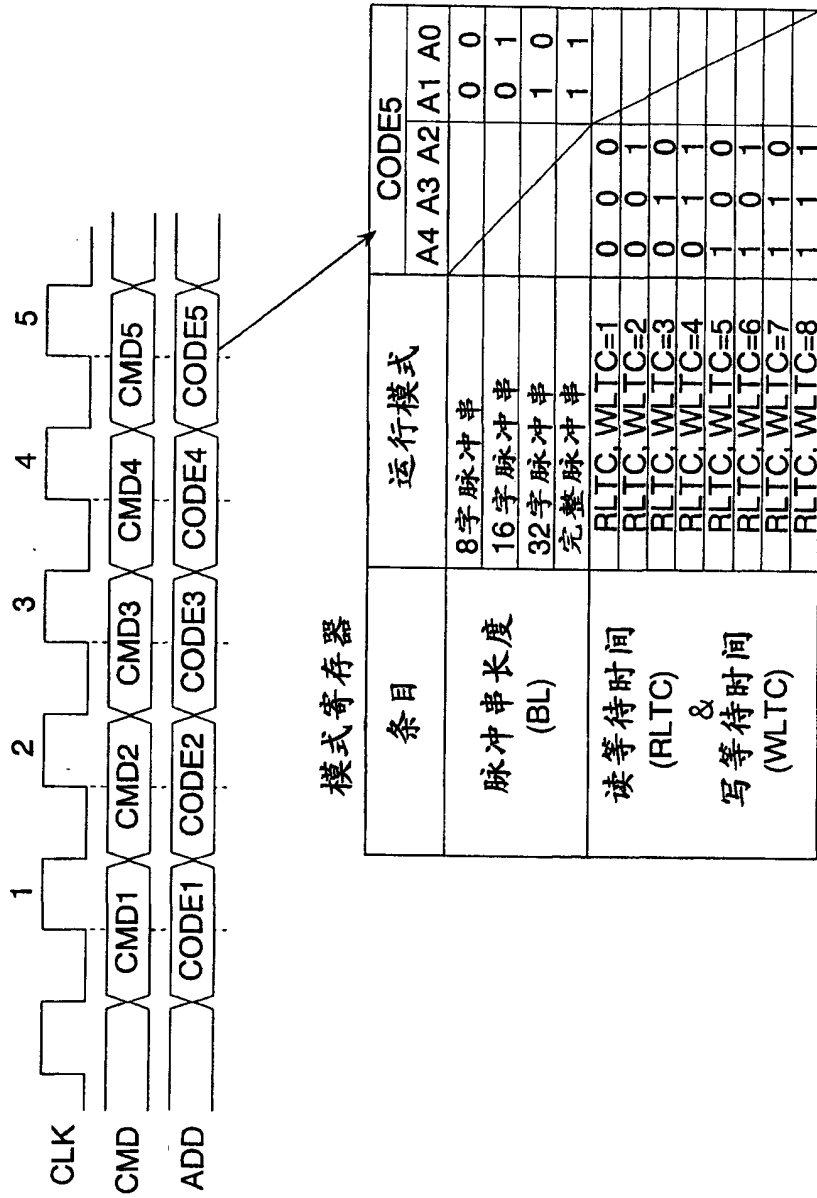


图 30