



(12) 发明专利

(10) 授权公告号 CN 103226278 B

(45) 授权公告日 2016. 02. 03

(21) 申请号 201310188530. 9

(22) 申请日 2013. 05. 21

(73) 专利权人 北京交通大学

地址 100044 北京市海淀区西直门外上园村
3号

学位论文全文数据库 信息科技辑》. 2012, 全文.
张丽梅等. 基于半导体光放大器马赫-曾德
尔干涉仪级联. 《中国激光》. 2012, 第 39 卷 (第
s1 期), s105009-1~s105009-2.

审查员 叶菲

(72) 发明人 张丽梅 王智 孙振超

(74) 专利代理机构 北京市商泰律师事务所
11255

代理人 毛燕生

(51) Int. Cl.

G02F 3/00(2006. 01)

(56) 对比文件

CN 101237294 A, 2008. 08. 06, 全文.

US 6953172 B1, 2005. 10. 04, 全文.

余建兴. 基于量子点半导体光放大器交叉增
益调制效应的全光逻辑门研究. 《中国优秀硕士

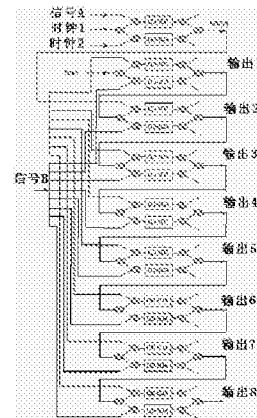
权利要求书1页 说明书6页 附图5页

(54) 发明名称

基于量子点半导体光放大器的 8 位全光比较
器

(57) 摘要

本发明公开了一种基于量子点半导体光放大器的 8 位全光比较器, 包括 1 个马赫-曾德干涉仪构成的逻辑非门, 8 个马赫-曾德干涉仪构成的逻辑异或门, 将前一个马赫-曾德干涉仪的输出进行延时, 作为下一个马赫-曾德干涉仪的控制信号, 与待比较信号一同输入下一个马赫-曾德干涉仪进行逻辑运算, 得到异或比较结果的级联, 所述逻辑非门和逻辑异或门使用量子点半导体光放大器作为非线性元件。此全光比较器处理的信号速度可达 500Gb/s。应用其进行高速信号处理, 以适应全光网络的发展。



1. 一种基于量子点半导体光放大器的 8 位全光比较器,其特征在于,包括 1 个马赫-曾德干涉仪构成的逻辑非门以及 8 个马赫-曾德干涉仪构成的逻辑异或门,所述逻辑非门与第一个逻辑异或门相连,得到一个一位比较器,将前一个马赫-曾德干涉仪逻辑异或门的输出进行延时,作为下一个马赫-曾德干涉仪逻辑异或门的控制信号,与待比较信号一同输入下一个马赫-曾德干涉仪逻辑异或门进行逻辑运算,得到异或比较结果的级联,所述逻辑非门和马赫-曾德干涉仪逻辑异或门使用量子点半导体光放大器作为非线性元件;其中:

所述量子点半导体光放大器的结构为一种 InAs/GaAs QD-SOA:其有源区由生长在 GaAs 基底上的 7 层 InAs 量子点构成, InAs 量子点的表面密度为 $5.0 \times 10^{10} \text{cm}^{-2}$,覆盖厚度为 5nm 的 InGaAs;量子点层由 33nm 厚的 GaAs 层隔开,能级结构包括导带和价带,且分别有三个和八个非简并的能级,导带相邻能级的能量差 70meV,价带相邻能级的能量差 10meV, InAs 量子点的基态辐射为 1.3 μm 。

基于量子点半导体光放大器的 8 位全光比较器

技术领域

[0001] 本发明涉及光电子技术领域,尤其涉及基于量子点半导体光放大器的 8 位全光比较器。

背景技术

[0002] 1. 量子点半导体光放大器的性能、结构和工作原理

[0003] 半导体光放大器(SOA)是实现下一代灵活配置光网络的关键设备,它不仅可以进行信号放大,也可以实现全光信号处理,这主要是基于半导体材料的非线性效应。SOA 的非线性效应主要包括交叉增益调制(XGM),交叉相位调制(XPM)和四波混频(FWM)效应等。

[0004] 半导体光放大器在全光网中有着广泛的应用,作为非线性器件,它可以用于光开关、光逻辑和波长变换等光信号处理中。但传统体材料的性能受很多因素的制约,例如饱和功率低、载流子恢复时间长、码型效应大等,因此基于这种 SOA 的全光逻辑器件的运算速率大多在 40Gb/s 以下,很难达到高速信号处理的要求,其稳定性也有待提高。

[0005] 近年来,量子点材料和量子点器件越来越受到人们的关注。量子点是准零维的纳米结构半导体材料,在这种结构中,量子点中的载流子在三个维度方向上都被束缚在纳米尺度范围内,强的禁闭作用使得量子点中能级产生分离,态密度分布成为一系列 δ 函数,这与原子相类似,所以人们通常也把量子点称为“人工原子”。典型的量子点尺寸大小在 10nm 左右,约包含 1 万个原子。在理想的量子点材料中,所有的大小完全相同,相互之间没有耦合作用,而且均匀地排列于一个无限深的势垒中。由于纳米尺度的量子点对载流子具有强三维限制作用,表现出明显的量子效应、共振隧穿、库仑阻塞以及激子的吸收饱和和非线性效应等。正是这些效应使得用量子点材料制成的器件具有高特征温度、低阈值电流密度、高微分增益、无啁啾工作和宽调制频率等优异性能。理论和实验表明,以量子点作为有源区的半导体器件具有比量子阱和体材料器件更为优越的性能。

[0006] 由于纳米半导体量子点器件在三个维度上受到限制,因此可以通过控制量子点的几何形状制造不同特性的量子点器件。目前,以量子点材料为有源区的量子点器件有量子点激光器、量子点半导体光放大器(QD-SOA)、量子点红外探测器、单光子光源、量子计算机等。这些器件在电学、光学性能、超大规模集成度和低功耗方面都有很大的优势,在纳米电子学、光电子学、生物科学、量子计算等领域有广泛的应用前景。

[0007] QD-SOA 具有比量子阱和体材料器件更为优越的性能,它具有低门限电流、高饱和功率、宽增益带宽和温度不敏感等优点,更为重要的是它的饱和光增益的恢复时间是 ps 量级的,这说明它在高速光信号处理中具有潜在的应用前景。近年来,QD-SOA 因其独特的优异性能得到了广泛研究。QD-SOA 作为一种新型的放大器,可以改进传统 SOA 的性能,在高速光通信和全光信号处理中具有很大潜力。图 1 和图 2 是 QD-SOA 的结构示意图。

[0008] 和普通 SOA 一样,QD-SOA 有两个工作区域。一个是低光功率下的线性区,用于光信号的线性放大;另一个是增益饱和时的非线性区,用于光信号处理,如图 3 所示。

[0009] 理论上说,QD-SOA 与传统 SOA 的主要区别在于,它的有源区是由许多量子点(QD)

层构成,如图 1 所示例,图中给出了两层 QD,在每个 QD 层的下面,有一层很薄的点材料,称为浸润层(WL)。载流子主要是通过 WL 层进入量子点内的有源区的,因此,WL 层的特性对整个设备的性能影响很大。图 2 给出的是一层 QD 和 WL 的导带结构,其中,假设量子点包含两个离散状态:激发态(ES)和基态(GS)。WL 层中的载流子可以通过 photon-和 Auger-assisted 过程进入 ES 态,同样,ES 态的载流子也经过类似的过程进入 GS 态,然后进行光脉冲放大。由于量子点系统是离散的状态,在某些方面,我们可以将 QD-SOA 看作是三层系统,量子点 GS 以上的状态(ES 和 WL)可以看作是 GS 的载流子存储池,不断补充 GS 中由于受激辐射消耗的载流子,从而使 QD-SOA 具有很快的增益恢复过程(p 秒量级)。而传统 SOA 更像二层系统,载流子存储区和光有源区耦合在一起。因此,相对来说,QD-SOA 更容易实现有源区的完全反转。QD 系统的三层结构类似于掺铒光纤放大器(EDFA),于是,它具有了 EDFA 的一些特点,例如噪声因子低,码型效应小。

[0010] QD-SOA 可以实现高比特率、多波长操作,这是由量子点材料的物理特质决定的,主要有两个方面:(1)饱和增益响应时间约为 100fs 量级到 ps 量级,码型效应很小;(2)由于量子点在空间是独立分布的,将产生光谱局部效应,可以有效抑制增益饱和状态下各个 WDM 信道间的串扰。早期有实验报道了 QD-SOA 的动态增益过程,后来的研究揭示了 QD-SOA 具有的一些特点,包括:超快增益恢复(皮秒量级),增益带宽大,噪声因子低,饱和输出功率高,FWM 效率等。

[0011] 人们已经广泛研究了 QD-SOA 的工作原理和电子结构。不同类型的量子点具有不同的生长工艺和工作波长范围,例如,In(Ga)As 量子点生长在 GaAs 衬底上,InAs 量子点生长在 InP 衬底上。

[0012] In(Ga)As/GaAs 量子点可以在小于 1350nm 波长范围激发,而 InAs/InP 结构可以在通信波长 1550nm 范围激发。实际上,量子点的大小、形状和局部应变力都在变而导致量子化能级的波动,使光跃迁能量发生不均匀展宽。可以采用高斯分布来描述量子点大小分布。现在已经有实验研究了 InAs/InP 量子点的光电特性。

[0013] 2. 全光比较器

[0014] 目前光纤通信正向着超高速、大容量方向发展,因此需要在通信节点处具有极高的信息包交换速度。而全光分组交换因为不需要光-电-光转换,直接在光层上实现交换,因此是实现高速交换的有效途径之一。其中,光标签处理是一项重要技术,一个标签含有一个地址,其它信息包含在信息包中,标签被全光识别,利用这种方式可以实现高速开关而不需要将整个信息包进行光电转换。光头提取与识别是实现高速标签交换的关键技术,而光头识别可以通过使用全光比较器得以实现。当信息包进入比较器,如果光头和一个预先设定好的模式相匹配,在输出功率中适当的时间处产生一个峰,然后这个信号用于控制一个光开关进行路由。全光比较器现已成为人们的研究热点之一,对于幅度调制的信号,目前已经有几种光比较器的方法被证实,包括基于 SOA 的高非线性效应实现的全光比较器: B. S. Gopalakrishnapillai 提出了基于 SOA 的 XNOR 门,其利用 SOA 的 XGM 实现同或运算输出。但对于多位比较,此装置不具备真正意义的比较器的功能,而且不适用于 10Gb/s 以上系统。基于无源 FBG 阵列的比较器: J. E. McGeehan 和 M. C. Hauer 提出的利用 FBG 实现的比较器,结构简单、成本低,比较器的数量由需要比较的比特位决定,但是当信号速率改变或通信网升级时不可重配置。David F. Geraghty 等人提出的空间 4-f 比较器,实现了 4 比特

100Gb/s 帧头信号的识别,但系统存在正交性及信号漂移的问题。此外还有自由空间的全息滤波器,以及具有光延迟的金属镜等。

[0015] 目前基于半导体光放大器的全光信号处理技术与器件得到了广泛的研究和应用。其中主要是基于 SOA 中的交叉相位调制、交叉增益调制、四波混频等非线性效应实现的。基于 SOA 和 SOA-MZI (半导体光放大器马赫-曾德干涉仪) 已经能实现各种全光逻辑,包括与 (AND), 或 (OR), 非 (NOT), 异或 (XOR), 或非 (NOR) 等。其中, Hongzhi Sun 等提出的基于 SOA-MZI 的 XOR 逻辑, 速率达到了 80Gb/s。LASAGNE 项目组基于 SOA-MZI 结构分别利用级联和反馈两种方式实现了 2 位比较器, 消光比为 13dB。目前的全光比较器多数是 2 位比较器。

发明内容

[0016] 本发明解决的技术问题在于: 如何实现高速全光多位比较器。

[0017] 本发明解决其技术问题所采用的技术方案: 一种基于量子点半导体光放大器的 8 位全光比较器, 包括 1 个马赫-曾德干涉仪构成的逻辑非门, 8 个马赫-曾德干涉仪构成的逻辑异或门, 将前一个马赫-曾德干涉仪的输出进行延时, 作为下一个马赫-曾德干涉仪的控制信号, 与待比较信号一同输入下一个马赫-曾德干涉仪进行逻辑运算, 得到异或比较结果的级联, 所述逻辑非门和逻辑异或门使用量子点半导体光放大器作为非线性元件。

[0018] 本发明的有益效果:

[0019] 本发明提出了一种基于量子点半导体光放大器级联结构实现的 8 位全光比较器。这种全光比较器可以实现标签识别等信号处理, 因为不需要光-电-光转换, 直接在光层上实现交换, 因此是实现高速交换的有效途径之一。此全光比较器处理的信号速度可达 500Gb/s。应用其进行高速信号处理, 以适应全光网络的发展。

附图说明

[0020] 当结合附图考虑时, 通过参照下面的详细描述, 能够更完整更好地理解本发明以及容易得知其中许多伴随的优点, 但此处所说明的附图用来提供对本发明的进一步理解, 构成本发明的一部分, 本发明的示意性实施例及其说明用于解释本发明, 并不构成对本发明的不当限定, 其中:

[0021] 图 1 量子点半导体光放大器的结构示意图。

[0022] 图 2 量子点半导体光放大器载流子跃迁示意图。

[0023] 图 3 量子点半导体光放大器的工作区特性。

[0024] 图 4 异或门原理图。

[0025] 图 5 非门原理图。

[0026] 图 6 8 比特全光比较器结构示意图。

[0027] 图 7 8 比特全光比较器结果。

具体实施方式

[0028] 参照图 1-7 对本发明的实施例进行说明。

[0029] 为使上述目的、特征和优点能够更加明显易懂, 下面结合附图和具体实施方式对

本发明作进一步详细的说明。

[0030] 具体技术方案如下：

[0031] 1. 通过理论计算得到量子点半导体光放大器的基本结构。

[0032] 为得到适合做信号处理的 QD-SOA, 利用 vasp 软件计算不同结构的 QD-SOA, 得到其基本的能级结构, 并理论计算出此 QD-SOA 的动态特性。

[0033] 2. 实现全光异或逻辑和非逻辑。

[0034] 本发明全光比较器的实现需要用到全光异或逻辑和非逻辑。

[0035] 全光异或逻辑的实现方案如图 4 所示。这是利用基于量子点半导体光放大器的马赫-曾德干涉仪实现的全光异或逻辑。信号 A 和信号 B 经干涉仪后的输出为 XOR (A, B), 即, 比较的结果为当 A、B 不同时, 输出信号为 1, 当 A、B 相同时, 输出为 0。

[0036] 为满足包头识别的需要, 应使系统在 A=B 时的输出结果为 1, 因此需要用到一个非门, 将信号 A (或 B) 进行反转。非门的实现方案如图 5 所示。该结构类似于异或逻辑的结构, 也是基于量子点半导体光放大器的马赫-曾德干涉仪实现。输出信号为 NOT (A)。

[0037] 这里全光异或逻辑和非逻辑都是利用半导体光放大器中的交叉相位调制作用实现的。

[0038] 3. 多位全光比较器的构成。

[0039] 将一个非门与一个异或门相连, 得到一个一位比较器。将多个异或逻辑进行级联, 得到多位全光比较器。全光 8 位比较器由 9 个量子点半导体光放大器马赫-曾德干涉仪组成。第一个 QD-SOA MZI 用于实现 NOT 逻辑, 其它 QD-SOA MZIs 用于实现 XOR 逻辑。如图 6 所示。将多个异或逻辑进行级联时, 要进行各路光信号的时延, 实现多路光信号时延量的精确控制。速率为 500Gbps 时, 每比特字节仅 2ps。

[0040] 具体各部件结构如下：

[0041] 1. 量子点半导体光放大器的基本结构: 器件中所使用的是一种 InAs/GaAs QD-SOA, 其有源区由生长在 GaAs 基底上的 7 层 InAs 量子点构成, 量子点的表面密度约 $5.0 \times 10^{10} \text{cm}^{-2}$, 覆盖厚度为 5nm 的 InGaAs。量子点层由 33nm 厚的 GaAs 层隔开, 可认为两个相邻的层之间没有作用力。能级结构包括导带和价带, 并分别有三个和八个非简并的能级, 导带相邻能级的能量差 70meV, 价带相邻能级的能量差 10meV, InAs 量子点的基态辐射在 1.3 μm 附近。

[0042] 2. 利用量子点半导体光放大器分别实现“异或”逻辑和“非”逻辑：

[0043] a) 实现“异或”逻辑

[0044] 所要实现的异或门是基于 QD-SOA MZI 的异或门。基于 QD-SOA 的超快增益和相位动态特性, 利用马赫-曾德干涉仪 (MZI) 实现超高速全光信号处理, 其结构如图 4 所示。一个 QD-SOA MZI 由 2 个 QD-SOA 构成, 两个 QD-SOA 放在干涉仪两臂的相同位置。基本原理如下: 不同波长的信号 A (波长为 λ_1)、信号 B (波长为 λ_3) 和控制脉冲 C (波长为 λ_2) 由左侧输入。控制脉冲 C 经耦合器分为两束, 其中一束与信号 A 耦合后输入到 QD-SOA MZI 的上臂中, 另一束与信号 B 耦合后输入到 QD-SOA-MZI 的下臂中。控制信号 C 与信号 A 和信号 B 在 QD-SOA 中传输, 发生交叉相位调制作用, 当信号 A 和信号 B 相同时, 控制脉冲 C 在两个 QD-SOA 中经历相同的相移和增益, 因此经耦合器干涉后不能输出, 即输出为 0。当信号 A 和信号 B 不同时, 控制脉冲 C 在两个 SOA 中经历不同的相移和增益, 可以使经耦合器输出, 调

节信号 A 和 B 的峰值功率,可使输出最强。因此输出信号是信号 A 和信号 B 的逻辑“异或”。

[0045] 将滤波器中心波长对准 λ_2 (控制光 C 的波长),滤掉信号光 A 和 B,得到输出结果应为:

$$[0046] \quad P_{out}(t) = \frac{P_{probe}(t)}{4} [G_1(t) + G_2(t) - 2\sqrt{G_1(t)G_2(t)} \cos(\phi_1(t) - \phi_2(t))]$$

[0047] 其中, $P_{probe}(t)$ 是控制脉冲 C 的输入功率, G_1, G_2, ϕ_1 和 ϕ_2 是 QD-SOA-MZI 两个臂中探测光束的增益和相位的变化。当 $A=B$, 则 $G_1=G_2, \phi_1=\phi_2$, 因此 $P_{out}=0$; 如果 $A \neq B$, 则, $P_{out}(t) \neq 0$ 。可见,此时 QD-SOA MZI 形成一个逻辑 XOR 门。

[0048] b) 实现“非”逻辑。

[0049] 同前面的 XOR 门类似,使用非常相似的 QD-SOA-MZI 结构可以实现逻辑 NOT (非)门结构。在前面的 XOR 结构中,使用时钟信号代替数据信号 B,这时得到的结果将是信号 A 和“1”的 XOR 结果,这时得到的真值就是 NOT (A)。其结构如图 5 所示。

[0050] 3. 利用量子点半导体光放大器的级联结构实现全光比较器:

[0051] 基于前面的 QD-SOA MZI 结构,将多个 XOR 逻辑门进行级联,可以实现一个多比特全光比较器。图 6 就是我们提出的 8 比特全光比较器的示意图,它由 9 个 QD-SOA MZI 组成,其中,第一个 QD-SOAMZI 用于实现 NOT 逻辑,其它 QD-SOA MZI 用于实现 XOR 逻辑。

[0052] 8 比特全光比较器的基本原理如下:首先,信号 A、时钟信号 1、时钟信号 2 耦合进第一个 QD-SOA MZI 中,用于实现 NOT 逻辑,输出结果为 NOT(A)。将输出的 NOT(A) 分成 8 路,同时信号 B 也分成 8 路。NOT(A) 和 B 的第一比特数据在第二个 QD-SOA MZI 中进行逻辑操作(此处控制信号是一个高斯单脉冲),得到 XOR 结果,即图中的“Output1”。信号“Output1”经适当的衰减和延迟后,作为控制信号与 NOT(A) 及信号 B 的第二位同步进入第三个 QD-SOA MZI 中,得到“Output2”。以此类推,第 n 比特的 XOR 结果作为控制信号与信号 NOT(A) 及 B 的第 (n+1) 比特同步实现 XOR 逻辑。最终,第 8 个 XOR 逻辑(最后一个 QD-SOA MZI)的输出就是 8 比特全光比较器的输出结果。最终比较结果可表示如下:

$$[0053] \quad Output = \begin{cases} 0, & \text{if } A \neq B \\ 1, & \text{if } A = B \end{cases}$$

[0054] 具体结果如下:

[0055] 几种不同序列的信号 A 和信号 B 经 8bit 全光比较器比较之后的结果如图 7 所示。信号 A 和信号 B 都是 8 比特 RZ 格式强度调制信号,速率为 500Gbps。信号 A、信号 B 和时钟信号 2 的单脉冲能量都是 0.05pJ,时钟信号 1 和控制脉冲的能量为 0.002pJ。所有信号的 $1/e$ 脉冲宽度都为 0.5ps。

[0056] 从结果可以看出,仅当信号 A 与信号 B 的 8 个比特都完全相同时,在序列的第 8 位有光脉冲输出。当 $A \neq B$ 时,在最后一个 QD-SOAMZI 后没有信号输出。8 比特全光比较器的输出脉冲宽度仅 0.1ps,消光比超过 90dB。

[0057] 虽然以上描述了本发明的具体实施方式,但是本领域的技术人员应当理解,这些具体实施方式仅是举例说明,本领域的技术人员在不脱离本发明的原理和实质的情况下,可以对上述方法和系统的细节进行各种省略、替换和改变。例如,合并上述方法步骤,从而

按照实质相同的方法执行实质相同的功能以实现实质相同的结果则属于本发明的范围。因此,本发明的范围仅由所附权利要求书限定。

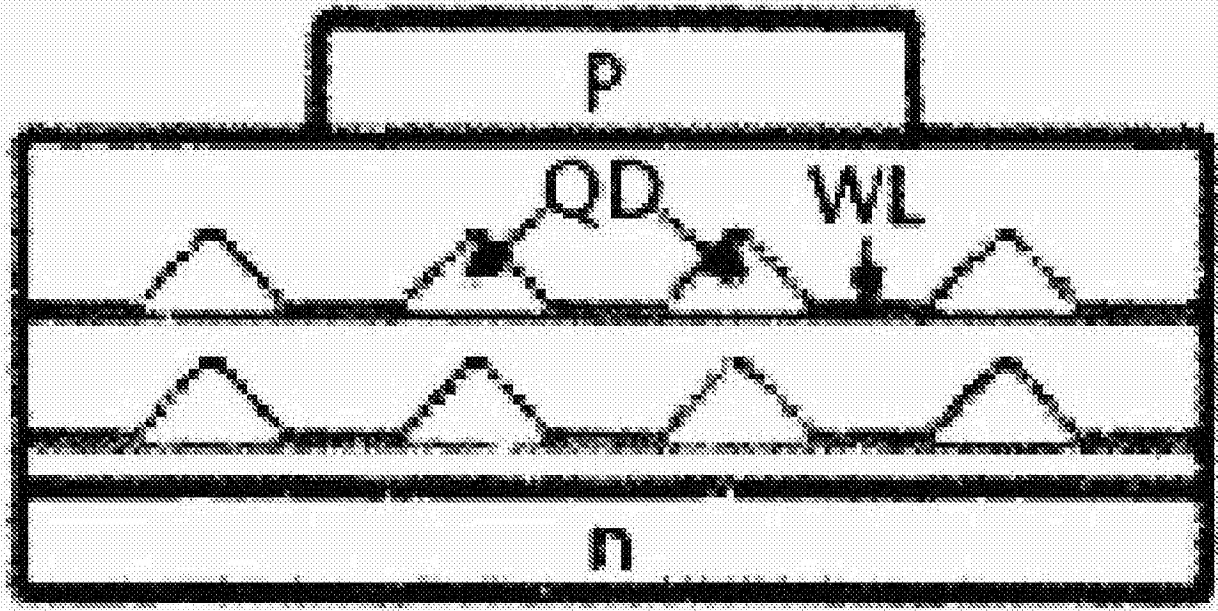


图 1

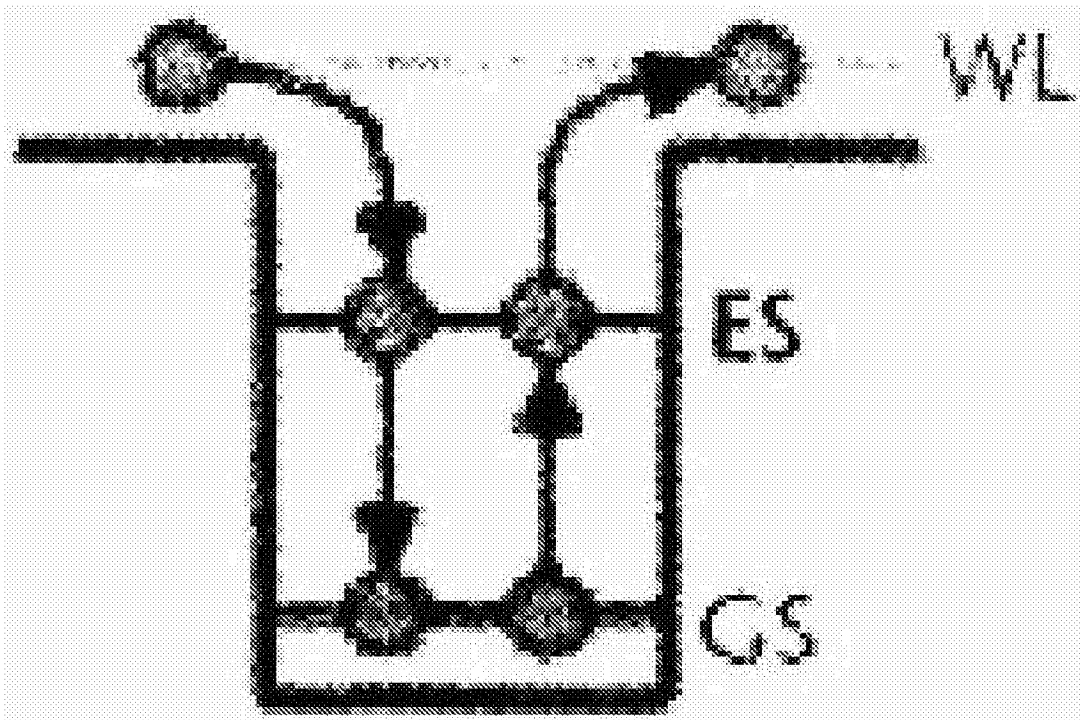


图 2

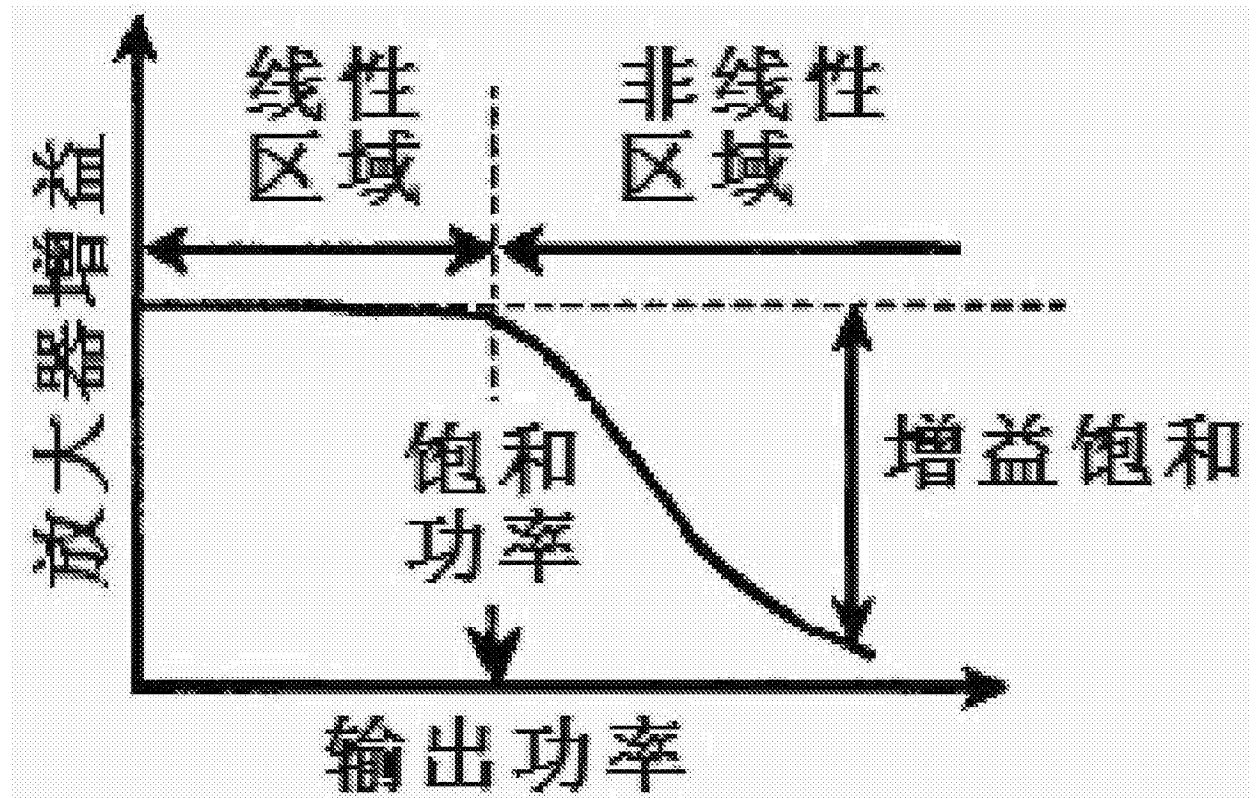


图 3

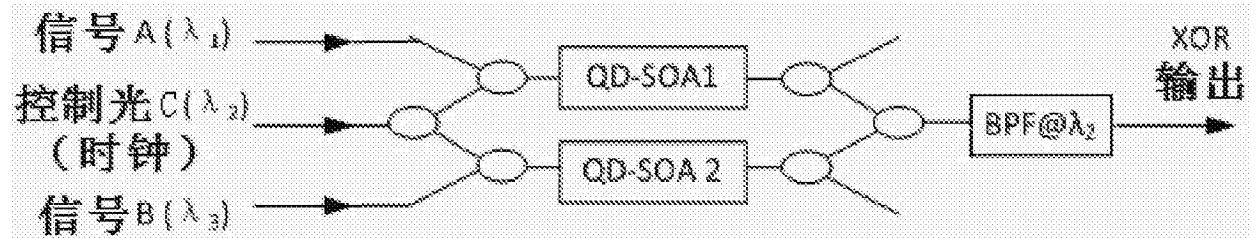


图 4

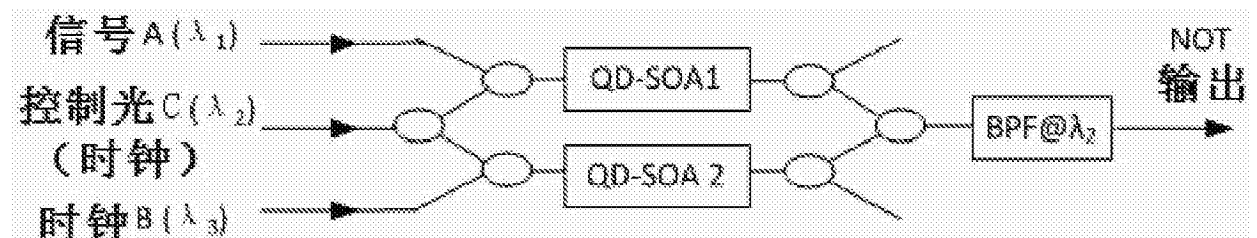


图 5

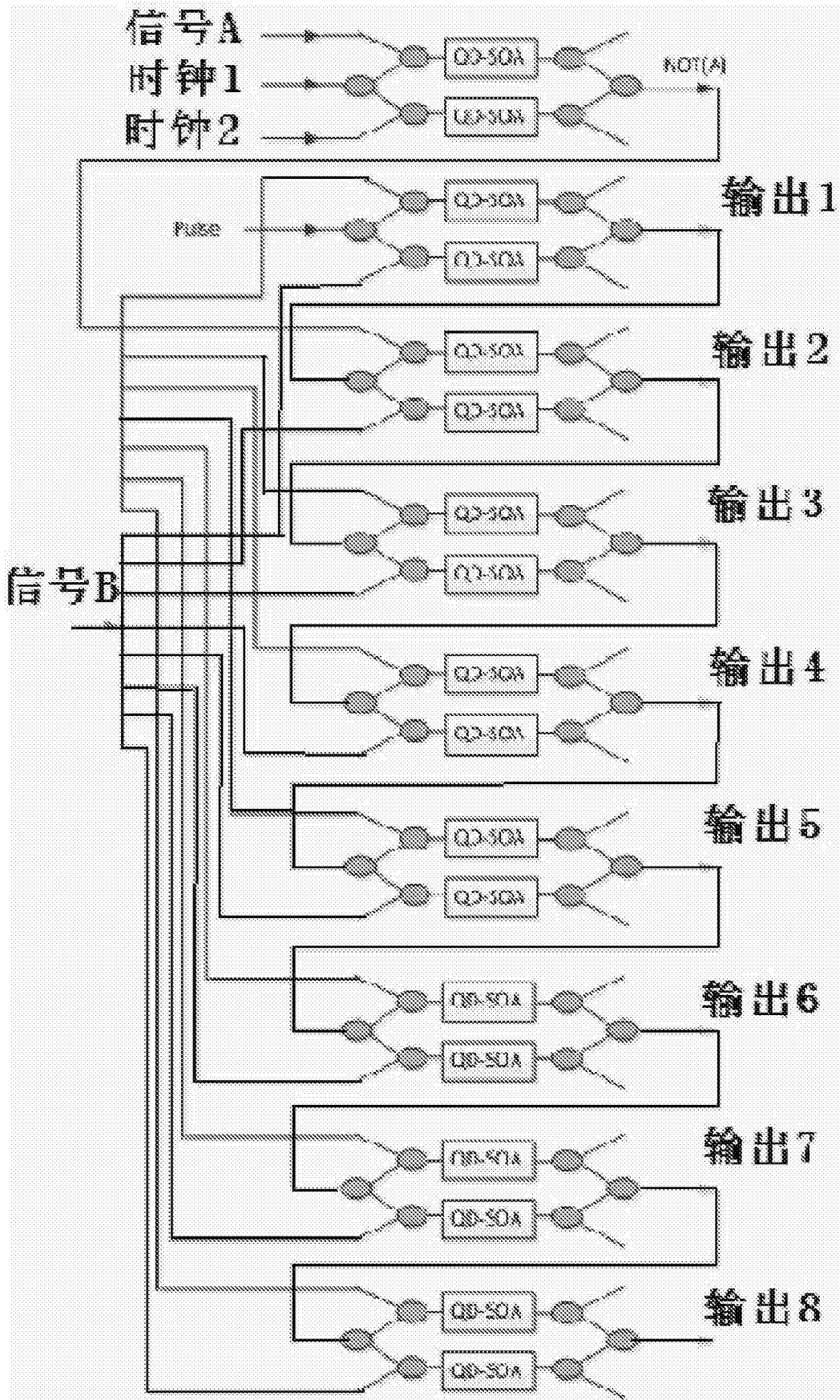
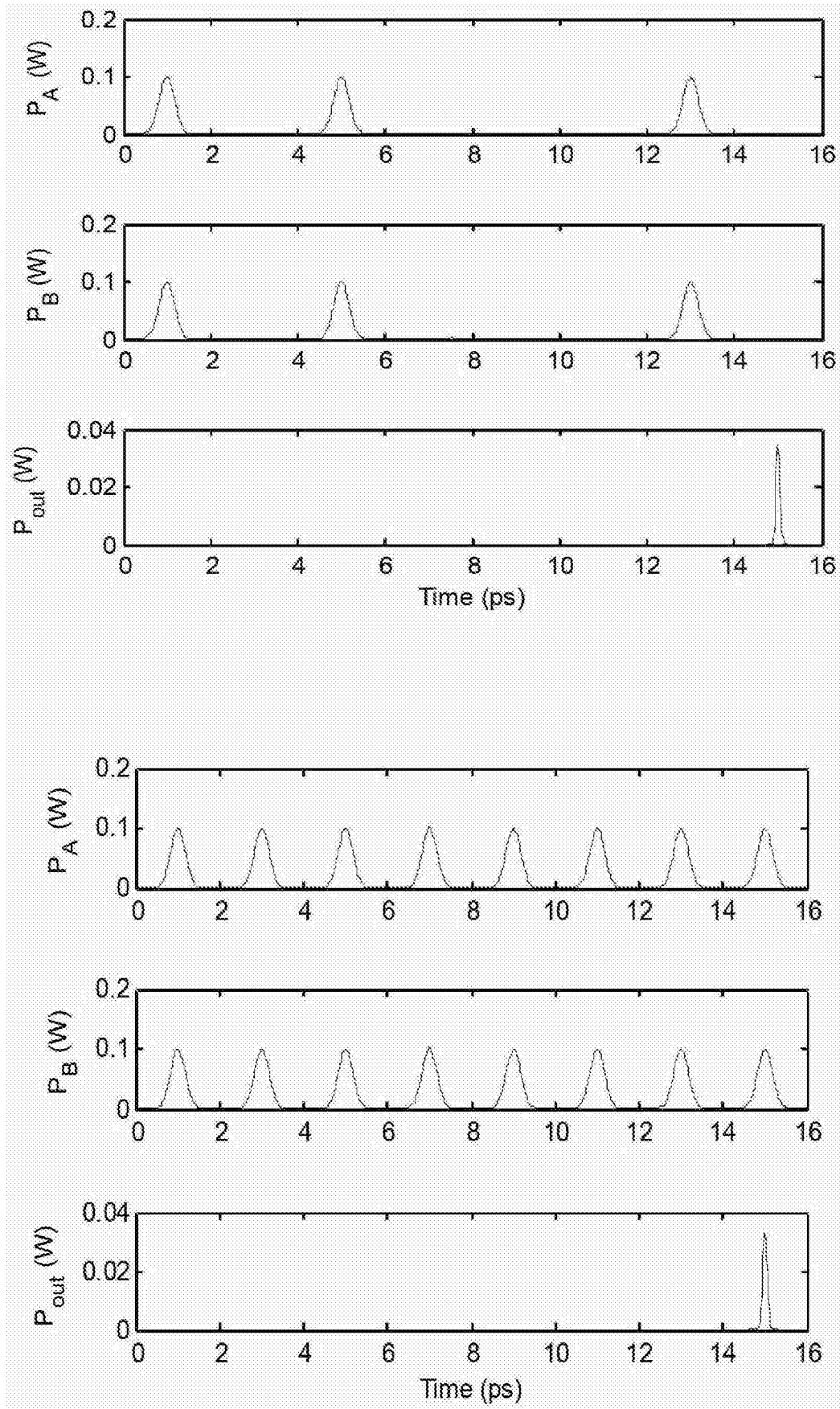


图 6



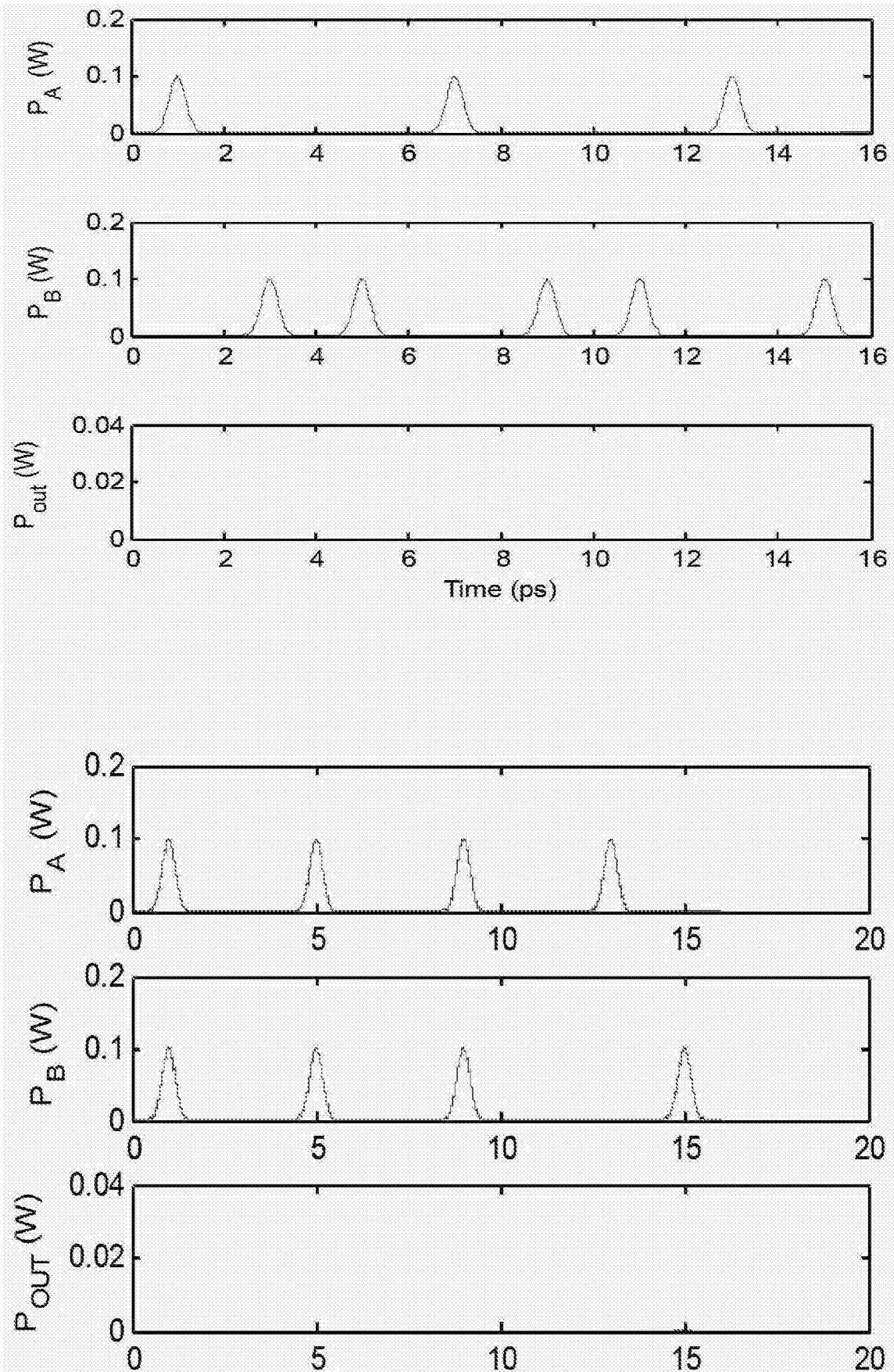


图 7