

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6873791号
(P6873791)

(45) 発行日 令和3年5月19日(2021.5.19)

(24) 登録日 令和3年4月23日(2021.4.23)

(51) Int. Cl.		F I			
HO 1 L 25/07	(2006.01)	HO 1 L	25/04		C
HO 1 L 25/18	(2006.01)	HO 1 L	23/30		R
HO 1 L 23/29	(2006.01)	HO 1 L	23/36		A
HO 1 L 23/31	(2006.01)				

請求項の数 20 (全 31 頁)

(21) 出願番号	特願2017-72082 (P2017-72082)	(73) 特許権者	000116024
(22) 出願日	平成29年3月31日 (2017.3.31)		ローム株式会社
(65) 公開番号	特開2018-174252 (P2018-174252A)		京都府京都市右京区西院溝崎町2 1 番地
(43) 公開日	平成30年11月8日 (2018.11.8)	(74) 代理人	100083806
審査請求日	令和2年2月17日 (2020.2.17)		弁理士 三好 秀和
		(74) 代理人	100133514
			弁理士 寺山 啓進
		(72) 発明者	岩橋 清太
			京都府京都市右京区西院溝崎町2 1 番地
			ローム株式会社内
		審査官	正山 旭

最終頁に続く

(54) 【発明の名称】 パワーモジュールおよびその製造方法

(57) 【特許請求の範囲】

【請求項 1】

熱膨張率に異方性を有する基板と、
前記基板上に実装された半導体デバイスと、
前記基板上に積層され、前記半導体デバイスを封止する樹脂と
を備え、
前記基板の前記半導体デバイスが実装される面の任意の方向を X 方向、前記 X 方向に直交する方向を Y 方向とした場合、
前記基板は、前記 X 方向に比べて前記 Y 方向に熱膨張率が小さく、
前記樹脂は、前記 X 方向に比べて前記 Y 方向に熱膨張率が小さい
ことを特徴とするパワーモジュール。

【請求項 2】

前記基板は、グラファイト基板であることを特徴とする請求項 1 に記載のパワーモジュール。

【請求項 3】

前記グラファイト基板は、面方向よりも厚み方向に熱伝導率が相対的に高い配向を備えることを特徴とする請求項 2 に記載のパワーモジュール。

【請求項 4】

前記樹脂は、熱可塑性樹脂であることを特徴とする請求項 1 ~ 3 のいずれか 1 項に記載のパワーモジュール。

【請求項 5】

前記熱可塑性樹脂は、液晶ポリマーであることを特徴とする請求項 4 に記載のパワーモジュール。

【請求項 6】

前記パワーモジュールの前記樹脂は、射出成型によって成型され、

前記樹脂は、成型時の注入方向に沿う方向の熱膨張率が小さいように異方性が生じ、前記基板の低熱膨張率方向の一端に注入ゲートが配置されたときのゲート痕を備える

ことを特徴とする請求項 1 ~ 5 のいずれか 1 項に記載のパワーモジュール。

【請求項 7】

前記樹脂の注入方向は、前記 Y 方向を基準として - 45 度以上 + 45 度以下であることを特徴とする請求項 6 に記載のパワーモジュール。 10

【請求項 8】

前記基板の上に配線パターンを有する銅層が形成され、

前記銅層上に前記半導体デバイスが搭載され、

前記半導体デバイスがパワー端子および出力端子に接続され、

前記各端子の一部を除き、前記樹脂により封止されている

ことを特徴とする請求項 1 ~ 7 のいずれか 1 項に記載のパワーモジュール。

【請求項 9】

前記パワーモジュールは、Si 系または SiC 系の IGBT、ダイオード、MOSFET、GaN 系 FET のいずれかを備えることを特徴とする請求項 1 ~ 8 のいずれか 1 項に記載のパワーモジュール。 20

【請求項 10】

前記パワーモジュールは、ワンインワンモジュール、ツーインワンモジュール、フォーインワンモジュール、シックスインワンモジュール、セブンインワンモジュール、エイトインワンモジュール、トゥエルブインワンモジュール、またはフォーティーンインワンモジュールのいずれかを構成することを特徴とする請求項 1 ~ 9 のいずれか 1 項に記載のパワーモジュール。

【請求項 11】

熱膨張率に異方性を有する基板が形成される工程と、

前記基板の上に半導体デバイスが実装される工程と、 30

前記基板の上に前記半導体デバイスを封止するように樹脂が積層される工程とを有し、

前記基板面の任意の方向を X 方向、前記 X 方向に直交する方向を Y 方向とした場合、

前記基板は、前記 X 方向に比べて前記 Y 方向に熱膨張率が小さくなるように形成され、

前記樹脂は、前記 Y 方向の一端から樹脂を注入して形成される

ことを特徴とするパワーモジュールの製造方法。

【請求項 12】

前記基板は、グラファイト基板であることを特徴とする請求項 11 に記載のパワーモジュールの製造方法。 40

【請求項 13】

前記グラファイト基板は、面方向よりも厚み方向に熱伝導率が相対的に高い配向を備えることを特徴とする請求項 12 に記載のパワーモジュールの製造方法。

【請求項 14】

前記樹脂は、熱可塑性樹脂であることを特徴とする請求項 11 ~ 13 のいずれか 1 項に記載のパワーモジュールの製造方法。

【請求項 15】

前記熱可塑性樹脂は、液晶ポリマーであることを特徴とする請求項 14 に記載のパワーモジュールの製造方法。

【請求項 16】

前記パワーモジュールは、射出成型によって成型され、 50

前記樹脂は、成型時の注入方向に沿って低熱膨張率になるように異方性が生じ、前記基板の低熱膨張率方向と同じ方向に注入ゲートが配置されている

ことを特徴とする請求項 11 ~ 15 のいずれか 1 項に記載のパワーモジュールの製造方法。

【請求項 17】

前記樹脂の注入方向は、前記 Y 方向を基準として - 45 度以上 + 45 度以下であることを特徴とする請求項 16 に記載のパワーモジュールの製造方法。

【請求項 18】

前記半導体デバイスの上方に、前記基板と対向するように第 2 の基板を配置する工程と、
前記各端子と前記基板および前記第 2 の基板の対向する面と反対側の面の一部を除き、前記樹脂により封止する工程とを更に有する

ことを特徴とする請求項 11 ~ 17 のいずれか 1 項に記載のパワーモジュールの製造方法。

【請求項 19】

前記パワーモジュールは、Si 系または SiC 系の IGBT、ダイオード、MOSFET、GaN 系 FET のいずれかを備えることを特徴とする請求項 11 ~ 18 のいずれか 1 項に記載のパワーモジュールの製造方法。

【請求項 20】

前記パワーモジュールは、ワンインワンモジュール、ツーインワンモジュール、フォーインワンモジュール、シックスインワンモジュール、セブンインワンモジュール、エイトインワンモジュール、トゥエルブインワンモジュール、またはフォーティーンインワンモジュールのいずれかを構成することを特徴とする請求項 11 ~ 19 のいずれか 1 項に記載のパワーモジュールの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本実施の形態は、パワーモジュールおよびその製造方法に関する。

【背景技術】

【0002】

近年、パワーモジュールの高放熱化（低熱抵抗化）が求められており、グラファイト基板が注目されている。一般的な銅の熱伝導率（約 398 W/mK）やアルミの熱伝導率（約 236 W/mK）に比べ、グラファイトは、約 1500 W/mK（配向面内方向）程度の高い熱伝導率を有する。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2007 - 19130 号公報

【特許文献 2】特開 2005 - 210035 号公報

【非特許文献】

【0004】

【非特許文献 1】山田靖、久野敦輝、澤木聖斗、成田恭典、竹馬克洋、「炭素系異方伝熱材料のパワー半導体モジュールへの適用可能性」大同大学紀要 第 50 巻（2014）pp. 133 - pp. 135

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、グラファイトの熱伝導率は、配向面内方向に垂直な法線方向には約 5 W/mK であり、通常、配向が縦（XZ 配向）になるように基板を作製する（後述する）。この場合、基板の XY 方向に異方性が生じる。特に、CTE（Coefficient of Thermal E

10

20

30

40

50

xpansion、熱膨張率)は、X方向に約25ppm/K、Y方向に約-0.6ppm/Kであるため、各方向のCTEのミスマッチによりグラファイト基板に反りが発生してしまう。このような反りを発熱毎に繰り返すことは、パワーモジュール内の配線の断線や耐湿性の低下等で信頼性を低下させる恐れがあった。

【0006】

本実施の形態は、パワーモジュールに用いるグラファイト基板の反りを抑制し、信頼性を向上することができるパワーモジュールおよびその製造方法を提供する。

【課題を解決するための手段】

【0007】

本実施の形態の一態様によれば、異方性を有する基板と、前記基板上に実装された半導体デバイスと、前記基板上に積層された樹脂とを備え、前記基板面の任意の方向をX方向、前記X方向に直交する方向をY方向とした場合、前記基板は、前記X方向に比べて前記Y方向に熱膨張率が小さく、前記樹脂は、前記X方向に比べて前記Y方向に熱膨張率が小さいパワーモジュールが提供される。

10

【0008】

本実施の形態の他の一態様によれば、異方性を有する基板が形成される工程と、前記基板上に半導体デバイスが実装される工程と、前記基板上に樹脂が積層される工程とを有し、前記基板面の任意の方向をX方向、前記X方向に直交する方向をY方向とした場合、前記基板は、前記X方向に比べて前記Y方向に熱膨張率が小さくなるように形成され、前記樹脂は、前記X方向に比べて前記Y方向に熱膨張率が小さくなるように前記Y方向の一端から樹脂を注入して形成されるパワーモジュールの製造方法が提供される。

20

【発明の効果】

【0009】

本実施の形態によれば、反りを抑制することができるパワーモジュールおよびその製造方法を提供することができる。

【図面の簡単な説明】

【0010】

【図1】比較例に係るパワーモジュールの要部を示す模式的鳥瞰構成図。

【図2】実施の形態に係るパワーモジュールの要部を示す模式的鳥瞰構成図。

【図3】実施の形態に係るパワーモジュールが備える液晶ポリマーの異方性制御方法を示す模式的側面構成図。

30

【図4】実施の形態に係るパワーモジュールのシミュレーションの構造モデルを示す模式的鳥瞰構成図であり、(a)分解構造、(b)積層構造。

【図5】実施の形態に係るパワーモジュールのシミュレーションに用いるパラメータの説明図。

【図6】図4および図5に示される条件でシミュレーションした場合に発生する構造モデルの反りを示す模式的鳥瞰構成図であり、(a)Low-CTE、(b)Middle-CTE、(c)High-CTE、(d)Asym-CTE。

【図7】図6に示される4つの構造モデルの反りを比較するグラフ。

【図8】図4および図5に示される条件でシミュレーションした場合に樹脂にかかるミーゼス応力を示す模式的鳥瞰構成図であり、(a)Low-CTE、(b)Middle-CTE、(c)High-CTE、(d)Asym-CTE。

40

【図9】図8に示される4つの構造モデルの樹脂にかかるミーゼス応力の最大値を比較するグラフ。

【図10】図4および図5に示される条件でシミュレーションした場合にグラファイト基板にかかるミーゼス応力を示す模式的鳥瞰構成図であり、(a)Low-CTE、(b)Middle-CTE、(c)High-CTE、(d)Asym-CTE。

【図11】図10に示される4つの構造モデルのグラファイト基板にかかるミーゼス応力の最大値を比較するグラフ。

【図12】実施例1に係るパワーモジュールの説明図であり、(a)模式的側面構造図、

50

(b) 模式的平面構造図。

【図13】実施例2に係るパワーモジュールの模式的側面構造図。

【図14】実施の形態に係るパワーモジュールに適用可能なグラファイトプレートを構成するグラファイトシートの積層構造の模式的鳥瞰構成図。

【図15】実施の形態に係るパワーモジュールに適用可能なグラファイトプレートの一例であって、(a)第1のグラファイトプレートGP(XY)を例示する模式的鳥瞰構成図、(b)第2のグラファイトプレートGP(XZ)を例示する模式的鳥瞰構成図。

【図16】実施の形態に係るパワーモジュールであって、(a)ワンインワン(1 in 1)モジュールのSiC MOSFETの模式的回路表現図、(b)1 in 1モジュールのIGBTの模式的回路表現図。

10

【図17】実施の形態に係るパワーモジュールであって、1 in 1モジュールのSiC MOSFETの詳細回路表現図。

【図18】実施の形態に係るパワーモジュールであって、(a)ツーインワン(2 in 1)モジュールのSiC MOSFETの模式的回路表現図、(b)2 in 1モジュールのIGBTの模式的回路表現図。

【図19】実施の形態に係るパワーモジュールに適用可能な半導体デバイスの例であって、ソースパッド電極SPD、ゲートパッド電極GPDを含むSiC MOSFETの模式的断面構造図。

【図20】実施の形態に係るパワーモジュールに適用可能な半導体デバイスの例であって、エミッタパッド電極EPD、ゲートパッド電極GPDを含むIGBTの模式的断面構造図。

20

【図21】実施の形態に係るパワーモジュールに適用可能な半導体デバイスの例であって、SiC DI(Double Implanted) MOSFETの模式的断面構造図。

【図22】実施の形態に係るパワーモジュールに適用可能な半導体デバイスの例であって、SiC T(Trench) MOSFETの模式的断面構造図。

【図23】実施の形態に係るパワーモジュールを用いて構成した3相交流インバータの回路構成において、(a)半導体デバイスとしてSiC MOSFETを適用し、電源端子PL・接地端子NL間にスナバコンデンサを接続した回路構成例、(b)半導体デバイスとしてIGBTを適用し、電源端子PL・接地端子NL間にスナバコンデンサを接続した回路構成例。

30

【図24】実施の形態に係るパワーモジュールを用いて構成した3相交流インバータの回路構成において、半導体デバイスとしてSiC MOSFETを適用した3相交流インバータの回路構成図。

【図25】実施の形態に係るパワーモジュールを用いて構成した3相交流インバータの回路構成において、半導体デバイスとしてIGBTを適用した3相交流インバータの回路構成図。

【図26】実施の形態に係るパワーモジュールであって、半導体デバイスとしてSiC MOSFETを適用した2 in 1モジュール(ハーフブリッジ内蔵モジュール)の模式的鳥瞰パターン構成図。

【図27】実施の形態に係るパワーモジュールであって、モールドタイプのモジュールとして、ハーフブリッジ内蔵モジュールの樹脂モールド後の模式的鳥瞰構成図。

40

【図28】実施の形態に係るパワーモジュールであって、シックスインワン(6 in 1)モジュールの模式的鳥瞰パターン構成図。

【図29】実施の形態に係るパワーモジュールの概略構成を示す、(a)模式的鳥瞰パターン構成図、(b)模式的平面パターン構成図。

【図30】実施の形態に係るパワーモジュールの概略構成を示す、(a)模式的鳥瞰パターン構成図、(b)模式的平面パターン構成図。

【発明を実施するための形態】

【0011】

次に、図面を参照して、本実施の形態について説明する。以下に説明する図面の記載に

50

において、同一または類似の部分には同一または類似の符号を付している。ただし、図面は模式的なものであり、各構成部品の厚みと平面寸法との関係などは現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。また、図面の相互間においても互いの寸法の関係や比率が異なる部分が含まれていることは勿論である。

【 0 0 1 2 】

また、以下に示す実施の形態は、技術的思想を具体化するための装置や方法を例示するものであって、各構成部品の材質、形状、構造、配置などを特定するものではない。この実施の形態は、特許請求の範囲において種々の変更を加えることができる。

【 0 0 1 3 】

[比較例]

まず、比較例に係るパワーモジュールについて説明する。パワーモジュールの全体構造は後述することとし、ここでは反りの原因となる構造に着目して説明する。

【 0 0 1 4 】

比較例に係るパワーモジュールの要部は、図 1 に示すように表される。図 1 に示すように、比較例に係るパワーモジュールでは、異方性を有するグラファイト基板 6 1 の表面が等方材料の樹脂 6 2 A で封止された構造を採用している。一般的に、封止樹脂はトランスファー成型され、封止樹脂としては、等方的な物性を有するエポキシ樹脂が利用される。既に説明したように、グラファイト基板 6 1 の C T E は、X 方向に約 2 5 p p m / K、Y 方向に約 - 0 . 6 p p m / K であるため、C T E のミスマッチによりグラファイト基板 6 1 に反りが発生してしまう。

【 0 0 1 5 】

[実施の形態]

以下、実施の形態に係るパワーモジュールについて説明する。

【 0 0 1 6 】

(熱可塑性樹脂)

実施の形態に係るパワーモジュールの要部は、図 2 に示すように表される。図 2 に示すように、実施の形態に係るパワーモジュールでは、熱可塑性樹脂 6 2 の C T E の異方性をグラファイト基板 6 1 の C T E の異方性と組み合わせる構造を採用している。これにより、C T E マッチングが可能となるため、反りを抑制することができる。

【 0 0 1 7 】

具体的には、グラファイト基板 6 1 の C T E は、X 方向に約 2 5 p p m / K、Y 方向に約 - 0 . 6 p p m / K である。この場合、熱可塑性樹脂 6 2 の C T E も、X 方向に約 2 5 p p m / K、Y 方向に約 - 0 . 6 p p m / K とする。熱可塑性樹脂 (特に、液晶ポリマー) 6 2 は、成型時の樹脂注入方向に従って異方性が生じる。成型条件や注入方向を制御することで、本構造を実現することが可能である。なお、以下の説明では、樹脂、熱可塑性樹脂、および液晶ポリマーに同じ符号 6 2 を用いる。

【 0 0 1 8 】

(樹脂の異方性制御方法)

実施の形態に係るパワーモジュールは、射出成型によって成型され、封止樹脂としては、熱可塑性の液晶ポリマー 6 2 が利用される。液晶ポリマー 6 2 は、結晶化潜熱が小さく、流動方向に異方性を有する。液晶ポリマー 6 2 の配向を制御することで、C T E を制御する。具体的には、液晶ポリマー 6 2 の X 方向、Y 方向の C T E をグラファイト基板 6 1 の X 方向、Y 方向の C T E に合わせるようにする。

【 0 0 1 9 】

C T E を合せるとは、C T E を完全に一致させることを意味するものではない。少なくとも、グラファイト基板 6 1 が X 方向に比べて Y 方向に熱膨張率が小さい場合は、樹脂 6 2 も X 方向に比べて Y 方向に熱膨張率が小さければよい。

【 0 0 2 0 】

実施の形態に係るパワーモジュールが備える液晶ポリマー 6 2 の異方性制御方法は、図

10

20

30

40

50

3に示すように表される。図3に示すように、液晶ポリマー62の流動方向73に液晶が配向するため、低CTE方向に液晶ポリマー62の注入ゲート71, 72を配置する。注入ゲート71, 72から液晶ポリマー62を注入する注入スピードや、注入ゲート71, 72のゲート位置などを調整することで、液晶ポリマー62のX方向、Y方向のCTEを制御する。液晶ポリマー62の注入方向71A, 72Aは、Y方向(流動方向73)を基準として、例えば-45度以上+45度以下であればよい。

【0021】

このような異方性制御方法を採用した場合、液晶ポリマー62には、低CTE方向に注入ゲート71, 72が配置されたときのゲート痕71B, 72Bが形成されることになる。これにより、ゲート痕71B, 72Bに基づいて、低CTE方向に注入ゲート71, 72が配置されたことを確認することが可能である。

10

【0022】

また、液晶の配向方向をX線により認識することができる場合もある。その場合は、X線により認識される液晶の配向方向に基づいて、低CTE方向に注入ゲート71, 72が配置されたことを確認することも可能である。

【0023】

(シミュレーションの構造モデル)

実施の形態に係るパワーモジュールのシミュレーションの構造モデルは、図4(a)に示すように表される。図4に示すように、40mm×40mm×3mmのグラフィート基板61が50mm×50mm×6mmの樹脂62で封止された構造モデルとする。図4(b)は、図4(a)の1/4モデルを表しており、61の表面および側面を62で封止している様子を表し、図の右下角を変位の原点とする。温度条件は、40 から300 に加熱した場合を想定する。

20

【0024】

シミュレーションに用いるパラメータは、図5に示すように表される。図5に示すように、グラフィート基板GFのCTEはX方向に-0.6ppm/K、Y方向に25ppm/K、Z方向に-0.6ppm/Kとする。グラフィート基板GFのヤング率Eは50GPaとし、グラフィート基板GFのポアソン比は0.3とする。一方、樹脂62としては、等方的な樹脂(Low-CTE)、樹脂(Middle-CTE)、樹脂(High-CTE)と、異方性の樹脂(Asym-CTE)とを用いる。以下、樹脂(Low-CTE)を樹脂RA、樹脂(Middle-CTE)を樹脂RB、樹脂(High-CTE)を樹脂RC、異方性の樹脂(Asym-CTE)を樹脂RDという。

30

【0025】

樹脂RAのCTEは-0.6ppm/K、樹脂RBのCTEは12ppm/K、樹脂RCのCTEは25ppm/Kとする。樹脂RDのCTEはX方向に-0.6ppm/K、Y方向に25ppm/K、Z方向に12ppm/Kとする。これら4つの樹脂RA, RB, RC, RDのヤング率Eは全て10GPaとし、ポアソン比は全て0.3とする。

【0026】

(シミュレーション結果)

次に、シミュレーション結果について説明する。

40

【0027】

反り結果

図4および図5に示される条件でシミュレーションした場合に発生する構造モデルの反りは、図6および図7に示すように表される。図6(a)は、グラフィート基板GFが樹脂RAで封止された構造モデル62aの反りを示している。図6(b)は、グラフィート基板GFが樹脂RBで封止された構造モデル62bの反りを示している。図6(c)は、グラフィート基板GFが樹脂RCで封止された構造モデル62cの反りを示している。図6(d)は、グラフィート基板GFが樹脂RDで封止された構造モデル62dの反りを示している。図7は、図6に示される4つの構造モデル62a, 62b, 62c, 62dの反りを比較している。

50

【 0 0 2 8 】

図 6 (a) および図 7 に示すように、樹脂 R A で封止された構造モデル 6 2 a は、 + 2 8 0 μ m 程度、端部が反っている。また、図 6 (b) および図 7 に示すように、樹脂 R B で封止された構造モデル 6 2 b は、 - 1 3 0 μ m ~ + 1 3 0 μ m 程度、端部が反っている。また、図 6 (c) および図 7 に示すように、樹脂 R C で封止された構造モデル 6 2 c は、 - 2 8 0 μ m 程度、端部が反っている。また、図 6 (d) および図 7 に示すように、樹脂 R D で封止された構造モデル 6 2 d は、ほとんど反りが発生していない。

【 0 0 2 9 】

このように、等方的な樹脂 R A , 樹脂 R B , 樹脂 R C を用いた場合は、 C T E を変動させても、反りの抑制が困難である。それに対して、異方性の樹脂 R D を用いた場合は、反りを抑制することが可能である。

10

【 0 0 3 0 】

応力結果

次に、図 4 および図 5 に示される条件でシミュレーションした場合に樹脂 R A , R B , R C , R D やグラファイト基板 G F にかかるミーゼス応力について説明する。ミーゼス応力とは、 [数 1] の定義式に示すように、物体内部に生じる応力状態を単一の値で示すために用いられる相当応力の 1 つである。定義式中の 1 は最大主応力、 2 は中間主応力、 3 は最小主応力である。

【 0 0 3 1 】

【 数 1 】

20

$$\sigma_{VM} = \sqrt{\frac{1}{2}\{(\sigma_1 - \sigma_2)^2 + (\sigma_2 - \sigma_3)^2 + (\sigma_3 - \sigma_1)^2\}}$$

【 0 0 3 2 】

図 4 および図 5 に示される条件でシミュレーションした場合に樹脂 R A , R B , R C , R D にかかるミーゼス応力 σ_R は、図 8 および図 9 に示すように表される。図 8 (a) は、構造モデル 6 2 a の樹脂 R A にかかるミーゼス応力 σ_R を示している。図 8 (b) は、構造モデル 6 2 b の樹脂 R B にかかるミーゼス応力 σ_R を示している。図 8 (c) は、構造モデル 6 2 c の樹脂 R C にかかるミーゼス応力 σ_R を示している。図 8 (d) は、構造モデル 6 2 d の樹脂 R D にかかるミーゼス応力 σ_R を示している。図 9 は、図 8 に示される 4 つの構造モデル 6 2 a , 6 2 b , 6 2 c , 6 2 d の樹脂 R A , R B , R C , R D にかかるミーゼス応力 σ_R の最大値を比較している。

30

【 0 0 3 3 】

図 8 (a) および図 9 に示すように、構造モデル 6 2 a の樹脂 R A には、最大で 8 0 M P a 程度のミーゼス応力 σ_R がかかっている。また、図 8 (b) および図 9 に示すように、構造モデル 6 2 b の樹脂 R B には、最大で 7 0 M P a 程度のミーゼス応力 σ_R がかかっている。また、図 8 (c) および図 9 に示すように、構造モデル 6 2 c の樹脂 R C には、最大で 1 4 0 M P a 程度のミーゼス応力 σ_R がかかっている。また、図 8 (d) および図 9 に示すように、構造モデル 6 2 d の樹脂 R D には、最大で 5 0 M P a 程度のミーゼス応力 σ_R がかかっている。すなわち、グラファイト基板 G F と C T E が合っている樹脂 R A , R B , R C , R D にかかるミーゼス応力 σ_R は低いことが分かる。

40

【 0 0 3 4 】

図 4 および図 5 に示される条件でシミュレーションした場合にグラファイト基板 G F にかかるミーゼス応力 σ_G は、図 1 0 および図 1 1 に示すように表される。図 1 0 (a) は、構造モデル 6 2 a のグラファイト基板 G F にかかるミーゼス応力 σ_G を示している。図 1 0 (b) は、構造モデル 6 2 b のグラファイト基板 G F にかかるミーゼス応力 σ_G を示している。図 1 0 (c) は、構造モデル 6 2 c のグラファイト基板 G F にかかるミーゼス

50

応力 σ を示している。図 10 (d) は、構造モデル 62d のグラファイト基板 GF にかかるミーゼス応力 σ を示している。図 11 は、図 10 に示される 4 つの構造モデル 62a, 62b, 62c, 62d のグラファイト基板 GF にかかるミーゼス応力 σ の最大値を比較している。

【0035】

図 10 (a) および図 11 に示すように、構造モデル 62a のグラファイト基板 GF には、最大で 310 MPa 程度のミーゼス応力 σ がかかっている。また、図 10 (b) および図 11 に示すように、構造モデル 62b のグラファイト基板 GF には、最大で 240 MPa 程度のミーゼス応力 σ がかかっている。また、図 10 (c) および図 11 に示すように、構造モデル 62c のグラファイト基板 GF には、最大で 350 MPa 程度のミーゼス応力 σ がかかっている。また、図 10 (d) および図 11 に示すように、構造モデル 62d のグラファイト基板 GF には、最大で 120 MPa 程度のミーゼス応力 σ がかかっている。すなわち、樹脂 RA, RB, RC よりも、CTE が合っている RD の方がグラファイト基板 GF にかかるミーゼス応力 σ は低いことが分かる。

10

【0036】

(実施例)

次に、実施例に係るパワーモジュールについて説明する。ここでは、基本構造として、1in1 タイプのパワーモジュールを例示する。

【0037】

- 実施例 1 -

20

実施例 1 に係るパワーモジュールの模式的側面構造は、図 12 (a) に示すように表され、その模式的平面構造は、図 12 (b) に示すように表される。図 12 (a) (b) に示すように、実施例 1 に係るパワーモジュールは、異方性を有する基板 61 と、基板 61 上に実装された半導体デバイス (チップ) 64 と、基板 61 上に積層された樹脂 62 とを備え、基板面の任意の方向を X 方向、X 方向に直交する方向を Y 方向とした場合、基板 61 は、X 方向に比べて Y 方向に熱膨張率が小さく、樹脂 62 は、X 方向に比べて Y 方向に熱膨張率が小さい。

【0038】

具体的には、基板 61 は、グラファイト基板 61 であってもよい。

【0039】

30

また、グラファイト基板 61 は、面方向よりも厚み方向に熱伝導率が相対的に高い配向を備えてもよい (後述する)。

【0040】

また、樹脂 62 は、熱可塑性樹脂 62 であってもよい。

【0041】

また、熱可塑性樹脂 62 は、液晶ポリマー 62 であってもよい。

【0042】

また、パワーモジュールは、射出成型によって成型され、樹脂 62 は、成型時の注入方向に従って異方性が生じ、低熱膨張率方向に注入ゲート 71, 72 が配置されたときのゲート痕 71B, 72B を備えてもよい (図 3 参照)。

40

【0043】

また、樹脂 62 の注入方向 71A, 72A は、Y 方向を基準として -45 度以上 +45 度以下であってもよい (図 3 参照)。

【0044】

また、基板 61 上に銅層 63 が形成され、銅層 63 上に半導体デバイス 64 が形成され、半導体デバイス 64 がワイヤ 65 を介してパワー端子 66 に接続され、パワー端子 66 の一部を除き、樹脂 62 により封止されていてもよい。

【0045】

また、パワーモジュールは、Si 系または SiC 系の IGBT、ダイオード、MOSFET、GaN 系 FET のいずれかを備えてもよい。

50

【 0 0 4 6 】

また、パワーモジュールは、ワンインワンモジュール、ツーインワンモジュール、フォーインワンモジュール、シックスインワンモジュール、セブンインワンモジュール、エイトインワンモジュール、トゥエルブインワンモジュール、またはフォーティーンインワンモジュールのいずれかを構成してもよい。

【 0 0 4 7 】

以上のように、実施例 1 に係るパワーモジュールによれば、CTE をマッチングするように樹脂を注入するようにしたので、グラファイト基板 6 1 の反りを抑制することができる。

【 0 0 4 8 】

- 実施例 2 -

次に、実施例 2 に係るパワーモジュールを実施例 1 と異なる点のみ説明する。

【 0 0 4 9 】

実施例 2 に係るパワーモジュールの模式的側面構造は、図 1 3 に示すように表される。図 1 3 に示すように、グラファイト基板 6 1 と対向する位置に別のグラファイト基板 6 9 が配置され、グラファイト基板 6 1 , 6 9 の対向面及び側面が樹脂 6 2 で封止されている。半導体デバイス 6 4 は、銅などのスペーサー 6 7 (柱状電極) と、グラファイト基板 6 9 上に形成された銅層 6 8 とを介して、パワー端子 6 6 に接続されている。この場合も、グラファイト基板 6 1 , 6 9 は、X 方向に比べて Y 方向に熱膨張率が小さく、樹脂 6 2 は、X 方向に比べて Y 方向に熱膨張率が小さい点は実施例 1 と同様である。

【 0 0 5 0 】

以上のように、実施例 2 に係るパワーモジュールでも、実施例 1 と同様、CTE マッチングが可能となるとともに、グラファイト基板 6 1 , 6 9 の反りが互いの反りを打ち消すようになるため、より反りを抑制することができる。

【 0 0 5 1 】

- パワーモジュールの製造方法 -

次に、実施例に係るパワーモジュールの製造方法について説明する。

【 0 0 5 2 】

実施例に係るパワーモジュールの製造方法は、異方性を有する基板 6 1 が形成される工程と、基板 6 1 上に半導体デバイス 6 4 が実装される工程と、基板 6 1 上に樹脂 6 2 が積層される工程とを有し、基板面の任意の方向を X 方向、X 方向に直交する方向を Y 方向とした場合、基板 6 1 は、X 方向に比べて Y 方向に熱膨張率が小さくなるように形成され、樹脂 6 2 は、X 方向に比べて Y 方向に熱膨張率が小さくなるように形成される。

【 0 0 5 3 】

以上のように、実施例に係るパワーモジュールの製造方法によれば、CTE マッチングが可能となるため、反りを抑制することができるパワーモジュールを製造することが可能である。

【 0 0 5 4 】

また、半導体デバイスの上方に、基板と対向するように(その熱膨張率が基板の異方性と同じ方向に)第 2 の基板を配置する工程と、各端子と基板および第 2 の基板の対向する面と反対側の面の一部を除き、樹脂により封止する工程とを更に有してもよい。

【 0 0 5 5 】

(グラファイト基板)

次に、グラファイト基板 6 1 (6 9) について詳細に説明する。

【 0 0 5 6 】

グラファイト基板 6 1 を構成するグラファイトシート(グラフェン)GS の模式的構成(積層構造例)は、図 1 4 に示すように表わされる。

【 0 0 5 7 】

グラファイトプレート GP には、厚み方向よりも面方向に熱伝導率が高い XY 配向を有する第 1 のグラファイトプレート GP (XY) と、面方向よりも厚み方向に熱伝導率が高

10

20

30

40

50

いXZ配向を有する第2のグラファイトプレートGP(XZ)とがあり、第1のグラファイトプレートGP(XY)は図15(a)に示すように表わされ、第2のグラファイトプレートGP(XZ)は図15(b)に示すように表わされる。

【0058】

図14に示すように、n層からなる各面のグラファイトシートGS1・GS2・GS3・…・GSnは、1つの積層結晶構造の中に多数の六方晶系の共有結合を有し、各面のグラファイトシートGS1・GS2・GS3・…・GSn間がファンデルワールス力によって結合されるようになっている。

【0059】

すなわち、炭素系異方伝熱材料であるグラファイトは、炭素原子の六角形網目構造の層状結晶構造であって、熱伝導も異方性を持っており、図14に示すグラファイトシートGS1・GS2・GS3・…・GSnは、結晶面方向(XY面上)に対して、Z軸の厚さ方向よりも大きな熱伝導度(高い熱伝導率)を有する。

【0060】

したがって、図15(a)に示すように、XY配向を有する第1のグラファイトプレートGP(XY)は、例えば、 $X = 1500$ (W/mK)程度、 $Y = 1500$ (W/mK)程度、 $Z = 5$ (W/mK)程度の熱伝導率を備える。

【0061】

一方、図15(b)に示すように、XZ配向を有する第2のグラファイトプレートGP(XZ)は、例えば、 $X = 1500$ (W/mK)程度、 $Y = 5$ (W/mK)程度、 $Z = 1500$ (W/mK)程度の熱伝導率を備える。

【0062】

なお、第1のグラファイトプレートGP(XY)と第2のグラファイトプレートGP(XZ)は、共に、密度が 2.2 (g/cm³)程度であり、厚さが 0.7 mm ~ 10 mm程度であり、大きさが 40 mm x 40 mm程度以下である。

【0063】

なお、本実施の形態に係るパワーモジュール2においては、主として1 in 1モジュール(基本構成)、2 in 1モジュールについて説明したが、これに限らず、例えばフォーインワン(4 in 1)モジュール、シックスインワン(6 in 1)モジュール、6 in 1モジュールユールにスナバコンデンサなどを備えたセブンインワン(7 in 1)モジュール、エイトインワン(8 in 1)モジュール、トゥエルブインワン(12 in 1)モジュール、フォーティーンイン(14 in 1)ワンモジュールなどにも適用できる。

【0064】

(半導体デバイスの具体例)

実施の形態に係るパワーモジュールであって、1 in 1モジュール50のSiCMOSFETの模式的回路表現は、図16(a)に示すように表され、1 in 1モジュール50のIGBTの模式的回路表現は、図16(b)に示すように表される。図16(a)には、MOSFETに逆並列接続されるダイオードDIが示されている。MOSFETの主電極は、ドレイン端子DTおよびソース端子STで表される。同様に、図16(b)には、IGBTに逆並列接続されるダイオードDIが示されている。IGBTの主電極は、コレクタ端子CTおよびエミッタ端子ETで表される。

【0065】

また、実施の形態に係るパワーモジュールにあって、1 in 1モジュール50のSiCMOSFETの詳細回路表現は、図17に示すように表される。

【0066】

1 in 1モジュール50は、例えば、1個のMOSFETが1つのモジュールに内蔵されているが、そのMOSFETは、複数(例えば2~5個)の半導体チップを並列接続したものでよい。SiCトランジスタを用いる場合には、大きなチップサイズで形成することが難しいので、特に有用な方法となる。なお、各チップの内、一部をダイオードDI用として搭載することも可能である。

10

20

30

40

50

【0067】

さらに詳細には、図17に示すように、MOSFETQに並列にセンス用MOSFETQsが接続される。センス用MOSFETQsは、MOSFETQと同一チップ内に、微細トランジスタとして形成されている。図17において、SSはソースセンス端子、CSは電流センス端子であり、Gはゲート信号端子である。実施の形態に係るパワーモジュールにおいても、MOSFETQには、センス用MOSFETQsが同一チップ内に、微細トランジスタとして形成されていても良い。

【0068】

(回路構成)

実施の形態に係るパワーモジュールであって、2 in 1モジュール100のSiC MOSFETの模式的回路表現は、図18(a)に示すように表され、2 in 1モジュール100のIGBTの模式的回路表現は、図18(b)に示すように表される。

10

【0069】

実施の形態に係るパワーモジュールであって、2個(組)の半導体デバイスQ1・Q4が1つのモールド樹脂に封止された2 in 1タイプのモジュールについて説明する。

【0070】

半導体デバイスQ1・Q4として、SiC MOSFETを適用した2 in 1モジュール100は、図18(a)に示すように、2個(組)のSiC MOSFETQ1・Q4が内蔵されたハーフブリッジ構成を備える。

【0071】

ここで、各半導体デバイスは、1つの大きなトランジスタとみなすことができるが、内蔵トランジスタが1チップまたは複数チップの場合がある。また、モジュールには、1 in 1、2 in 1、4 in 1、6 in 1などがあり、例えば、1つのモジュールにおいて、2個分のトランジスタ(チップ)からなるハーフブリッジを内蔵したモジュールは2 in 1、2 in 1を2組み内蔵したモジュールは4 in 1、2 in 1を3組み内蔵したモジュールは6 in 1と呼ばれる。

20

【0072】

図18(a)に示すように、2 in 1モジュール100には、直列接続された2個のSiC MOSFETQ1・Q4と、SiC MOSFETQ1・Q4にそれぞれ逆並列接続されるダイオードDI1・DI4が内蔵される。図18(a)において、G1はMOSFETQ1のゲート信号用のリード端子であり、S1はMOSFETQ1のソース信号用のリード端子である。同様に、G4はMOSFETQ4のゲート信号用のリード端子であり、S4はMOSFETQ4のソース信号用のリード端子である。Pは正側電力端子であり、Nは負側電力端子であり、Oは出力端子電極である。

30

【0073】

また、半導体デバイスQ1・Q4として、IGBTを適用した2 in 1モジュール100には、図18(b)に示すように、直列接続された2個のIGBTQ1・Q4と、IGBTQ1・Q4にそれぞれ逆並列接続されるダイオードDI1・DI4が内蔵される。図18(b)において、G1はIGBTQ1のゲート信号用のリード端子であり、E1はIGBTQ1のエミッタ信号用のリード端子である。同様に、G4はIGBTQ4のゲート信号用のリード端子であり、E4はIGBTQ4のエミッタ信号用のリード端子である。

40

【0074】

実施の形態に係るパワーモジュールに適用可能な半導体デバイスQ2・Q5、および半導体デバイスQ3・Q6についても同様である。

【0075】

(デバイス構造)

実施の形態に係るパワーモジュールに適用可能な半導体デバイスQ1・Q4の例であって、ソースパッド電極SPD、ゲートパッド電極GPDを含むSiC MOSFET130Aの模式的断面構造は、図19に示すように表される。

【0076】

50

図19に示すように、SiC MOSFET 130Aは、 n^- 高抵抗層からなる半導体層31と、半導体層31の表面側に形成されたpボディ領域32と、pボディ領域32の表面に形成されたソース領域33と、pボディ領域32間の半導体層31の表面上に配置されたゲート絶縁膜34と、ゲート絶縁膜34上に配置されたゲート電極35と、ソース領域33およびpボディ領域32に接続されたソース電極36と、半導体層31の表面と反対側の裏面に配置された n^+ ドレイン領域37と、 n^+ ドレイン領域37に接続されたドレイン電極38とを備える。

【0077】

ゲートパッド電極GPDは、ゲート絶縁膜34上に配置されたゲート電極35に接続され、ソースパッド電極SPDは、ソース領域33およびpボディ領域32に接続されたソース電極36に接続される。また、ゲートパッド電極GPDおよびソースパッド電極SPDは、図19に示すように、SiC MOSFET 130Aの表面を覆うパッシベーション用の層間絶縁膜39上に配置される。

10

【0078】

なお、ゲートパッド電極GPDおよびソースパッド電極SPDの下方の半導体層31内には、図示していないが、微細構造のトランジスタ構造が形成されていても良い。

【0079】

さらに、図19に示すように、中央部のトランジスタ構造においても、パッシベーション用の層間絶縁膜39上にソースパッド電極SPDが延在して配置されていても良い。

【0080】

20

図19において、SiC MOSFET 130Aは、プレーナゲート型のnチャネル縦型SiC MOSFETで構成されているが、後述する図22に示すように、トレンチゲート型のnチャネル縦型SiC TMOSFET 130Dなどで構成されていても良い。

【0081】

または、実施の形態に係るパワーモジュールに適用可能な半導体デバイスQ1・Q4としては、SiC MOSFET 130Aの代わりに、GaN系FETなどを採用することもできる。

【0082】

実施の形態に係るパワーモジュールに適用可能な半導体デバイスQ2・Q5、および半導体デバイスQ3・Q6についても同様である。

30

【0083】

さらには、実施の形態に係るパワーモジュールに適用可能な半導体デバイスQ1～Q6には、バンドギャップエネルギーが、例えば、1.1eV～8eVのワイドバンドギャップ型と称される半導体を用いることができる。

【0084】

同様に、実施の形態に係るパワーモジュールに適用可能な半導体デバイスQ1・Q4の例であって、エミッタパッド電極EPD、ゲートパッド電極GPDを含むIGBT 130Bの模式的断面構造は、図20に示すように表される。

【0085】

図20に示すように、IGBT 130Bは、 n^- 高抵抗層からなる半導体層31と、半導体層31の表面側に形成されたpボディ領域32と、pボディ領域32の表面に形成されたエミッタ領域33Eと、pボディ領域32間の半導体層31の表面上に配置されたゲート絶縁膜34と、ゲート絶縁膜34上に配置されたゲート電極35と、エミッタ領域33Eおよびpボディ領域32に接続されたエミッタ電極36Eと、半導体層31の表面と反対側の裏面に配置された p^+ コレクタ領域37Pと、 p^+ コレクタ領域37Pに接続されたコレクタ電極38Cとを備える。

40

【0086】

ゲートパッド電極GPDは、ゲート絶縁膜34上に配置されたゲート電極35に接続され、エミッタパッド電極EPDは、エミッタ領域33Eおよびpボディ領域32に接続されたエミッタ電極36Eに接続される。また、ゲートパッド電極GPDおよびエミッタパ

50

ッド電極EPDは、図20に示すように、IGBT130Bの表面を覆うパッシベーション用の層間絶縁膜39上に配置される。

【0087】

なお、ゲートパッド電極GPDおよびエミッタパッド電極EPDの下方の半導体層31内には、図示していないが、微細構造のIGBT構造が形成されていても良い。

【0088】

さらに、図20に示すように、中央部のIGBT構造においても、パッシベーション用の層間絶縁膜39上にエミッタパッド電極EPDが延在して配置されていても良い。

【0089】

図20において、IGBT130Bは、プレーナゲート型のnチャネル縦型IGBTで構成されているが、トレンチゲート型のnチャネル縦型IGBTなどで構成されていても良い。

【0090】

実施の形態に係るパワーモジュールに適用可能な半導体デバイスQ2・Q5、および半導体デバイスQ3・Q6についても同様である。

【0091】

半導体デバイスQ1～Q6としては、後述するようなSiC DIMOSFET、SiC TMOSFETなどのSiC系パワーデバイス、或いはGaN系HEMTなどのGaN系パワーデバイスを適用可能である。また、場合によっては、Si系MOSFETやSiC系IGBTなどのパワーデバイスも適用可能である。

【0092】

SiC DIMOSFET

実施の形態に係るパワーモジュールに適用可能な半導体デバイスの例であって、SiC DIMOSFET130Cの模式的断面構造は、図21に示すように表される。

【0093】

図21に示すSiC DIMOSFET130Cは、n⁻高抵抗層からなる半導体層31と、半導体層31の表面側に形成されたpボディ領域32と、pボディ領域32の表面に形成されたn⁺ソース領域33と、pボディ領域32間の半導体層31の表面上に配置されたゲート絶縁膜34と、ゲート絶縁膜34上に配置されたゲート電極35と、ソース領域33およびpボディ領域32に接続されたソース電極36と、半導体層31の表面と反対側の裏面に配置されたn⁺ドレイン領域37と、n⁺ドレイン領域37に接続されたドレイン電極38とを備える。

【0094】

図21において、SiC DIMOSFET130Cは、pボディ領域32と、pボディ領域32の表面に形成されたn⁺ソース領域33が、ダブルイオン注入(DII)で形成され、ソースパッド電極SPDは、ソース領域33およびpボディ領域32に接続されたソース電極36に接続される。

【0095】

図示を省略するゲートパッド電極GPDは、ゲート絶縁膜34上に配置されたゲート電極35に接続される。また、ソースパッド電極SPDおよびゲートパッド電極GPDは、図21に示すように、SiC DIMOSFET130Cの表面を覆うように、パッシベーション用の層間絶縁膜39上に配置される。

【0096】

SiC DIMOSFET130Cは、図21に示すように、pボディ領域32に挟まれたn⁻高抵抗層からなる半導体層31内に、破線で示されるような空乏層が形成されるため、接合型FET(JFET)効果に伴うチャネル抵抗R_{JFET}が形成される。また、pボディ領域32/半導体層31間には、図21に示すように、ボディダイオードBDが形成される。

【0097】

SiC TMOSFET

10

20

30

40

50

実施の形態に係るパワーモジュールに適用可能な半導体デバイスの例であって、SiC T MOS F E T 1 3 0 Dの模式的断面構造は、図22に示すように表される。

【0098】

図22に示すSiC T MOS F E T 1 3 0 Dは、n層からなる半導体層31Nと、半導体層31Nの表面側に形成されたpボディ領域32と、pボディ領域32の表面に形成されたn⁺ソース領域33と、pボディ領域32を貫通し、半導体層31Nまで形成されたトレンチ内にゲート絶縁膜34および層間絶縁膜39U・39Bを介して形成されたトレンチゲート電極35TGと、ソース領域33およびpボディ領域32に接続されたソース電極36と、半導体層31Nの表面と反対側の裏面に配置されたn⁺ドレイン領域37と、n⁺ドレイン領域37に接続されたドレイン電極38とを備える。

10

【0099】

図22において、SiC T MOS F E T 1 3 0 Dは、pボディ領域32を貫通し、半導体層31Nまで形成されたトレンチ内にゲート絶縁膜34および層間絶縁膜39U・39Bを介してトレンチゲート電極35TGが形成され、ソースパッド電極SPDは、ソース領域33およびpボディ領域32に接続されたソース電極36に接続される。

【0100】

図示を省略するゲートパッド電極GPDは、ゲート絶縁膜34上に配置されたトレンチゲート電極35TGに接続される。また、ソースパッド電極SPDおよびゲートパッド電極GPDは、図20に示すように、SiC T MOS F E T 1 3 0 Dの表面を覆うように、パッシベーション用の層間絶縁膜39U上に配置される。

20

【0101】

SiC T MOS F E T 1 3 0 Dでは、SiC D I M O S F E T 1 3 0 CのようなJ F E T効果に伴うチャネル抵抗 R_{JFET} は形成されない。pボディ領域32/半導体層31N間には、図21と同様に、ボディダイオードBDが形成される。

【0102】

(応用例)

実施の形態に係るパワーモジュールを用いて構成した3相交流インバータ40Aの回路構成において、半導体デバイスとしてSiC M O S F E Tを適用し、電源端子PL・接地端子NL間にスナバコンデンサCを接続した回路構成例は、図23(a)に示すように表される。同様に、半導体デバイスとしてI G B Tを適用し、電源端子PL・接地端子NL間にスナバコンデンサCを接続した3相交流インバータ40Bの回路構成例は、図23(b)に示すように表される。

30

【0103】

パワーモジュールを電源Eと接続し、スイッチング動作を行うと、接続ラインの有するインダクタンスLによって、SiC M O S F E TやI G B Tのスイッチング速度が速いため、大きなサージ電圧 $L di/dt$ を生ずる。例えば、電流変化 $di = 300 A$ とし、スイッチングに伴う時間変化 $dt = 100 ns$ とすると、 $di/dt = 3 \times 10^9 (A/s)$ となる。

【0104】

インダクタンスLの値により、サージ電圧 $L di/dt$ の値は変化するが、電源Eに、このサージ電圧 $L di/dt$ が重畳される。電源端子PL・接地端子NL間に接続されるスナバコンデンサCによって、このサージ電圧 $L di/dt$ を吸収することができる。

40

【0105】

(具体例)

次に、図24を参照して、半導体デバイスとしてSiC M O S F E Tを適用した3相交流インバータ42Bについて説明する。

【0106】

図24に示すように、3相交流インバータ42Aは、複数のスイッチング素子が形成されたパワーモジュール部200と、各スイッチング素子のスイッチング動作を制御するためのゲートドライバ(GD)180と、各スイッチング素子による出力が夫々接続された

50

3相交流モータ部51と、電源もしくは蓄電池(E)53と、電源53の電力を変換して各スイッチング素子に電力を供給するコンバータ55とを備える。パワーモジュール部200は、3相交流モータ部51のU相、V相、W相に対応して、U相、V相、W相のインバータが接続されている。

【0107】

ここで、GD180は、SiC MOSFET Q1・Q4、SiC MOSFET Q2・Q5、およびSiC MOSFET Q3・Q6の各ゲート端子にそれぞれ接続され、各MOSFETのスイッチング動作を制御する。

【0108】

パワーモジュール部200は、電源もしくは蓄電池(E)53が接続されたコンバータ55のプラス端子(+)Pとマイナス端子(-)Nとの間に接続され、インバータ構成のSiC MOSFET Q1・Q4、Q2・Q5、およびQ3・Q6を備える。また、SiC MOSFET Q1~Q6のソース・ドレイン間には、フリーホイールダイオードDI1~DI6がそれぞれ逆並列に接続されている。

10

【0109】

次に、図25を参照して、半導体デバイスとしてIGBTを適用し、実施の形態に係るパワーモジュールを用いて構成した3相交流インバータ42Bについて説明する。

【0110】

図25に示すように、3相交流インバータ42Bは、パワーモジュール部200と、GD180と、3相交流モータ部51と、電源もしくは蓄電池(E)53と、コンバータ55とを備える。パワーモジュール部200は、3相交流モータ部51のU相、V相、W相に対応して、U相、V相、W相のインバータが接続されている。

20

【0111】

ここで、GD180は、IGBT Q1・Q4、IGBT Q2・Q5、およびIGBT Q3・Q6に接続されている。

【0112】

パワーモジュール部200は、蓄電池(E)53が接続されたコンバータ55のプラス端子(+)Pとマイナス端子(-)Nとの間に接続され、インバータ構成のIGBT Q1・Q4、Q2・Q5、およびQ3・Q6を備える。また、IGBT Q1~Q6のエミッタ・コレクタ間には、フリーホイールダイオードDI1~DI6がそれぞれ逆並列に接続されている。

30

【0113】

[別の実施の形態1]

以上説明したような反りを抑制する構成を適用可能なパワーモジュールを幾つか例示する。以下に例示するパワーモジュールでも、基板としてグラファイト基板を採用し、グラファイト基板上に樹脂を積層し、樹脂のX方向、Y方向のCTEをグラファイト基板のX方向、Y方向のCTEに合せることが可能である。なお、以下の説明では、パワーモジュールを「PM」と記載する場合がある。

【0114】

実施の形態に係るPM1であって、樹脂モールド前の模式的鳥瞰パターン構成は図26に示すように表される。なお、ここでは、パワー素子系の半導体デバイス(パワーデバイス)として、SiC MOSFET Q1・Q4を適用した、2in1モジュールタイプのハーフブリッジ内蔵モジュールを例に説明する。

40

【0115】

そして、実施の形態に係るPM1であって、モールドタイプのもジュールとして、ハーフブリッジ内蔵モジュールの樹脂モールド後の模式的鳥瞰構成は、図27に示すように表わされる。

【0116】

なお、実施の形態に係るPM1は、直列接続された2個のSiC MOSFET Q1・Q4が、1つのモジュールに内蔵されたハーフブリッジ内蔵モジュールの構成を備える。

50

【0117】

実施の形態に係るPM1は、図27に示すように、樹脂モールド層115に被覆されたセラミックス基板21の第1の辺に配置された正側電源入力端子電極（正側電力端子）Pおよび負側電源入力端子電極（負側電力端子）Nと、第1の辺に隣接する第2の辺に配置されたゲート端子（ゲート）GT1・ソースセンス端子SST1と、第1の辺に対向する第3の辺に配置された出力端子電極（出力端子）Oと、第2の辺に対向する第4の辺に配置されたゲート端子GT4・ソースセンス端子SST4とを備える。

【0118】

なお、実施の形態に係るPM1は、出力端子Oを2個備えた4電力端子構造のパワーモジュールとなっている。

10

【0119】

ここで、図26～図27に示すように、ゲート端子GT1・ソースセンス端子SST1は、SiC MOSFETQ1のゲート信号電極パターンGL1・ソース信号電極パターンSL1に接続され、ゲート端子GT4・ソースセンス端子SST4は、SiC MOSFETQ4のゲート信号電極パターンGL4・ソース信号電極パターンSL4に接続される。

【0120】

図26～図27に示すように、ゲート信号電極パターンGL1・GL4およびソース信号電極パターンSL1・SL4には、外部取り出し用のゲート端子GT1・GT4およびソースセンス端子SST1・SST4がハンダ付けなどによって接続される。

20

【0121】

なお、図26～図27に示すように、ゲート信号電極パターンGL1・GL4およびソース信号電極パターンSL1・SL4は信号基板261・264上に配置され、信号基板261・264はセラミックス基板21上にハンダ付けなどによって接続されている。

【0122】

信号基板261・264は、セラミックス基板で形成可能である。セラミックス基板は、例えば、Al₂O₃、AlN、SiN、AlSiC、若しくは、少なくとも表面が絶縁性のSiCなどで形成されていても良い。

【0123】

また、図26～図27においては、図示を省略しているが、SiC MOSFETQ1・Q4のD1・S1間およびD4・S4間に、逆並列にダイオードが接続されていても良い。

30

【0124】

正側電力端子P・負側電力端子N、外部取り出し用のゲート端子GT1・GT4およびソースセンス端子SST1・SST4は、例えば、Cuで形成可能である。

【0125】

主配線導体である電極パターン25D1・25D4・25DNは、例えば、Cuによって形成可能である。

【0126】

ここで、図26～図27に示された例では、2in1モジュールタイプの HALFブリッジ内蔵モジュールにおいて、電極パターン25D1が、ハイ(High)側デバイス(SiC MOSFETQ1)用のドレイン電極パターンとして機能する。

40

【0127】

また、電極パターン25D4が、ロウ(Low)側デバイス(SiC MOSFETQ4)用のドレイン電極パターンとして機能すると共に、ハイ側デバイス用のソース電極パターン(25S1)としても機能する。すなわち、ドレイン電極パターン25D4は、SiC MOSFETQ4のドレイン電極であると同時に、SiC MOSFETQ1のソース電極となる。

【0128】

さらに、負側電力端子Nに接続される電極パターン25DNが、ロウ側デバイス用のソ

50

ース電極パターン(25S4)としても機能する。

【0129】

すなわち、実施の形態に係るPM1においては、図26～図27に示すように、SiCMOSFETQ1は電極パターン25D1上に搭載されて、ドレインD1が電極パターン25D1と接続されると共に、ソースS1がリードフレームSM1を介して電極パターン25D4と接続される。同様に、SiCMOSFETQ4は電極パターン25D4上に搭載されて、ドレインD4が電極パターン25D4と接続されると共に、ソースS4がリードフレームSM4を介して電極パターン25DNと接続される。

【0130】

なお、以下の説明では、ソースパッド電極SP1とリードフレームSM1との接合部をデバイス側接合部(第1接合部)DCとし、デバイス側接合部DCと隔離し、デバイス側接合部DCよりも発熱の影響が小さくて相対的に温度が低いリードフレームSM1とソース電極パターン25S1との接合部を、ランド側接合部(第2接合部)SCとする。

【0131】

図26～図27に示すように、実施の形態に係るPM1にあつては、ランド側接合部SC側において、リードフレームSM1をソース信号電極パターンSL1に接続するソースセンス用ボンディングワイヤ(第1ボンディングワイヤ)SSW1と、ランド側接合部SCに対向するデバイス側接合部DC側において、ゲートパッド電極GP1をゲート信号電極パターンGL1に接続するゲート信号用ボンディングワイヤ(第2ボンディングワイヤ)GW1とを備える。

【0132】

同様に、ランド側接合部SC側において、リードフレームSM4をソース信号電極パターンSL4に接続するソースセンス用ボンディングワイヤ(第1ボンディングワイヤ)SSW4と、ランド側接合部SCに対向するデバイス側接合部DC側において、ゲートパッド電極GP4をゲート信号電極パターンGL4に接続するゲート信号用ボンディングワイヤ(第2ボンディングワイヤ)GW4とを備える。

【0133】

実施の形態に係るPM2であつて、シックスインワン(6in1)モジュールの模式的鳥瞰パターン構成は、図28に示すように表わされる。

【0134】

なお、実施の形態に係るPM2は、PM1を3個、共通のセラミックス基板21A上に並列に配置し、6in1モジュールタイプのスイッチングモジュールを構成した場合の例である。

【0135】

ここで、6in1モジュールタイプのスイッチングモジュールの場合、基本的な構造は、1in1モジュールタイプのPMや2in1モジュールタイプのPMと同様である。すなわち、実施の形態に係るPM2であつて、6in1モジュールタイプのスイッチングモジュールは、図28に示すように、2in1モジュールタイプのPM11・12・13を備える。

【0136】

PM11は、半導体デバイスとして、例えばSiCMOSFETQ1・Q4を搭載し、PM12は、例えばSiCMOSFETQ2・Q5を搭載し、PM13は、例えばSiCMOSFETQ3・Q6を搭載し、PM11・12・13はPM1と同様であり、詳しい説明は省略する。

【0137】

なお、実施の形態に係るPM2であつて、6in1モジュールタイプのスイッチングモジュールは、例えば、2in1モジュールタイプのPM11・12・13を、図示省略の共通のモールド樹脂またはケースによって一体的に封止してなる構成を備える。

【0138】

すなわち、6in1モジュールタイプのスイッチングモジュール(実施の形態に係るP

10

20

30

40

50

M2)においては、PM11・12・13を共通のセラミックス基板21A上に並列に配置して一体型のパッケージ(図示省略の樹脂モールド層)として封止すると共に、裏面電極パターン23Rを共通化(一体化)することが可能である。

【0139】

若しくは、個別のモールド樹脂またはケースによって別体として封止した2 in 1モジュールタイプのPM11・12・13を、さらに共通のセラミックス基板21A上に並列に配置して、6 in 1モジュールタイプのスイッチングモジュールとすることも可能である。

【0140】

このような実施の形態に係るPM2の構成(6 in 1モジュールタイプのスイッチングモジュール)とした場合にも、図28に示すように、PM11・12・13において、ソースパッド電極SP1・SP4、SP2・SP5、SP3・SP6とソース電極パターン25S1(25D4)・25S4(25DN)、25S2(25D5)・25S5(25DN)、25S3(25D6)・25S6(25DN)との間に接続されるリードフレームSM1・SM4、SM2・SM5、SM3・SM6と、ランド側接合部SCのリードフレームSM1・SM4、SM2・SM5、SM3・SM6とソース信号電極パターンSL1・SL4、SL2・SL5、SL3・SL6との間を接続するソースセンス用ボンディングワイヤSSW1・SSW4、SSW2・SSW5、SSW3・SSW6とを備えることにより、高温になる動作によるワイヤ接続への熱の影響を軽減でき、ワイヤ接続性に対する高耐熱化および信頼性を向上させることが可能となる。

【0141】

なお、ソースセンス用ボンディングワイヤSSW1・SSW4、SSW2・SSW5、SSW3・SSW6は、ランド側接合部SC側において、ソース電極パターン25S1(25D4)・25S4(25DN)、25S2(25D5)・25S5(25DN)、25S3(25D6)・25S6(25DN)と接続されても良い。

【0142】

[別の実施の形態2]

実施の形態に係るPM1であって、ワイヤボンディングおよび樹脂モールド前の模式的鳥瞰パターン構成は図29(a)に示すように表わされ、模式的平面パターン構成は図29(b)に示すように表わされる。なお、図29(a)および図29(b)は、PM1における半導体デバイスの配置の具体例を示すものであって、半導体デバイスQとして、SiCMOSFETQ1・Q4を適用した、2 in 1モジュールタイプのハーフブリッジ内蔵モジュールが例示されている。

【0143】

すなわち、実施の形態に係るPM1は、直列接続された2個のSiCMOSFETQ1・Q4が、1つのモジュールに内蔵されたハーフブリッジ内蔵モジュールの構成を備える。

【0144】

実施の形態に係るPM1は、図示省略の樹脂モールド層に被覆されたセラミックス基板21の第1の辺に配置された正側電源入力端子電極(正側電力端子)Pおよび負側電源入力端子電極(負側電力端子)Nと、第1の辺に隣接する第2の辺に配置されたゲート端子GT1(ゲートG1)・ソースセンス端子SST1(ソースS1)と、第1の辺に対向する第3の辺に配置された出力端子電極(出力端子)Oと、第2の辺に対向する第4の辺に配置されたゲート端子GT4(ゲートG4)・ソースセンス端子SST4(ソースS4)とを備える。

【0145】

なお、実施の形態に係るPM1は、2個の出力端子Oを備えた4電力端子構造のパワーモジュールとなっている。

【0146】

ここで、図29(a)および図29(b)に示すように、2個(組)のSiCMOS

10

20

30

40

50

F E T Q 1・Q 4 はそれぞれ 3 個のデバイス (チップ) を備え、S i C M O S F E T Q 1 の各チップは、ゲート端子 G T 1・ソースセンス端子 S S T 1 に共通に接続 (G T 1 の接続は未表示) され、S i C M O S F E T Q 4 の各チップは、ゲート端子 G T 4・ソースセンス端子 S S T 4 に共通に接続 (G T 4 の接続は未表示) される。

【 0 1 4 7 】

ゲート端子 G T 1・ソースセンス端子 S S T 1 は、S i C M O S F E T Q 1 のゲート信号電極パターン G L 1・ソース信号電極パターン S L 1 に接続され、ゲート端子 G T 4・ソースセンス端子 S S T 4 は、S i C M O S F E T Q 4 のゲート信号電極パターン G L 4・ソース信号電極パターン S L 4 に接続される。

【 0 1 4 8 】

図 2 9 (a) および図 2 9 (b) に示すように、ゲート信号電極パターン G L 1・G L 4 およびソース信号電極パターン S L 1・S L 4 には、外部取り出し用のゲート端子 G T 1・G T 4 およびソースセンス端子 S S T 1・S S T 4 がハンダ付けなどによって接続される。

【 0 1 4 9 】

なお、図 2 9 (a) および図 2 9 (b) に示すように、ゲート信号電極パターン G L 1・G L 4 およびソース信号電極パターン S L 1・S L 4 は信号基板 2 6 1・2 6 4 上に配置され、信号基板 2 6 1・2 6 4 はセラミックス基板 2 1 上にハンダ付けなどによって接続されていても良い。

【 0 1 5 0 】

信号基板 2 6 1・2 6 4 は、セラミックス基板で形成可能である。セラミックス基板は、例えば、A l 2 O 3、A l N、S i N、A l S i C、若しくは、少なくとも表面が絶縁性の S i C など形成されていても良い。

【 0 1 5 1 】

また、図 2 9 (a) および図 2 9 (b) においては図示を省略しているが、S i C M O S F E T Q 1・Q 4 のドレイン D 1・ソース S 1 間およびドレイン D 4・ソース S 4 間に、逆並列にダイオード (D I 1・D I 4) が接続されていても良い。

【 0 1 5 2 】

正側電力端子 P・負側電力端子 N、外部取り出し用のゲート端子 G T 1・G T 4 およびソースセンス端子 S S T 1・S S T 4 は、例えば、C u で形成可能である。

【 0 1 5 3 】

主配線導体である表面電極パターン 2 3 (2 3 D 1・2 3 D 4・2 3 D N) は、例えば、C u によって形成可能である。

【 0 1 5 4 】

ここで、図 2 9 (a) および図 2 9 (b) に示された例では、2 in 1 モジュールタイプのハーフブリッジ内蔵モジュールにおいて、表面電極パターン 2 3 D 1 が、ハイ (H i g h) 側デバイス (S i C M O S F E T Q 1) 用のドレイン電極パターンとして機能する。

【 0 1 5 5 】

また、表面電極パターン 2 3 D 4 が、ロウ (L o w) 側デバイス (S i C M O S F E T Q 4) 用のドレイン電極パターンとして機能すると共に、ハイ側デバイス用のソース電極パターン (2 3 S 1) としても機能する。つまり、ドレイン電極パターン 2 3 D 4 は、S i C M O S F E T Q 4 のドレイン電極であると同時に、S i C M O S F E T Q 1 のソース電極となる。

【 0 1 5 6 】

さらに、負側電力端子 N に接続される表面電極パターン 2 3 D N が、ロウ側デバイス用のソース電極パターン (2 3 S 4) として機能する。

【 0 1 5 7 】

すなわち、実施の形態に係る P M 1 においては、図 2 9 (a) および図 2 9 (b) に示すように、S i C M O S F E T Q 1 は表面電極パターン 2 3 D 1 上に搭載されて、ドレ

10

20

30

40

50

インD1が表面電極パターン23D1と接続されると共に、ソースS1がボンディングワイヤ（図示省略のソース信号用ボンディングワイヤ）を介して表面電極パターン23D4と接続される。

【0158】

同様に、SiC MOSFET Q4は表面電極パターン23D4上に搭載されて、ドレインD4が表面電極パターン23D4と接続されると共に、ソースS4がボンディングワイヤ（図示省略のソース信号用ボンディングワイヤ）を介して表面電極パターン23DNと接続される。

【0159】

また、実施の形態に係るPM1にあっては、図示していないが、SiC MOSFET Q1のソースセンスパッド電極をソース信号電極パターンSL1に接続するソースセンス用ボンディングワイヤと、ゲートパッド電極をゲート信号電極パターンGL1に接続するゲート信号用ボンディングワイヤとを備える。

10

【0160】

同様に、図示していないが、SiC MOSFET Q4のソースセンスパッド電極をソース信号電極パターンSL4に接続するソースセンス用ボンディングワイヤと、ゲートパッド電極をゲート信号電極パターンGL4に接続するゲート信号用ボンディングワイヤとを備える。

【0161】

つまり、SiC MOSFET Q1・Q4の各ソース信号電極パターンSL1・SL4には、ソースセンスパッド電極を接続するための、ソースセンス用ボンディングワイヤがウエッジボンディングされる。

20

【0162】

実施の形態に係るPM1は、図29(a)および図29(b)に示すように、セラミックス基板21と、セラミックス基板21の上面（第1面）に配置されたグラファイト基板18GHと、グラファイト基板18GH上に配置された表面電極パターン（第2電極パターン）23D1・23D4・23DNと、セラミックス基板21の下面（第2面）に配置された裏面電極パターン（第1電極パターン）（図示省略）とを備えるグラファイト絶縁基板と、表面電極パターン23D1・23D4上に図示矢印X方向に沿って並べて配置された複数のSiC MOSFET Q1・Q4とを備える。

30

【0163】

実施の形態に係るPM1において、グラファイト基板18GHのGH(YZ)配向は、複数のSiC MOSFET Q1・Q4の配置のX方向にほぼ直交する、Y方向にほぼ一致する配向方向TDとされる。つまり、X方向に並べて配置されるSiC MOSFET Q1・Q4の、GH(YZ)の配向方向TDに対する並びの方向PD1のずれの許容量（許容されるずれ量）は、X方向に対応する配向方向PDを基準とし、グラファイト基板18GHの平面（基板面）上において、時計方向に約-45度以上+45度以下の角度の範囲、好ましくは、約-30度以上+30度以下の角度の範囲とされる。

【0164】

なお、図29(a)および図29(b)において、半導体デバイスQがSiC MOSFETの場合、GT1・GT4は、SiC MOSFET Q1・Q4のゲート信号用のリード端子（いわゆる、ゲート端子）であり、SST1・SST4は、SiC MOSFET Q1・Q4のソース信号用のリード端子（いわゆる、ソースセンス端子）である。

40

【0165】

これに対し、IGBTの場合には、GT1・GT4は、IGBT Q1・Q4のゲート信号用のリード端子となり、SST1・SST4は、IGBT Q1・Q4のエミッタ信号用のリード端子となる。

【0166】

実施の形態に係るPM1によれば、グラファイト基板18GHを適用したグラファイト絶縁基板の採用により、複数の半導体デバイスQの配置の方向PD1を、グラファイト基

50

板 1 8 G H の G H (X Z) ・ G H (Y Z) 配向の配向方向 T D にほぼ直交する熱伝導率の相対的に低い配向方向 P D により近似させることによって、高い熱拡散効果が期待できる。

【 0 1 6 7 】

すなわち、実施の形態に係る P M 1 によっても、熱拡散性が良好で、構造的にも簡素であり、安価で、より低熱抵抗化が可能なパワーモジュールとすることができる。

【 0 1 6 8 】

なお、2 in 1 モジュールタイプの P M 1 としては、ソース電極パターンを半導体デバイス Q 1 ・ Q 4 の上方に備える構造のものにも適用可能であり、また、2 in 1 モジュールタイプのものに限定されるものでもない。

10

【 0 1 6 9 】

実施の形態に係る P M 1 の模式的鳥瞰パターン構成は図 3 0 (a) に示すように表わされ、模式的平面パターン構成は図 3 0 (b) に示すように表わされる。なお、図 3 0 (a) および図 3 0 (b) では、3 電力端子構造の P M 1 に適用した場合が例示されている。

【 0 1 7 0 】

ここで、図 3 0 (a) および図 3 0 (b) に示すように、実施の形態に係る P M 1 は、電力端子構造を除けば、実施の形態に係る P M 1 とほぼ同一の構成を備える。

【 0 1 7 1 】

すなわち、実施の形態に係る P M 1 は、図 3 0 (a) および図 3 0 (b) に示すように、セラミックス基板 2 1 と、セラミックス基板 2 1 の上面 (第 1 面) に配置されたグラファイト基板 1 8 G H と、グラファイト基板 1 8 G H 上に配置された表面電極パターン (第 2 電極パターン) 2 3 D 1 ・ 2 3 D 4 ・ 2 3 D N と、セラミックス基板 2 1 の下面 (第 2 面) に配置された裏面電極パターン (第 1 電極パターン) (図示省略) とを備えるグラファイト絶縁基板と、表面電極パターン 2 3 D 1 ・ 2 3 D 4 上に図示矢印 X 方向に沿って並べて配置された複数の半導体デバイス (モジュール) Q 1 ・ Q 4 とを備える。

20

【 0 1 7 2 】

実施の形態に係る P M 1 において、グラファイト基板 1 8 G H の配向方向 T D における G H (Y Z) 配向は、複数の半導体デバイス Q 1 ・ Q 4 の X 方向に沿う配向方向 P D にほぼ直交する方向とされる。

【 0 1 7 3 】

図 3 0 (a) および図 3 0 (b) において、P は、正側電源入力端子電極であり、N は、負側電源入力端子電極であり、O は、出力端子電極であり、1 個の出力端子電極 O を備えた 3 電力端子構造の P M となっている。

30

【 0 1 7 4 】

なお、図 3 0 (a) および図 3 0 (b) において、G L 1 は、S i C M O S F E T Q 1 のゲート信号用のリード端子 (図示省略) が接続されるゲート信号電極パターンであり、S L 1 は、S i C M O S F E T Q 1 のソース信号用のリード端子 (図示省略) が接続されるソース信号電極パターンである。同様に、G L 4 は、S i C M O S F E T Q 4 のゲート信号用のリード端子 (図示省略) が接続されるゲート信号電極パターンであり、S L 4 は、S i C M O S F E T Q 4 のソース信号用のリード端子 (図示省略) が接続されるソース信号電極パターンである。

40

【 0 1 7 5 】

また、図中における B W 1 は、S i C M O S F E T Q 1 のソースパッド電極をソース電極としても機能する表面電極パターン 2 3 D 4 に共通に接続するためのソース信号用ボンディングワイヤであり、B W 4 は、S i C M O S F E T Q 4 のソースパッド電極をソース電極としても機能する表面電極パターン 2 3 D N に共通に接続するためのソース信号用ボンディングワイヤである。

【 0 1 7 6 】

実施の形態に係る P M 1 によっても、グラファイト基板 1 8 G H の基板面上、複数の半導体デバイス Q 1 ・ Q 4 の配置の方向 P D 1 を、グラファイト基板 1 8 G H の G H (Y Z

50

）配向に対応する配向方向（Y方向）TDにほぼ直交する配向方向（X方向）PDとすることにより、熱拡散性が良好で、構造的にも簡素であり、安価で、より低熱抵抗化が可能となる。

【0177】

以上説明したように、本実施の形態によれば、反りを抑制することができるパワーモジュールおよびその製造方法を提供することができる。

【0178】

[その他の実施の形態]

上記のように、いくつかの実施の形態について記載したが、開示の一部をなす論述および図面は例示的なものであり、限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例および運用技術が明らかとなろう。

10

【0179】

このように、本実施の形態は、ここでは記載していない様々な実施の形態などを含む。

【産業上の利用可能性】

【0180】

本実施の形態のパワーモジュールは、Si基板やSiC基板やGaN基板を用いたIGBTモジュール、ダイオードモジュール、MOSモジュールなどの各種の半導体モジュール技術に利用することができ、HEV (Hybrid Electric Vehicle) / EV (Electric Vehicle) 向けのインバータ、ロボットなどの産業機器や家電向けのインバータやコンバータなど、幅広い応用分野に適用可能である。

20

【符号の説明】

【0181】

61, 69, GF...基板(グラファイト基板)

64...半導体デバイス

62, RA, RB, RC, RD...樹脂(熱可塑性樹脂, 液晶ポリマー)

71, 72... (樹脂)注入ゲート

71B, 72B...ゲート痕

71A, 72A... (樹脂)注入方向

63, 68...銅層

64...半導体デバイス

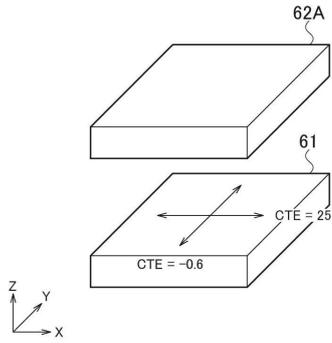
65...ワイヤ

66...パワー端子

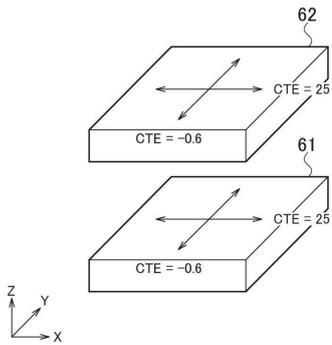
67...スペーサー(柱状電極)

30

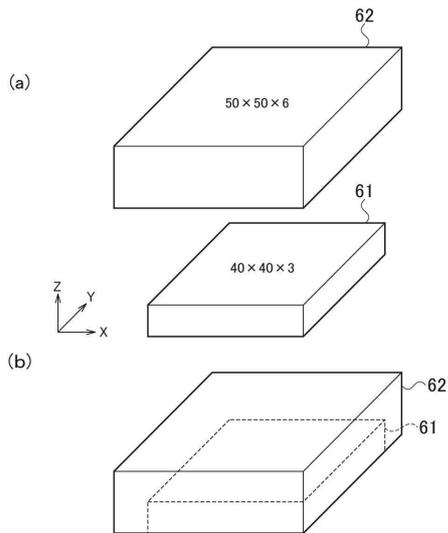
【 図 1 】



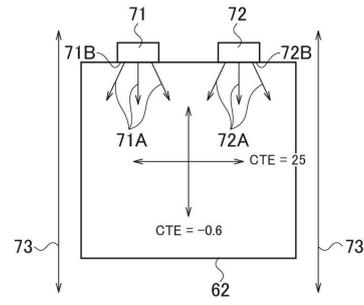
【 図 2 】



【 図 4 】



【 図 3 】

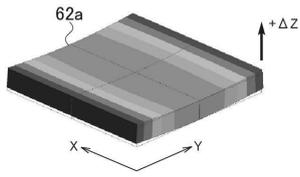


【 図 5 】

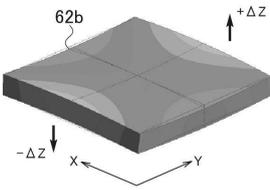
	CTE(ppm/K)	E(GPa)	ν
GF	X:-0.6, Y:25, Z:-0.6	50	0.3
RA	-0.6	10	0.3
RB	12	10	0.3
RC	25	10	0.3
RD	X-0.6, Y:25, Z:12	10	0.3

【 図 6 】

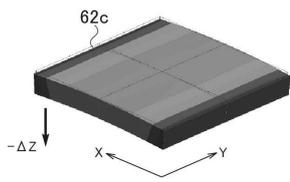
(a)



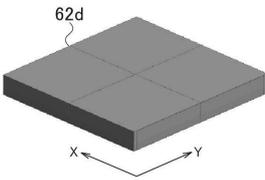
(b)



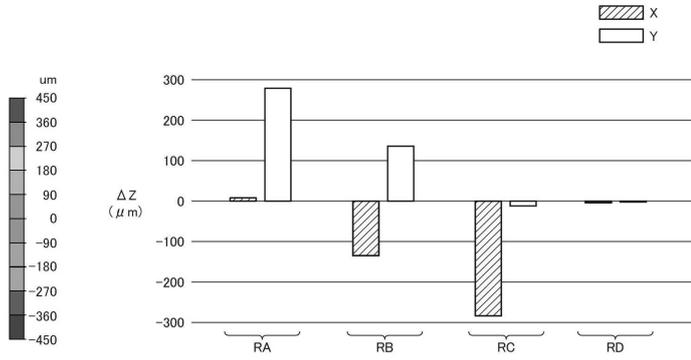
(c)



(d)



【 図 7 】

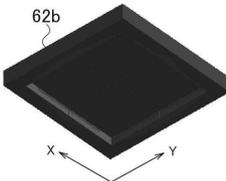


【 図 8 】

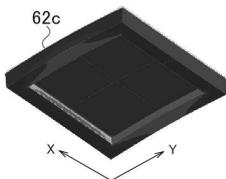
(a)



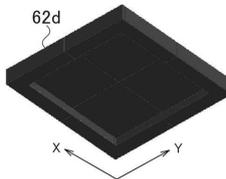
(b)



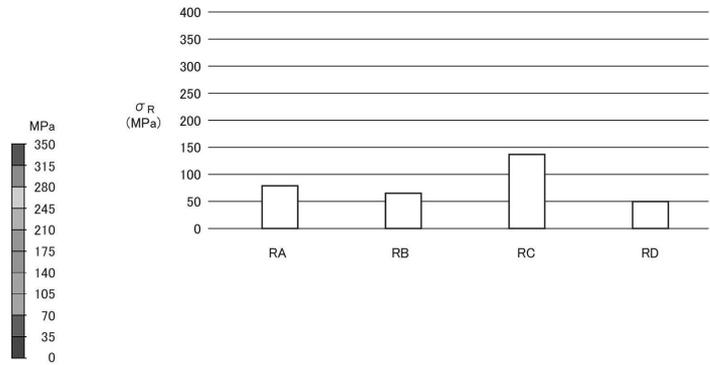
(c)



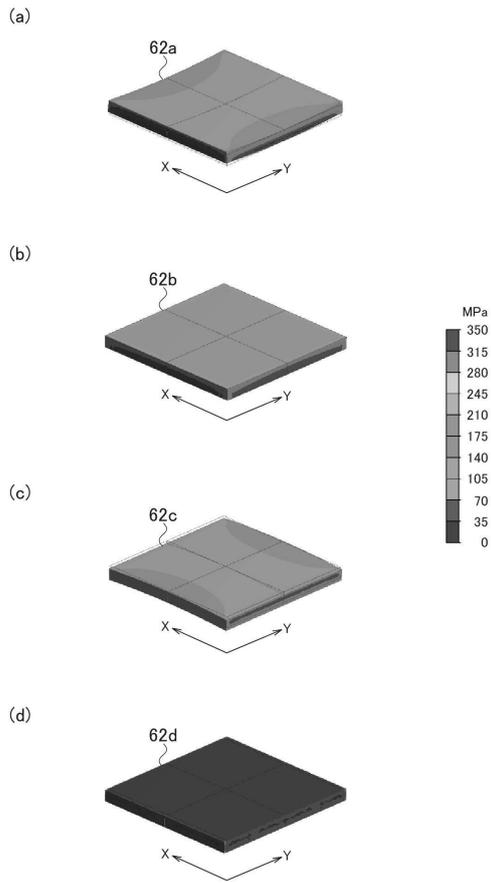
(d)



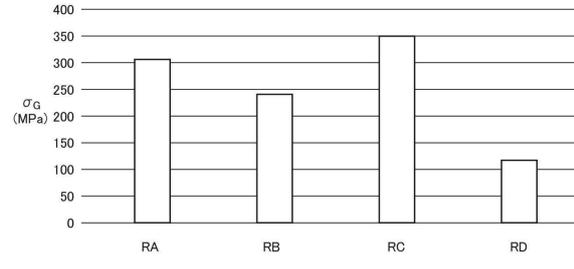
【 図 9 】



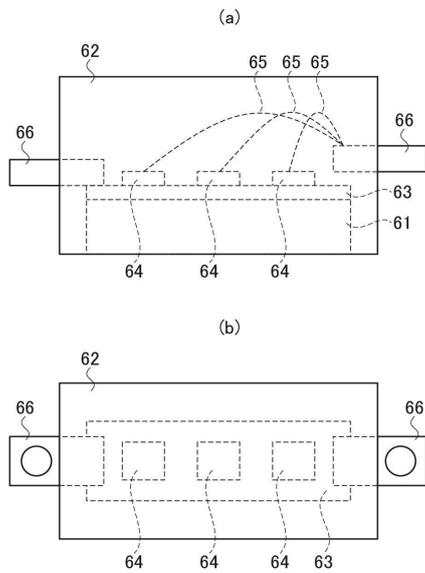
【 図 1 0 】



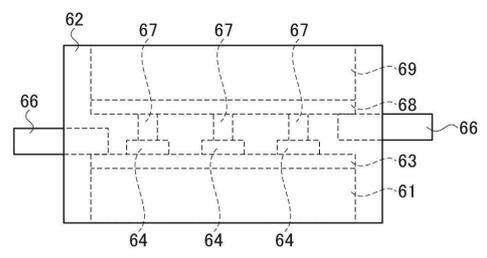
【 図 1 1 】



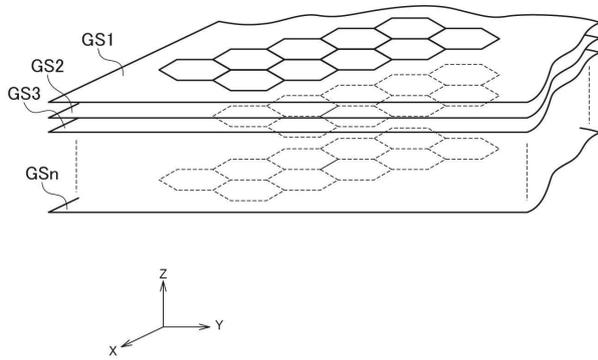
【 図 1 2 】



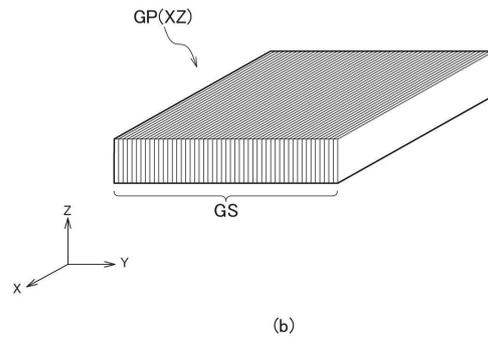
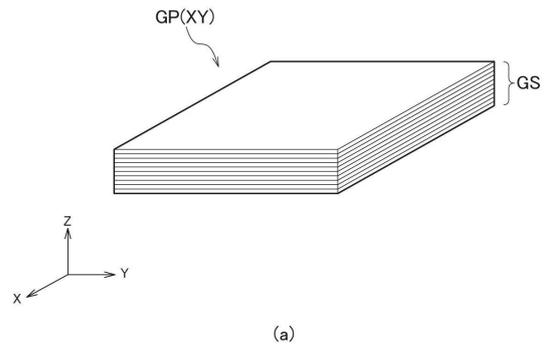
【 図 1 3 】



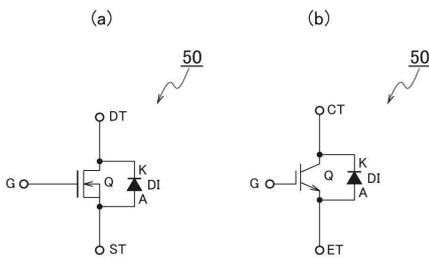
【 図 1 4 】



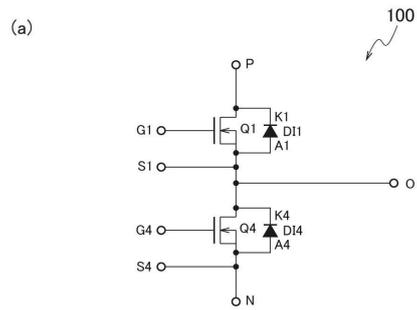
【 図 1 5 】



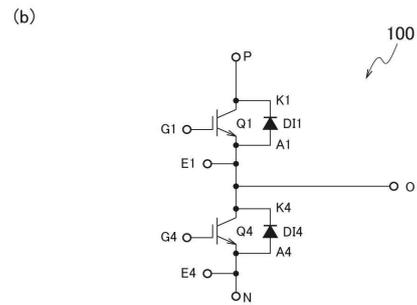
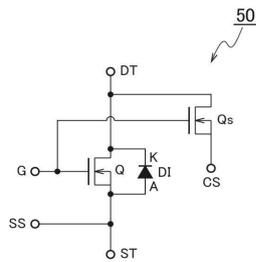
【 図 1 6 】



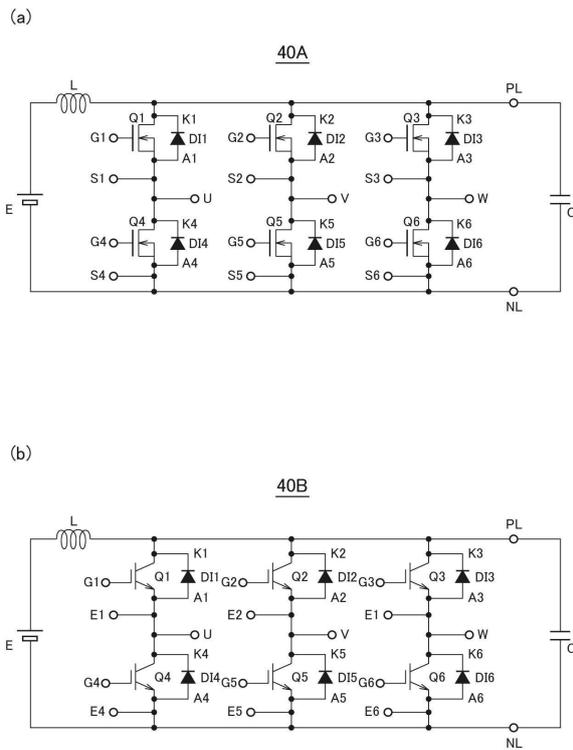
【 図 1 8 】



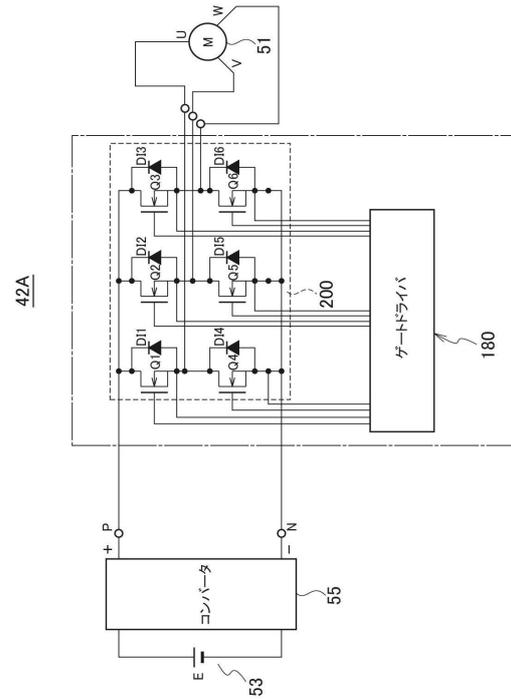
【 図 1 7 】



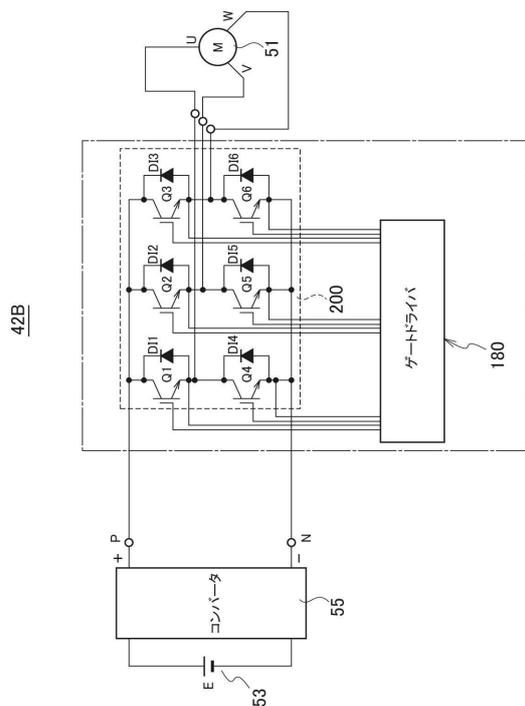
【 図 2 3 】



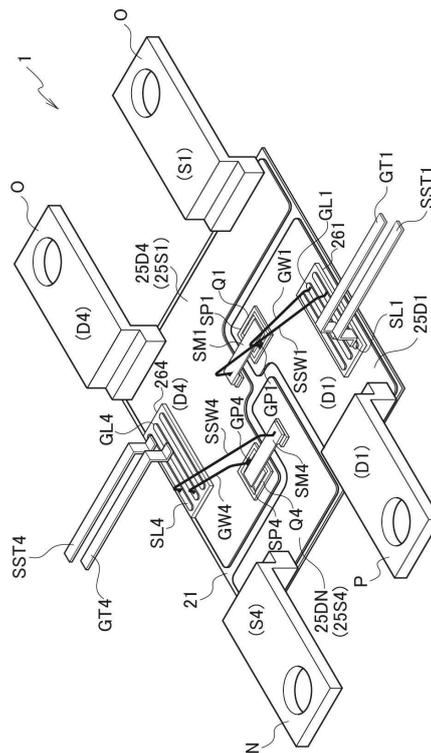
【 図 2 4 】



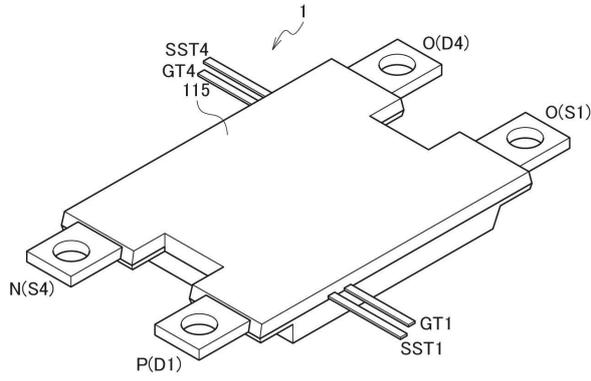
【 図 2 5 】



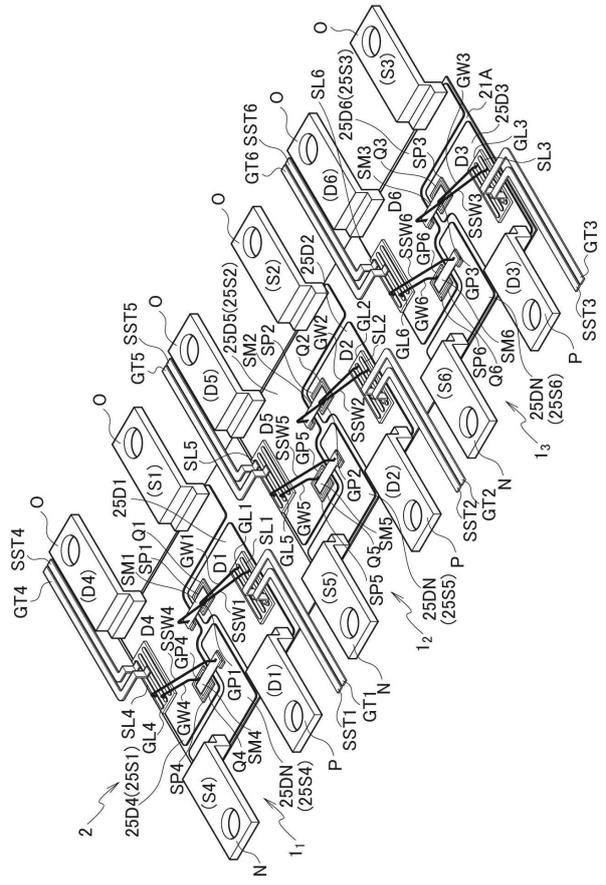
【 図 2 6 】



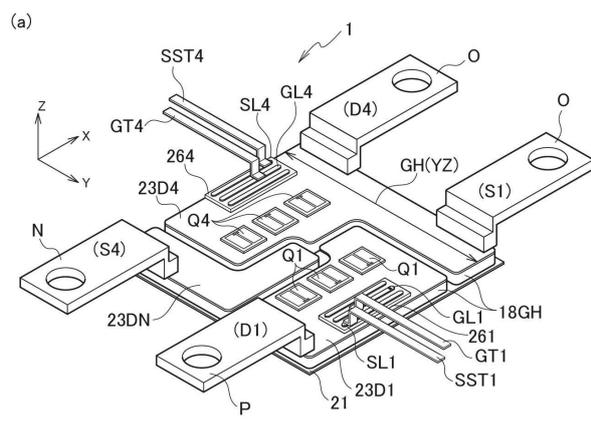
【図 27】



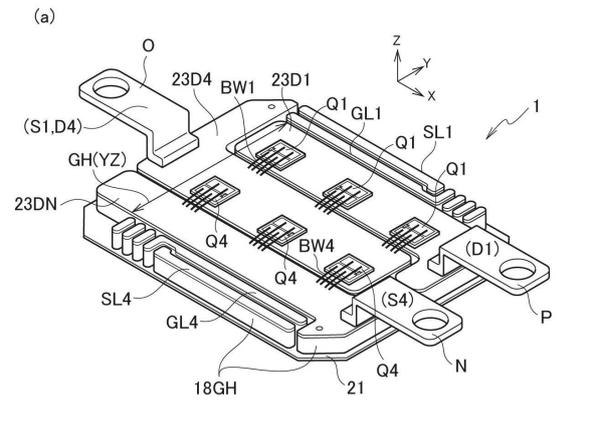
【図 28】



【図 29】



【図 30】



フロントページの続き

- (56)参考文献 特開2007-158280(JP,A)
特開2008-153601(JP,A)
特開2013-235872(JP,A)
特開2007-173272(JP,A)
米国特許出願公開第2007/0138624(US,A1)
特開2015-220239(JP,A)
特開2017-045959(JP,A)
特開2014-022580(JP,A)
特開2014-022479(JP,A)
特開平08-008354(JP,A)
特開2004-200522(JP,A)
米国特許出願公開第2004/0140547(US,A1)

(58)調査した分野(Int.Cl., DB名)

H01L 25/07
H01L 23/29
H01L 23/31
H01L 25/18