(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 27/108

(45) 공고일자 1998년12월15일
(11) 등록번호 특0166039
(24) 등록일자 1998년09월21일

(21) 출원번호 특1994-037487
(22) 출원일자 1994년12월27일
(65) 공개번호 특1996-026833
(43) 공개일자 1996년07월22일

(73) 특허권자 현대전자산업주식회사 김주용
경기도 이천군 부발읍 아미리 산 136-1
(72) 발명자 김근영
경기도 성남시 분당구 야탑동 525 탑마을 경남아파트 712-802
(74) 대리인 이권희, 이정훈

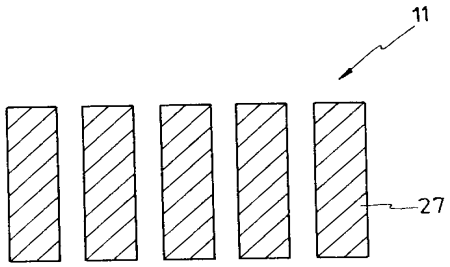
심사관 : 신양환

(54) 반도체소자의 캐패시터 제조방법

요약

본 발명은 반도체소자의 캐패시터 제조방법에 관한 것으로, 반도체소자가 고집적화됨에 따라 좁은 면적에서 더욱 많은 정전용량을 필요로하여 저장전극의 표면적을 증가시켜 캐패시터의 정전용량을 극대화하는데 있어서, 반도체기판 상부에 도전층을 접속시키고 미세한 스페이스 패턴이 형성된 저장전극마스크를 이용하여 다수의 홈이 형성된 감광막패턴을 형성한 다음, 이를 이용하여 상기 도전층을 식각하고 상기 홈에 절연막을 매립하여 상기 도전층 및 감광막패턴의 측벽에 절연막 스페이서를 형성한 다음, 상기 홈에 형성된 절연막을 마스크로하여 상기 감광막패턴을 식각하고 식각된 감광막패턴을 이용하여 상기 도전층을 부분식각한 다음, 상기 감광막패턴과 절연막을 제거하고 상기 절연막스페이서를 제거함으로써 표면적이 증가된 저장전극을 형성하여 반도체소자의 고집적화를 가능하게 하고 이에 따른 반도체소자의 신뢰성을 향상시키는 기술이다.

대표도



명세서

[발명의 명칭]

반도체소자의 캐패시터 제조방법

[도면의 간단한 설명]

제1도는 본 발명의 실시예에 따른 저장전극마스크를 도시한 평면도.

제2a도 내지 제2g도는 본 발명의 실시예에 따라 제1도의 저장전극마스크를 이용한 반도체소자의 캐패시터 제조공정을 도시한 단면도.

* 도면의 주요부분에 대한 부호의 명칭

11 : 저장전극마스크 13 : 반도체기판
15 : 하부절연층 17 : 다결정실리콘막
19 : 감광막 21 : 홈
23 : 산화막 25 : 저장전극
27 : 크롬패턴 29 : 콘택홀

[발명의 상세한 설명]

본 발명은 반도체소자의 캐패시터 제조방법에 관한 것으로, 특히 고집적화된 반도체소자에서 캐패시터의

정전용량을 확보하기위하여 도전체 스페이서 형성공정을 이용하여 저장전극의 표면적을 증가시킴으로써 반도체소자의 고집적화를 가능하게 하는 기술이다.

반도체소자가 고집적화되어 셀 크기가 감소되므로, 저장전극의 표면적에 비례하는 정전용량을 충분히 확보하기가 어려워지고 있다.

특히, 단위셀이 하나의 모스 트랜지스터와 캐패시터로 구성되는 디램 소자는 칩에서 많은 면적을 차지하는 캐패시터의 정전용량을 크게하면서, 면적을 줄이는 것이 디램 소자의 고집적화에 중요한 요인이 된다.

그래서, 캐패시터의 정전용량을 증가시키기 위하여 유전상수가 높은 물질을 유전체막으로 사용하거나, 유전체막를 얇게 형성하거나 또는 캐패시터의 표면적을 증가시키는 등의 방법을 사용하였다.

그러나, 높은 유전상수를 갖는 유전물질, 예를들어 Ta_2O_5, TiO_2 또는 $SrTiO_3$ 등은 신뢰도 및 박막특성등이 확실하게 확인되어 있지 않다. 그래서, 실제소자에 적용하기가 어렵다. 그리고, 유전막 두께를 감소시키는 것은 소자 동작시 유전막이 파괴되어 캐패시터의 신뢰도를 저하시켜 반도체소자의 고집적화를 어렵게하는 문제점이 있다.

따라서, 본 발명은 반도체소자의 고집적화에 충분한 정전용량을 확보하기위하여, 감광막에 홈만이 형성될 정도로 작은 스페이스 패턴이 형성된 저장전극마스크를 이용하여 감광막패턴을 형성하고 상기 감광막패턴을 이용한 공정으로 표면적이 증가된 저장전극을 형성하고 후공정에서 충분한 정전용량을 갖는 캐패시터를 형성하는 반도체소자의 캐패시터 제조방법을 제공하는데 그 목적이 있다.

이상의 목적을 달성하기위해 본 발명에 따른 반도체소자의 캐패시터 제조방법은, 반도체기판의 예정된 부분에 접속되는 저장전극용 도전층을 형성하는 공정과, 상기 도전층 상부에 감광막을 도포하는 공정과, 상기 감광막을 저장전극마스크를 이용하여 노광 및 현상하여 감광막패턴을 형성하되, 상기 저장전극 마스크는 상기 감광막에 홈이 형성될 수 있도록 라인/스페이스 패턴으로 구비되는 공정과, 상기 감광막패턴을 마스크로하여 상기 도전층을 식각하여 패터닝하는 공정과, 전체표면상부에 PECVD 방법으로 절연막을 형성하는 공정과, 상기 절연막을 이방성식각하여 상기 감광막패턴의 홈에 절연막을 남기는 동시에 상기 감광막패턴 및 식각된 도전층 측벽에 절연막 스페이서를 형성하는 공정과, 상기 절연막을 마스크로하여 상기 감광막패턴을 식각하는 공정과, 상기 절연막을 마스크로 하여 상기 도전층을 부분식각하는 공정과, 상기 감광막패턴의 남은 부분을 제거하고 절연막 스페이서를 제거함으로써 표면에 요철이 형성된 저장전극을 형성하는 공정을 포함하는 것을 특징으로 한다.

이하, 첨부된 도면을 참고로 하여 본 발명을 상세히 설명하기로 한다.

제1도 그리고 제2a도 내지 제2g도는 본 발명에 따른 반도체소자의 캐패시터 제조공정을 도시한 평면도 및 단면도이다.

제1도는 저장전극마스크(11)의 평면도를 도시한 평면도이다.

제1도를 참조하면, 상기 저장전극마스크(11)의 패턴을 형성하는 크롬패턴(27)에 미세한 스페이스를 일정간격으로 형성한다. 이때, 상기 스페이스는 상기 저장전극마스크(11)를 이용하여 반도체기판(도시안됨) 상부의 감광막을 노광 및 현상하여 패터닝할 때, 상기 감광막패턴의 안쪽에 홈(도시안됨)이 형성될 수 있도록 0.2 내지 0.25 ㎛ 의 폭으로 형성된다.

제2a도 내지 제2g도는 상기 제1도의 저장전극마스크(11)를 이용한 반도체소자의 캐패시터 제조공정을 도시한 단면도이다.

제2a도를 참조하면, 반도체기판(13) 상부에 하부절연층(15)을 형성한다. 이때, 상기 하부절연층(15)은 소자분리산화막(도시안됨), 게이트전극(도시안됨) 및 불순물 확산영역(도시안됨)이 구비된 것이다.

그 다음에, 저장전극 콘택마스크(도시안됨)를 이용한 식각공정으로 상기 반도체기판(13)의 예정된 부분을 노출시키는 콘택홀(29)을 형성한다. 그리고, 상기 콘택홀(29)을 통하여 상기 반도체기판(13)의 예정된 부분에 접속되는 다결정실리콘막(17)을 형성한다. 이때, 상기 다결정실리콘막(17)은 도전층으로서 폴리사이드 또는 이와 유사한 전도물질로 형성할 수 있다.

그 후에, 상기 다결정실리콘막(17) 상부에 감광막(19)을 도포한다. 그리고, 상기 제1도의 저장전극마스크(11)를 이용한 식각공정으로 상기 감광막(19)을 노광 및 현상하여 감광막(19)패턴을 형성한다. 이때, 상기 감광막(19)패턴은 상기 저장전극마스크(11)에 형성된 크롬패턴(27) 사이에 형성된 스페이스 패턴에 의하여 홈(21)이 형성된다.

제2b도를 참조하면, 상기 감광막(19)패턴을 이용한 식각공정으로 상기 다결정실리콘막(17)을 식각한다. 이때, 상기 식각공정은 식각비가 우수한 식각방법을 이용함으로써 상기 홈(21)이 보존되도록 실시한다. 이때, 상기 식각공정은 염소분위기의 플라즈마를 이용한 식각방법이 이용된다.

제2c도를 참조하면, 전체표면상부에 일정두께 산화막(23)을 형성한다. 이때, 상기 산화막(23)은 상기 홈(21)을 매립한다. 여기서, 산화막(23) 형성은 단차 피복비가 우수한 방법인 플라즈마 화학기상증착방법(PECVD : Plasma Enhanced Chemical Vapor Deposition, 이하에서 PECVD 라 함) 이 이용된다.

제2d도를 참조하면, 상기 산화막(23)의 두께만큼 이방성식각하여 상기 다결정실리콘막(17)과 감광막(19)패턴의 측벽에 산화막(23) 스페이서를 형성한다. 이때, 상기 홈(21) 내부에 상기 산화막(23)이 남는다.

제2e도를 참조하면, 상기 홈(23) 내부에 남아있는 산화막(23)을 마스크로 하여 상기 감광막(19)패턴을 식각한다. 이때, 상기 식각공정은 산소분위기의 플라즈마를 이용하여 실시된다.

제2f도를 참조하면, 상기 식각된 감광막(19)패턴을 마스크로하여 상기 다결정실리콘막(17)을 부분식각한다.

제2g도를 참조하면, 상기 감광막(19)패턴을 제거한다. 이때, 상기 감광막(19)패턴 상부에 형성된 산화막

(23)은 같이 제거된다. 그리고, 상기 산화막(23) 스페이서를 제거함으로써 표면적이 증가된 저장전극(25)을 형성한다. 이때, 상기 산화막(23) 스페이서는 상기 다결정실리콘막(17)과의 식각선택비 차이를 이용한 식각공정으로 제거된다.

후공정에서, 전체표면상부에 유전체막(도시안됨)과 플레이트전극(도시안됨)을 순차적으로 형성함으로써 반도체소자의 고집적화에 충분한 정전용량을 확보할 수 있는 캐패시터를 형성한다. 이때, 상기 유전체막은 유전특성이 우수한 물질로 형성한다. 여기서, 상기 유전체막은 NO 또는 ONO 복합구조로 형성된 것이다. 그리고, 상기 플레이트전극은 다결정실리콘, 폴리사이드 또는 이와 유사한 전도물질로 형성할 수 있다.

이상에서 설명한 바와같이 본 발명에 따른 반도체소자의 캐패시터 제조방법은, 감광막에 홈만이 형성될 정도로 작은 스페이스 패턴이 형성된 저장전극 마스크를 이용하여 감광막패턴을 형성하고 상기 감광막패턴을 이용한 식각공정으로 표면적이 증가된 저장전극을 형성하고 후공정에서 충분한 정전용량을 갖는 캐패시터를 형성함으로써 반도체소자의 고집적화를 가능하게 하고 이에 따른 반도체소자의 신뢰성을 향상시킬 수 있는 기술이다.

(57) 청구의 범위

청구항 1

반도체기판의 예정된 부분에 접속되는 저장전극용 도전층을 형성하는 공정과, 상기 도전층 상부에 감광막을 도포하는 공정과, 상기 감광막을 저장전극마스크를 이용하여 노광 및 현상하여 감광막패턴을 형성하되, 상기 저장전극 마스크는 상기 감광막에 홈이 형성될 수 있도록 라인/스페이스 패턴으로 구비되는 공정과, 상기 감광막패턴을 마스크로하여 상기 도전층을 식각하여 패터닝하는 공정과, 전체표면상부에 PECVD 방법으로 절연막을 형성하는 공정과, 상기 절연막을 이방성식각하여 상기 감광막패턴의 홈에 절연막을 남기는 동시에 상기 감광막패턴 및 식각된 도전층 측벽에 절연막 스페이서를 형성하는 공정과, 상기 절연막을 마스크로하여 상기 감광막패턴을 식각하는 공정과, 상기 절연막을 마스크로 하여 상기 도전층을 부분식각하는 공정과, 상기 감광막패턴의 남은 부분을 제거하고 절연막 스페이서를 제거함으로써 표면에 요철이 형성된 저장전극을 형성하는 공정을 포함하는 반도체소자의 캐패시터 제조방법.

청구항 2

제1항에 있어서, 상기 스페이스 패턴은 0.2 내지 0.25 ㎛ 의 폭으로 구비되는것을 특징으로하는 반도체소자의 캐패시터 제조방법.

청구항 3

제1항에 있어서, 상기 도전층 식각공정은 상기 절연막과의 식각선택비 차이를 이용한 이방성식각공정으로 실시되는 것을 특징으로하는 반도체소자의 캐패시터 제조방법.

청구항 4

제1항 또는 제3항에 있어서, 상기 도전층 식각공정은 염소분위기의 플라즈마를 이용하여 실시되는 것을 특징으로하는 반도체소자의 캐패시터 제조방법.

청구항 5

제1항에 있어서, 상기 감광막패턴의 식각공정은 산소분위기의 플라즈마를 이용하여 실시되는 것을 특징으로하는 반도체소자의 캐패시터 제조방법.

청구항 6

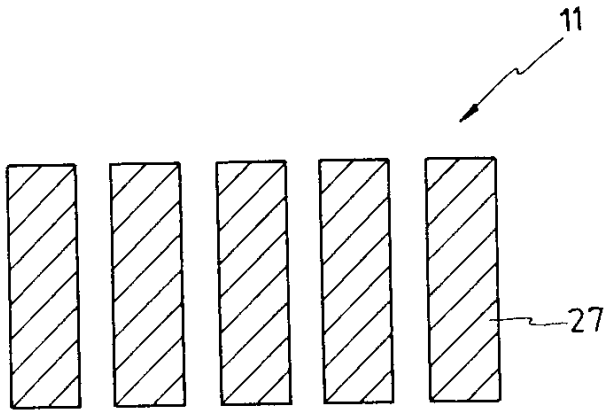
제1항에 있어서, 상기 감광막패턴 상부의 절연막은 상기 감광막패턴 제거공정시 함께 제거되는 것을 특징으로하는 반도체소자의 캐패시터 제조방법.

청구항 7

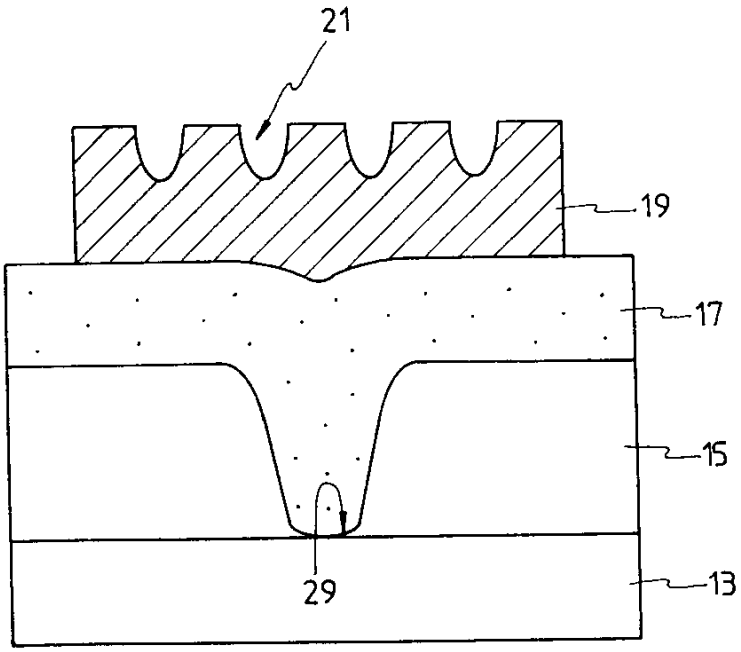
제1항에 있어서, 상기 절연막 스페이서는 상기 도전층과의 식각선택비 차이를 이용한 식각공정으로 제거되는 것을 특징으로하는 반도체소자의 캐패시터 제조방법.

도면

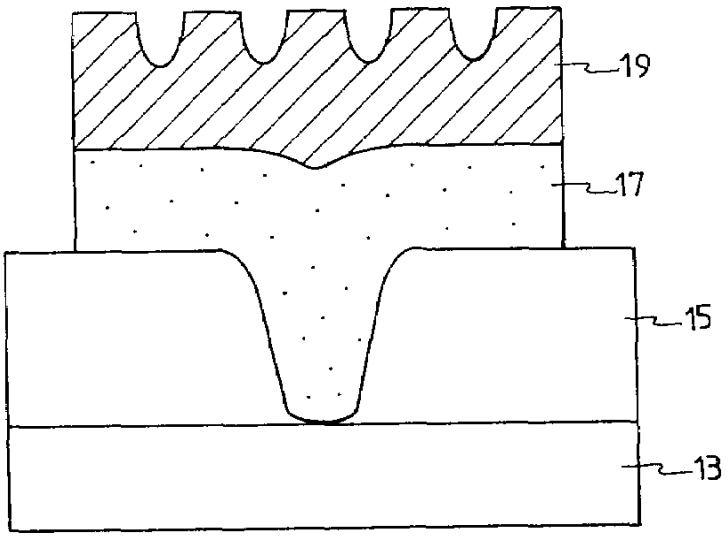
도면1



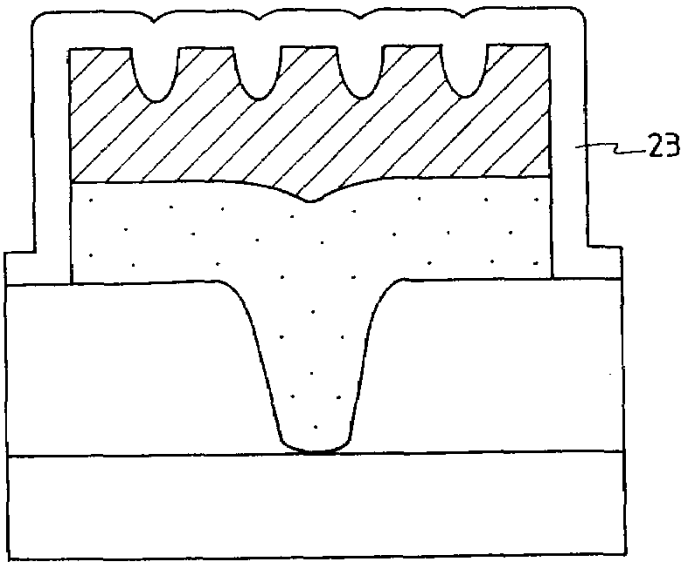
도면2a



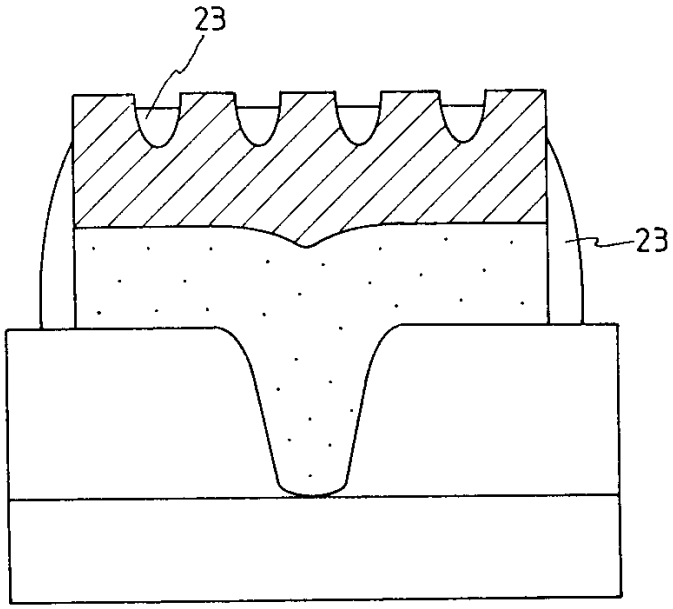
도면2b



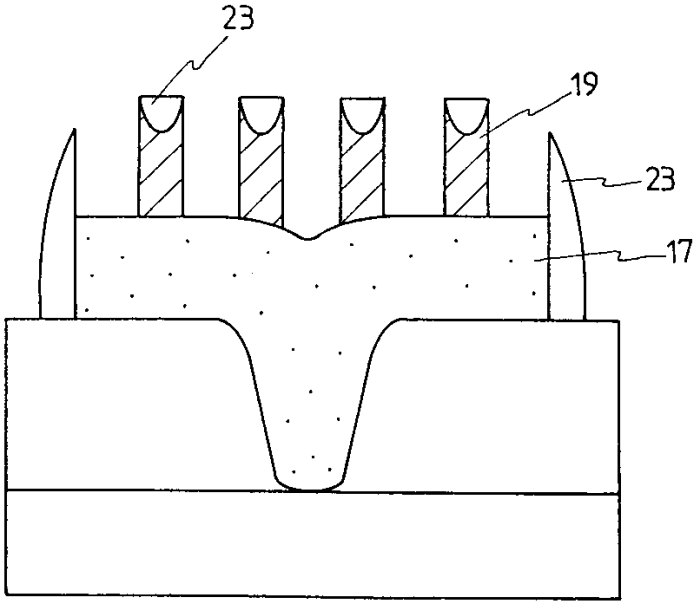
도면2c



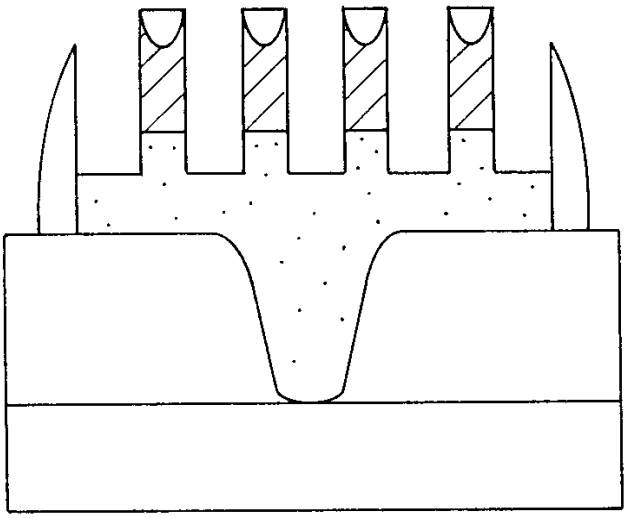
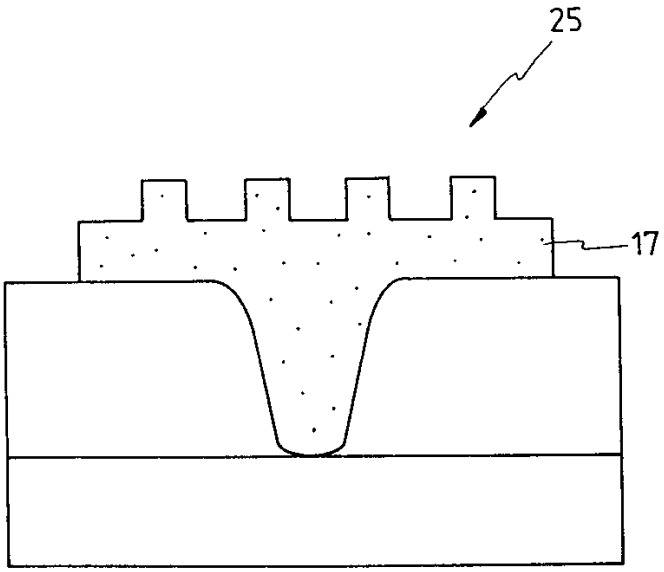
도면2d



도면2e



도면2f



도면2g