

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7546075号
(P7546075)

(45)発行日 令和6年9月5日(2024.9.5)

(24)登録日 令和6年8月28日(2024.8.28)

(51)国際特許分類	F I
H 0 1 L 23/15 (2006.01)	H 0 1 L 23/14 C
H 0 1 L 25/04 (2023.01)	H 0 1 L 25/04 Z
H 0 1 L 25/18 (2023.01)	H 0 5 K 1/02 A
H 0 5 K 1/02 (2006.01)	

請求項の数 9 (全22頁)

(21)出願番号	特願2022-572386(P2022-572386)	(73)特許権者	521560126
(86)(22)出願日	令和4年4月28日(2022.4.28)		アブソリックス インコーポレイテッド
(65)公表番号	特表2023-536041(P2023-536041 A)		Absolics Inc.
(43)公表日	令和5年8月23日(2023.8.23)		アメリカ合衆国、30014 ジョージア州、コヴィントン、3000 エスケーイー ドライブ
(86)国際出願番号	PCT/US2022/026847		3000 SKC Drive, Covington, GA 30014, USA
(87)国際公開番号	WO2022/232467	(74)代理人	110001139
(87)国際公開日	令和4年11月3日(2022.11.3)		SK弁理士法人
審査請求日	令和5年1月30日(2023.1.30)	(74)代理人	100130328
(31)優先権主張番号	10-2021-0056448		弁理士 奥野 彰彦
(32)優先日	令和3年4月30日(2021.4.30)	(74)代理人	100130672
(33)優先権主張国・地域又は機関	韓国(KR)		弁理士 伊藤 寛之
		(72)発明者	人、ヨンホ

最終頁に続く

(54)【発明の名称】 パッケージング基板及びそれを備える半導体装置

(57)【特許請求の範囲】

【請求項 1】

第1面及び前記第1面の対向面である第2面を含むガラス基板と、前記ガラス基板の内部に形成された空間を有するキャビティ部と、前記空間を複数の領域に分割するキャビティフレームと、前記キャビティ部の少なくとも一部に含まれるキャビティ素子とを備え、前記キャビティフレームは、一面から他面方向に貫通されるフレーム貫通孔を含み、複数の前記フレーム貫通孔を備え、
複数の前記フレーム貫通孔間の間隔は、前記フレーム貫通孔の直径の1倍以上である、ことを特徴とするパッケージング基板。

10

【請求項 2】

前記フレーム貫通孔の直径は、30 μm ~ 500 μmである、ことを特徴とする請求項1に記載のパッケージング基板。

【請求項 3】

前記フレーム貫通孔の直径Rと前記フレーム貫通孔の長さLhの比は、1 : 1 ~ 1.0である、ことを特徴とする請求項2に記載のパッケージング基板。

【請求項 4】

前記キャビティフレームは、前記フレーム貫通孔の直径に対して1.5倍以上の幅を有する、ことを特徴とする請求項1に記載のパッケージング基板。

【請求項 5】

20

前記フレーム貫通孔は、少なくとも一部又は全部が第 1 材料で充填され、

前記第 1 材料は、銅、エポキシ、シリカ及びそれらの組み合わせからなる群から選択されるいずれか 1 つである、ことを特徴とする請求項 1 に記載のパッケージング基板。

【請求項 6】

前記ガラス基板は、第 1 厚さを有する第 1 区域及び前記第 1 厚さよりも薄い厚さである第 2 厚さを有する第 2 区域を含み、

前記キャビティ部は、前記第 2 区域の上又は下に位置する、ことを特徴とする請求項 1 に記載のパッケージング基板。

【請求項 7】

前記キャビティフレームの側面には、支持部が配置される、ことを特徴とする請求項 1 に記載のパッケージング基板。

【請求項 8】

前記ガラス基板は、前記キャビティフレーム以外の前記第 1 面から前記第 2 面に貫通されるコアビアを含み、

前記コアビアに接続される第 1 面及び第 2 面上にコア分配層が含まれる、ことを特徴とする請求項 1 に記載のパッケージング基板。

【請求項 9】

1 つ以上の半導体素子が配置される半導体素子部と、

前記半導体素子に電氣的に接続されるパッケージング基板と、

前記パッケージング基板に電氣的に接続され、前記半導体素子と外部の電氣的信号を伝達して互いに接続するメインボードとを備え、

前記パッケージング基板は、請求項 1 に記載のパッケージング基板である、ことを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、複数の空間に分割し、貫通孔が形成されたキャビティフレームを有するパッケージング基板及びこれを含む半導体装置に関するものである。

【背景技術】

【0002】

電子部品を製作するにおいて、半導体ウエハに回路を具現することを前工程 (FE: Front-End) と言い、ウエハを実際の製品で使用可能な状態に組み立てることを後工程 (BE: Back-End) と言い、この後工程にパッケージング工程が含まれる。

【0003】

近年、電子製品の急速な発展を可能にした半導体産業の 4 つの核心技術としては、半導体技術、半導体パッケージング技術、製造工程技術、ソフトウェア技術がある。半導体技術はマイクロ以下ナノ単位の線幅、千万以上のセル (Cell)、高速動作、多くの熱放出など多様な形態に発展しているが、相対的にこれを完璧にパッケージングする技術がサポートされていない。そこで、半導体の電氣的性能は、半導体技術自体の性能よりは、パッケージング技術及びこれによる電氣的接続によって決定される場合もある。

【0004】

パッケージング基板の材料としては、セラミック又は樹脂が適用される。セラミック基板の場合、抵抗値が高いか誘電率が高く、高性能高周波の半導体素子を搭載することは容易ではない。樹脂基板の場合、相対的に高性能高周波の半導体素子を搭載することはできるが、導電線のピッチ縮小に明確な限界がある。

【0005】

近年、ハイエンド用パッケージング基板としてシリコンやガラスを適用した研究が進行中である。シリコンやガラス基板に貫通孔を形成し、導電性物質をこの貫通孔に適用することで、素子とメインボードとの間に導電線長が短くなり、良好な電氣的特徴を有することができる。

10

20

30

40

50

【 0 0 0 6 】

しかし、このようなガラス基板の小型化製造工程において、原板の反り問題、破損又は不良が発生するおそれが高く、このような問題と熱放出効率を改善する解決策が求められている。

【 0 0 0 7 】

上述の背景技術は、発明者が実施例の導出のために保有していたか、導出過程で習得した技術情報であり、必ずしも本発明の出願前に一般公衆に公開された公知技術とは限らない。

【 0 0 0 8 】

関連先行技術として、特許文献 1 に開示された「多層基板及び多層基板の製造方法」などがある。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 9 】

【 文献 】 韓国特許公開公報 1 0 - 2 0 1 5 - 0 0 8 3 2 7 8

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 1 0 】

本発明は、上記の問題を解決するためのものであり、放熱性能が改善され、機械的及び電気的特性が向上されたキャビティ構造を備えるパッケージング基板を提供することを目的としている。

【 課題を解決するための手段 】

【 0 0 1 1 】

本発明の実施例は、第 1 面及び前記第 1 面の対向面である第 2 面を含むガラス基板と、前記ガラス基板の内部に形成された空間を有するキャビティ部と、前記空間を複数の領域に分割するキャビティフレームと、前記キャビティ部の少なくとも一部に含まれるキャビティ素子とを備え、前記キャビティフレームは、一面から他面方向に貫通されるフレーム貫通孔を含む、ことを特徴とするパッケージング基板を提供する。

【 0 0 1 2 】

一実施例において、前記フレーム貫通孔の直径は、 $30\ \mu\text{m} \sim 500\ \mu\text{m}$ である。

【 0 0 1 3 】

一実施例において、前記フレーム貫通孔の直径 R と前記前記フレーム貫通孔の長さ Lh の比 R/Lh は、 $1 \sim 10$ である。

【 0 0 1 4 】

一実施例において、複数の前記フレーム貫通孔を備え、複数の前記フレーム貫通孔間の間隔は、前記フレーム貫通孔の直径の 1 倍以上である。

【 0 0 1 5 】

一実施例において、前記キャビティフレームは、前記フレーム貫通孔の直径に対して 1.5 倍以上の幅を有する。

【 0 0 1 6 】

一実施例において、前記フレーム貫通孔は、少なくとも一部又は全部が第 1 材料で充填され、前記第 1 材料は、銅、エポキシ、シリカ及びそれらの組み合わせからなる群から選択されるいずれか 1 つである。

【 0 0 1 7 】

一実施例において、前記ガラス基板は、第 1 厚さを有する第 1 区域及び前記第 1 厚さよりも薄い厚さである第 2 厚さを有する第 2 区域を含み、前記キャビティ部は、前記第 2 区域の上又は下に位置する。

【 0 0 1 8 】

一実施例において、前記キャビティフレームの側面には、支持部が配置される。

【 0 0 1 9 】

一実施例において、前記ガラス基板は、前記キャビティフレーム以外の前記第 1 面から前

10

20

30

40

50

記第 2 面に貫通されるコアビアを含み、前記コアビアに接続される第 1 面及び第 2 面上にコア分配層が含まれる。

【 0 0 2 0 】

本発明の実施例は、1 つ以上の半導体素子が配置される半導体素子部と、前記半導体素子に電氣的に接続されるパッケージング基板と、前記パッケージング基板に電氣的に接続され、前記半導体素子と外部の電氣的信号を伝達して互いに接続するメインボードとを備え、前記パッケージング基板は、上記のパッケージング基板である、ことを特徴とする半導体装置を提供する。

【発明の効果】

【 0 0 2 1 】

実施例によるパッケージング基板は、内部空間を分割するキャビティフレームを含み、キャビティフレーム内にフレーム貫通孔を形成して、内部素子の熱放出を容易にし、機械的、電氣的特性を向上することができる。

【図面の簡単な説明】

【 0 0 2 2 】

【図 1】実施例に係る半導体装置の断面構造を示す概念図である。

【図 2】他の実施例に係るパッケージング基板の内部にキャビティ素子が配置された断面構造を示す概念図である。

【図 3】(a) 及び (b) は、それぞれ実施例に係るパッケージング基板の一部、内部空間を断面で示す概念図である。

【図 4】(a) 及び (b) は、それぞれ実施例に係るパッケージング基板の一部、内部空間にキャビティ素子が配置された形態を断面で示す概念図である。

【図 5】実施例に係るガラス基板に形成されたコアビアの形態を断面で示す概念図である。

【図 6】実施例に係る支持部を適用したキャビティ部を有するガラス基板を上方から見た様子を示す概念図である。

【図 7】実施例に係る支持部を適用したキャビティ部を有するガラス基板を断面で示す概念図である。

【図 8】実施例による支持部を適用したキャビティ部を有するガラス基板にキャビティ素子が固定される様子を示す概念図である。

【図 9】実施例に係るパッケージング基板の内部にキャビティフレーム及びフレーム貫通孔が配置された断面構造を示す概念図である。

【図 1 0】実施例によるキャビティフレーム及びフレーム貫通孔を有するガラス基板を上方から見た様子を示す概念図である。

【図 1 1】実施例によるキャビティフレーム及びフレーム貫通孔を有するガラス基板を上からより詳細に見た様子を示す図である。

【発明を実施するための形態】

【 0 0 2 3 】

以下、発明が属する技術分野で通常の知識を有する者が容易に実施できるように、1 つ以上の実施例について添付した図面を参照して詳細に説明する。しかし、実施例は様々な異なる形態で実施することができ、本明細書に記載の実施例に限定されない。明細書全体において同様の部分については同一の図面符号を付した。

【 0 0 2 4 】

本明細書において、ある構成が他の構成を「含む」とするとき、これは、特に反対の記載がない限り、それ以外の 1 つまたは複数の他の構成を除くものではなく、1 つまたは複数の他の構成をさらに含むこともできることを意味する。

【 0 0 2 5 】

本明細書において、ある構成が他の構成と「接続」されているとするとき、これは、「直接的に接続」されている場合のみならず、「それらの間に他の構成を介在して接続」されている場合も含む。

【 0 0 2 6 】

10

20

30

40

50

本明細書において、「A上にBが位置する」という意味は、A上に直接接触してBが位置するか、またはそれらの間に別の層が位置しながらA上にBが位置することを意味し、明細書に明確に説明していない限り、Aに直接接触してBが位置することに限定されて解釈されない。

【0027】

本明細書において、マーカッシュ形式の表現に含まれた「これらの組み合わせ」という用語は、マーカッシュ形式の表現に記載された構成要素からなる群から選択される1つ以上の混合又は組み合わせを意味するものであって、前記構成要素からなる群から選択される1つ以上を含むことを意味する。

【0028】

本明細書において、「A及び/又はB」の記載は、「A、B、又は、A及びB」を意味する。

【0029】

本明細書において、「第1」、「第2」又は「A」、「B」のような用語は、特に説明がない限り、同一の用語を互いに区別するために使用される。

【0030】

本明細書において、単数の表現は、特に説明がなければ、文脈上解釈される単数又は複数を含む意味で解釈される。

【0031】

発明者らは、より集積化され、薄い厚さで高性能を発揮できる半導体装置を開発する過程で、装置自体だけでなく、パッケージングの過程も性能向上において重要な要素であることを認識し、これに対して研究する時に、既存のインターポーザと有機基板のように2層以上のコアをパッケージング基板としてメインボード上に適用したことは異なり、ガラスコアを単層で適用し、複数のキャピティ領域を分割するキャピティフレーム、キャピティフレーム内に配置される貫通孔を適用した。これにより、パッケージング基板の薄型化を図り、半導体装置の電気的特性の向上に寄与できることを確認し、本発明を完成した。

【0032】

以下、図面を参照して実施例をより詳細に説明する。

【0033】

パッケージング基板20

実施例において、パッケージング基板20は、一面214及び前記一面の対向面である他面213を含むガラス基板21と、前記ガラス基板の内部に形成された空間281を有するキャピティ部28と、前記空間を複数の領域に分割するキャピティフレーム286と、前記キャピティ部の少なくとも一部に含まれるキャピティ素子40とを備え、前記キャピティフレームは、前記一面から前記他面の方向に貫通されるフレーム貫通孔287を含んでもよい。

【0034】

前記パッケージング基板20は、コア層22と、前記コア層の一面上に配置される上部層26と、前記キャピティ素子40を配置可能なキャピティ部28を含んでもよい。

【0035】

前記パッケージング基板20は、選択的に前記コア層の下に配置される下部層29を更にも含む。

【0036】

前記コア層22は、ガラス基板21を含んでもよく、前記ガラス基板は、第1厚さ211を有する第1区域221及び前記第1区域に隣接し且つ第1厚さよりも薄い第2厚さ212を有する第2区域を含んでもよい。

【0037】

前記ガラス基板21は、厚さ方向に貫通される複数のコアビア23を含んでもよい。前記ガラス基板は、前記ガラス基板又はコアビアの表面に配置され且つ第1面213と前記第1面に対向する第2面214を電氣的に接続するコア分配層24を含んでもよい。

10

20

30

40

50

【 0 0 3 8 】

前記コア層 2 2 の前記第 2 区域 2 2 2 は、内部空間 2 8 1 を含むキャビティ構造として機能することができる。

【 0 0 3 9 】

同じ区域内において、前記ガラス基板 2 1 は、互いに対向する第 1 面 2 1 3 及び第 2 面 2 1 4 を含み、これら 2 つの面は概ね平行であり、ガラス基板全体にわたって一定の厚さを有してもよい。

【 0 0 4 0 】

前記ガラス基板 2 1 において、前記第 1 区域 2 2 1 の厚さである第 1 厚さ 2 1 1 が第 2 区域 2 2 2 の厚さである第 2 厚さ 2 1 2 よりも厚くなってもよい。前記第 1 区域と前記第 2 区域が接する部分において、コアビア 2 3 が形成されている部分を除いた前記ガラス基板には、第 1 区域の厚さ方向と垂直な面である側壁が露出しているてもよい。第 1 区域と第 2 区域との厚さ差によって形成される内部空間 2 8 1 は、キャビティ素子の一部または全部を収容することができる。

10

【 0 0 4 1 】

前記第 1 区域 2 2 1 の側壁から前記キャビティの内部空間に突出された支持部 2 8 5 を含んでもよい。前記支持部の少なくとも一部は、前記第 1 区域の側壁に接続され、前記支持部の他の一部は、前記内部空間 2 8 1 に突出され、挿入されるキャビティ素子 4 0 の位置を固定することができる。このように互いに厚さの異なる第 1 区域と第 2 区域が隣接して位置する形態の前記ガラス基板 2 1 は、互いにその大きさの異なるガラス基板を積層または結合して製造されてもよい。

20

【 0 0 4 2 】

前記ガラス基板 2 1 の全てのコアビア 2 3 は、前記第 1 区域 2 2 1 に第 1 コアビア 2 3 1、第 2 区域 2 2 2 に第 2 コアビア 2 3 2 等として形成されてもよく、所望のピッチ及びパターンで形成してもよい。

【 0 0 4 3 】

半導体装置のパッケージング基板としては、従来、炭化ケイ素と有機基板が積層された形態で適用されている。シリコン基板の場合は、その半導体特性から、高速回路適用時に寄生素子が発生するおそれがあり、電力損失が相対的に大きいという欠点があった。また、有機基板の場合、より複雑になる分配パターンを形成するためには大面積化が必要であるが、これは超小型化される電子機器の製造の流れには適合しない。定められた大きさ内で複雑な分配パターンを形成するためには実質的にパターン微細化が必要であるが、有機基板に適用する高分子などの素材特性上、パターン微細化に実質的な限界があった。実施例では、これらの問題を解決する方法として、ガラス基板 2 1 をコア層 2 2 の支持体として適用する。また、ガラス基板と共にガラス基板を貫通して形成されたコアビア 2 3、ガラス基板の内部空間 2 8 1 を分割するキャビティフレーム 2 8 6、キャビティフレームを貫通して形成されたフレーム貫通孔 2 8 7 等を適用することで、熱放出効率の増加、電磁気吸収の増加などの利点を有するパッケージング基板 2 0 を提供することができる。

30

【 0 0 4 4 】

前記ガラス基板の 2 1 内部空間 2 8 1 を分割するキャビティフレームは、前記第 2 区域の第 2 厚さより厚くてもよく、前記第 1 区域 2 2 1 の第 1 厚さと実質的に同じであってもよい。

40

【 0 0 4 5 】

前記内部空間 2 8 1 キャビティフレーム 2 8 6 により分割された分割空間は、それぞれ異なる面積を有してもよく、縦線または横線を基準に実質的に同じ面積を有してもよい。

【 0 0 4 6 】

前記キャビティフレーム 2 8 6 は、第 1 面 2 1 3 から第 2 面 2 1 4 に向かう厚さ方向に一定の断面を有して延伸されてもよい。前記キャビティフレーム 2 8 6 は、前記厚さ方向に貫通されるフレーム貫通孔 2 8 7 を有してもよい。

【 0 0 4 7 】

50

前記キャビティフレーム 286 は、前記第 1 面を上方又は下方から見た時に前記内部空間 281 が複数の矩形空間に分割されるように分割領域形成し、所定の幅 W_f を有することができる。更に、前記キャビティフレームは、縦フレームおよび横フレームを含んでもよく、縦フレームおよび横フレームの厚さ（高さ）が同じでも異なっていてもよい。

【0048】

前記キャビティフレーム 286 は、前記フレーム貫通孔 287 の直径に対して 1.5 倍以上又は 2 倍以上の幅を有してもよい。前記キャビティフレームは、前記フレーム貫通孔の直径に対して 5 倍以下又は 4 倍以下の幅を有してもよい。この際、前記直径は、前記フレーム貫通孔の最大直径を基準にすることができる。このような幅を有するキャビティフレームは、内部空間 281 を安定的に分割しつつ、適切な強度及び耐久性を満足させることができる。

10

【0049】

前記キャビティフレーム 286 は、前記ガラス基板と実質的に同じ材料で構成されてもよい。

【0050】

前記フレーム貫通孔 287 の直径 R は、 $30\ \mu\text{m} \sim 500\ \mu\text{m}$ であってもよく、 $50\ \mu\text{m} \sim 450\ \mu\text{m}$ であってもよく、 $100\ \mu\text{m} \sim 400\ \mu\text{m}$ であってもよい。また、前記フレーム貫通孔の直径を R とし、前記フレーム貫通孔の貫通方向の長さを L とした場合、比 L/R は、 $1 \sim 10$ であってもよく、 $2 \sim 8$ であってもよい。このようなフレーム貫通孔の直径及び長さの特徴を有する場合、機械的特性、熱的特性および電気的特性が向上したパッケージング基板を提供することができる。

20

【0051】

前記フレーム貫通孔 287 は、少なくとも一部または全部が第 1 材料で充填されてもよい。前記第 1 材料は金属、有機材料、セラミックなどであってもよく、例示的に銅、エポキシ、シリカおよびそれらの組み合わせからなる群から選択されるいずれか 1 つであってもよい。このような材料で前記フレーム貫通孔を充填することにより、熱放出を容易にし、機械的特性を向上させることができる。

【0052】

また、前記フレーム貫通孔 287 は、めっき層またはコーティング層を含んでもよく、前記コーティング層の材料は第 1 材料であってもよく、めっき層は、コア分配層 24 に接続されてもよい。

30

【0053】

前記フレーム貫通孔 287 は、複数設けられていてもよく、前記キャビティフレーム 286 の幅方向と垂直な方向に所定の間隔を有して整列して配置されてもよい。また、前記フレーム貫通孔 287 は、不規則な間隔を有してもよい。前記フレーム貫通孔間に一定の間隔を有する場合、あるフレーム貫通孔とこれに隣接するフレーム貫通孔との間隔 D_h は、前記フレーム貫通孔の直径に対して 1 倍以上であってもよく、1 倍 \sim 10 倍であってもよく、2 倍 \sim 5 倍であってもよい。このような間隔を有する場合、機械的特性、熱的特性、電気的特性が向上したパッケージング基板を提供することができる。

【0054】

前記フレーム貫通孔 287 は、貫通方向に垂直な断面の形状が円形、楕円形、多角形などであってもよく、例えば円形であり得る。

40

【0055】

前記フレーム貫通孔 287 は、貫通方向と垂直な断面の形状が貫通方向全域において同一であってもよく、前記フレーム貫通孔 287 は、中心において最小面積を有し、外部に向かうにつれて面積が大きくなってもよい。

【0056】

前記ガラス基板 21 は、例えばホウケイ酸ガラス基板、無アルカリガラス基板等であってもよいが、これらに限定されるものではない。

【0057】

50

前記ガラス基板 2 1 は、前記第 1 区域 2 2 1 で測定した厚さである第 1 厚さ 2 1 1 が 1, 5 0 0 μm 以下であってもよく、3 0 0 μm ~ 1, 2 0 0 μm であってもよく、3 5 0 μm ~ 9 0 0 μm であってもよく、3 5 0 μm ~ 7 0 0 μm であってもよい。より薄いパッケージング基板を形成することが電气的信号伝達をより効率化できるという点で有利であるが、前記パッケージング基板はパッケージングの支持体としての役割もしなければならないため、上記の厚さを適用することが好ましい。

【 0 0 5 8 】

前記ガラス基板 2 1 の前記第 2 区域 2 2 2 の厚さである第 2 厚さ 2 1 2 は、前記第 1 厚さの 8 0 % 以下であってもよく、2 0 % ~ 8 0 % であってもよく、3 0 % ~ 7 0 % であってもよい。具体的に、前記第 2 厚さは、1, 0 0 0 μm 以下であってもよく、7 0 0 μm 以下 10
であってもよく、5 0 0 μm 以下であってもよい。また、前記第 2 厚さは、1 0 0 μm ~ 5 0 0 μm であってもよく、1 0 0 μm ~ 3 5 0 であってもよい。また、前記第 1 区域 2 2 1 と第 2 区域の厚さの差は、キャビティ素子 4 0 の厚さより大きくてもよい。このような厚さで第 2 区域のガラス基板を適用する場合、より効率的かつ安定的にキャビティ構造を形成することができる。

【 0 0 5 9 】

前記ガラス基板 2 1 の厚さは、ガラス基板上に配置される導電層等の厚さを除いたガラス基板自体の厚さを意味する。

【 0 0 6 0 】

前記内部空間 2 8 1 の高さは、5 0 μm ~ 5 0 0 μm であってもよく、1 5 0 μm ~ 4 5 20
0 μm であってもよく、2 5 0 μm ~ 4 0 0 μm であってもよい。

【 0 0 6 1 】

前記コアビア 2 3 は、前記ガラス基板 2 1 の予め定められた領域を除去することで形成されてもよい。具体的に、前記コアビア 2 3 は、ガラス板を物理的及び/または化学的にエッチングして形成することができる。

【 0 0 6 2 】

前記コアビア 2 3 は、前記第 1 面に接する第 1 開口部 2 3 3、前記第 2 面に接する第 2 開口部、及び第 1 開口部 2 3 3 から第 2 開口部 2 3 4 までのコアビア全体において最も小さい内径を有する最小内径部 2 3 5 を含んでもよい。

【 0 0 6 3 】

前記第 1 開口部の直径である第 1 開口部直径 C V 1 と前記第 2 開口部の直径である第 2 開口部直径 C V 2 は、実質的に異なってもよく、実質的に同一であってもよい。直径が実質的に異なる前者の場合、前記コアビア 2 3 を断面で見た形態が略四角形であって、全体として円柱状のコアビアであってもよく、ガラス基板の厚さを基準にして中央部分においてコアビアの内径がやや狭くなる全体的にバレル状のコアビアであってもよい。直径が実質的に等しい後者の場合、2 つの開口部 C V 1、C V 2 のうちの一方が他方よりも小さい直径を有し、実質的にその断面が台形である切り欠き円錐形のコアビアであってもよい。

【 0 0 6 4 】

前記第 1 開口部直径 C V 1 及び前記第 2 開口部直径 C V 2 は、それぞれ 1 5 0 μm 以下であって 40
もよく、4 0 μm ~ 2 0 0 μm 以下であってもよく、7 0 μm ~ 1 2 0 μm 以下であって 40
もよい。

【 0 0 6 5 】

前記コアビア 2 3 がビアの少なくとも一部に狭くなる区域を有する場合、狭くなった最小内径部 C V 3 の大きさが第 1 開口部直径 C V 1 と第 2 開口部口径 C V 2 のうち大きい方を基準に 5 0 % ~ 9 9 % の大きさであってもよく、7 0 % ~ 9 5 % の大きさであってもよい。このような範囲で狭くなった内径の大きさを有する場合、電気伝導性層などがより円滑に形成され得る。

【 0 0 6 6 】

前記最小内径部 C V 3 の平均直径は、具体的に 5 0 μm ~ 9 5 μm であってもよく、5 5 50
 μm ~ 8 5 μm であってもよく、6 0 μm ~ 7 0 μm であってもよい。

【 0 0 6 7 】

前記第 1 開口部直径 C V 1 と前記第 2 開口部直径 C V 2 のうち大きいものである対象開口部は、その平均直径が $70 \mu\text{m} \sim 120 \mu\text{m}$ であってもよく、 $80 \mu\text{m} \sim 105$ であってもよい。

【 0 0 6 8 】

前記最小内径部 C V 3 は、前記コアビアの長さ全体を 100% としたとき、前記第 1 開口部を基準にして 40% ~ 60% の地点に位置してもよく、45% ~ 55% の地点に位置してもよい。このようにコアビアの長さ全体を基準にして、前記最小内径部が上記で説明した位置に存在する場合、パッケージング基板の電気伝導性層の設計及び電気伝導性層の形成過程がより容易になり得る。

【 0 0 6 9 】

前記第 1 開口部の直径 C V 1 及び前記第 2 開口部の直径 C V 2 のうち大きいもので測定した電気伝導性層の厚さは、コアビアのうち最小内径を有する部分 C V 3 上に形成された電気伝導性層の厚さと同じかそれより厚くてもよい。

【 0 0 7 0 】

前記コアビア 2 3 は、前記ガラス基板 2 1 の単位面積 ($1 \text{cm} \times 1 \text{cm}$) を基準にして 100 個 ~ 3000 個が位置してもよく、100 個 ~ 2500 個が位置してもよく、225 個 ~ 1024 個が位置してもよい。このようなピッチ条件を満足する場合、電気伝導性層などの形成及びパッケージング基板の性能を向上させることができる。

【 0 0 7 1 】

前記コアビア 2 3 は、前記ガラス基板 2 1 に 1.2 mm 以下のピッチで位置してもよく、0.12 mm ~ 1.2 mm のピッチで位置してもよく、0.3 mm ~ 0.9 mm のピッチで位置してもよい。この場合、ガラス基板の機械的物性を一定水準以上に維持しながら電気伝導性層などを形成するのに有利になる。

【 0 0 7 2 】

前記コア分配層 2 4 は、前記ガラス基板 2 1 の第 1 面と第 2 面とをコアビアを介して電氣的に接続する電気伝導性層であるコア分配パターン 2 4 1 及び前記コア分配パターンを覆うコア絶縁層 2 2 3 を含んでもよい。

【 0 0 7 3 】

前記コア層 2 2 は、その内部にコアビア 2 3 を介して電気伝導性層が形成され、ガラス基板 2 1 を横切る電氣的通路として機能し、比較的短い距離でガラス基板の上部と下部とを接続し、より速い電気信号伝達及び低損失の特性を有することができる。

【 0 0 7 4 】

前記コア分配パターン 2 4 1 は、前記ガラス基板の第 1 面 2 1 3 と第 2 面 2 1 4 とをコアビア 2 3 を介して電氣的に接続するパターンであって、具体的には、前記第 1 面 2 1 3 の少なくとも一部上に配置される電気伝導性層である第 1 面分配パターン 2 4 1 a と、前記第 2 面 2 1 4 の少なくとも一部上に配置される電気伝導性層である第 2 面分配パターン 2 4 1 c と、前記第 1 面分配パターンと前記第 2 面分配パターンとを前記コアビア 2 3 を介して互いに電氣的に接続する電気伝導性層であるコアビア分配パターン 2 4 1 b とを含む。前記各電気伝導性層としては、例えば、銅めっき層が適用され得るが、これに限定されない。

【 0 0 7 5 】

前記ガラス基板 2 1 は、上部及び下部にそれぞれ半導体素子部 3 0 及びメインボード 1 0 を接続する中間役割及び仲介役割をし、前記コアビア 2 3 は、これらの電氣的信号を伝達する通路としての役割をするので、信号の伝達を円滑にする。

【 0 0 7 6 】

上部層 2 6 は、第 1 面 2 1 3 上に配置されてもよい。前記上部層は、上部分配層 2 5 と、前記上部分配層上に配置される上面接続層 2 7 とを含み、前記上部層 2 6 の最上面は、半導体素子部の接続電極が直接当接し得る開口部が形成されたカバー層 6 0 によって保護されてもよい。

10

20

30

40

50

【0077】

前記上部分配層25は、前記第1面上に配置される上部絶縁層253と、予め定められたパターンを有し、前記コア分配層24とその少なくとも一部が電氣的に接続される電気伝導性層として前記上部絶縁層に内蔵される上部分配パターン251とを含む。

【0078】

前記上部絶縁層253としては、半導体素子やパッケージング基板に絶縁体層として適用可能なものであればいずれの材料でもよく、例えば、フィラーが含まれたエポキシ樹脂などが適用され得るが、本願発明ではこれに限定されない。

【0079】

前記絶縁体層は、コーティング層を形成して硬化することにより形成されてもよく、未硬化又は半硬化状態でフィルム化された絶縁体フィルムを前記コア層にラミネートして硬化する方法で形成されてもよい。このとき、感圧ラミネーション方法を適用すると、コアピア内部の空間まで前記絶縁体が埋め込まれ、効率的な工程進行が可能である。また、複層の絶縁体層を積層して適用したときにも絶縁体層間の実質的な区分が難しくなる場合があり、複数の絶縁体層を上部絶縁層と通称する。また、コア絶縁層223及び上部絶縁層253には実質的に同一の絶縁材料が適用されてもよく、このとき、その境界が実質的に区分されない場合がある。

10

【0080】

前記上部分配パターン251は、予め設定された形態で前記上部絶縁層253内に配置される電気伝導性層を意味し、例えば、ビルド-アップレイヤ方式で形成され得る。具体的には、絶縁体層を形成し、絶縁体層の不必要な部分を除去した後、銅めっきなどの方式で電気伝導性層を形成し、選択的に電気伝導性層のうち不必要な部分を除去した後、この電気伝導性層上に再び絶縁体層を形成し、再び不必要な部分を除去した後、めっきなどの方式で電気伝導性層を形成する方式を繰り返すことによって、意図するパターンで垂直又は水平方向に電気伝導性層が形成された上部分配パターン251を形成することができる。

20

【0081】

前記上部分配パターン251は、コア層22と半導体素子部30との間に位置するので、半導体素子部30への電氣的信号の伝達が円滑に進められ、意図する複雑なパターンが十分に収容され得るように、少なくともその一部に微細パターンを含むように形成する。このとき、微細パターンの幅及び間隔は、それぞれ4 μm 未満であってもよく、3.5 μm 以下であってもよく、3 μm 以下であってもよく、2.5 μm 以下であってもよく、1 μm ~2.3 μm であってもよい(以下、微細パターンに対する説明は同一である)。

30

【0082】

前記上部分配パターン251に微細パターンが含まれるように形成するために、実施例では少なくとも2つ以上の方法を適用する。その一つは、パッケージング基板としてガラス基板21を適用する。ガラス基板は、表面粗さRaが10オングストローム以下であって、かなり平坦な表面特性を有することができ、その結果、微細パターン形成に及ぼす支持体基板表面モロロジーの影響を最小化することができる。他の一つの方法は、絶縁体の特性にある。前記絶縁体の場合、レジンと共にフィラー成分を適用することが多いが、前記フィラーはシリカ粒子などの無機系粒子が適用されてもよい。無機系粒子がフィラーとして絶縁体に適用される場合、この無機系粒子の大きさが微細パターンの形成有無に影響を及ぼし得るが、実施例で適用する絶縁体は、その平均直径が約150nm以下の粒子型フィラーを含み、具体的には、平均直径が約1nm~約100nmの粒子型フィラーを含む。このような特徴は、絶縁体に必要な物性を一定水準以上に維持しながら数マイクロメートル単位の幅を有する電気伝導性層の形成に絶縁体自体が及ぼす影響を最小化し、微細な表面モロロジーにより、その表面上に優れた付着力を有する微細パターンを形成することを促進する。

40

【0083】

前記上面接続層27は、前記上部分配パターン251とその少なくとも一部とが電氣的に接続され、前記上部絶縁層253に位置する上面接続パターン272と、前記半導体素子

50

部 3 0 と前記上面接続パターン 2 7 2 とを電氣的に接続する上面接続電極 2 7 1 とを含む。前記上面接続パターン 2 7 2 は、上部絶縁層 2 5 3 の一面上に位置してもよく、少なくともその一部が上部絶縁層上に露出しながら埋め込まれていてもよい。例えば、前記上面接続パターンが前記上部絶縁層の一面上に位置する場合は、めっきなどの方式で前記上部絶縁層を形成することができ、前記上面接続パターンの一部が上部絶縁層上に露出しながら埋め込まれている場合は、銅めっき層などを形成した後、表面研磨、表面エッチングなどの方法で絶縁層又は電気伝導性層の一部が除去されたものであってもよい。

【 0 0 8 4 】

前記上面接続パターン 2 7 2 は、上記で説明した上部分配パターン 2 5 1 のように、微細パターンを少なくともその一部に含むことができる。前記微細パターンを含む上面接続パターン 2 7 2 は、より多数個の素子を狭い面積下でも電氣的に接続できるようにし、素子間又は外部との電氣的信号の接続をより円滑にし、より集積化されたパッケージングが可能である。

10

【 0 0 8 5 】

前記上面接続電極 2 7 1 は、前記半導体素子部 3 0 と端子などで直接接続されてもよく、前記半導体素子部 3 0 とソルダーボールなどの素子接続部 5 1 を介して接続されてもよい。

【 0 0 8 6 】

前記キャビティ部 2 8 は、前記第 2 区域の上側及び / 又は下側に配置され、前記コア分配層と電氣的に接続されるキャビティ分配層 2 8 2 及びキャビティ素子 4 0 が配置される内部空間 2 8 1 を含む。

20

【 0 0 8 7 】

前記キャビティ部 2 8 は、前記キャビティフレーム 2 8 6 によって前記内部空間 2 8 1 が複数の領域に分割される。

【 0 0 8 8 】

具体的に、前記第 2 区域 2 2 2 は、第 1 区域 2 2 1 と比較してガラス基板の厚さが薄く、その厚さの差によって形成される内部空間 2 8 1 にはキャビティ素子 4 0 が配置されてもよい。また、ガラス基板 2 1 に形成されたコアピア及びコア分配層は、キャビティ素子と外部素子とを接続する電氣的な接続構造として機能する。

【 0 0 8 9 】

前記キャビティ部 2 8 は、実質的に円形、三角形、四角形、六角形、八角形、十字形等その形状は限定されないが、本発明では四角形を例示的に説明する。

30

【 0 0 9 0 】

前記キャビティ部 2 8 の一横面をキャビティの第 1 横面 2 8 1 a と称し、前記キャビティの第 1 横面と異なる面をキャビティの第 2 横面 2 8 1 b と称すると、前記キャビティの第 1 横面 2 8 1 a 及び前記キャビティの第 2 横面 2 8 1 b のうち少なくとも一つに前記支持部 2 8 5 が配置されてもよい。

【 0 0 9 1 】

また、互いに隣り合うキャビティの第 1 横面 2 8 1 a 及びキャビティの第 2 横面 2 8 1 b には、それぞれ第 1 横面支持部 2 8 5 a 及び第 2 横面支持部 2 8 5 b が配置されてもよい。

【 0 0 9 2 】

40

前記第 1 横面支持部 2 8 5 a 及び前記第 2 横面支持部 2 8 5 b は、前記キャビティ素子 4 0 を支持し、その位置を固定する役割をする。前記支持部を 1 個のみ適用する場合に比べて、前記支持部を互いに隣り合うように 2 個以上適用する場合、キャビティ素子の位置をより堅固に固定することができる。

【 0 0 9 3 】

前記支持部 2 8 5 としては、スプリングなどの弾性力を有するものが適用されてもよい。具体的に、前記支持部 2 8 5 は、前記ガラス基板 2 1 と同じ材料で形成されたものであって、前記キャビティ素子 4 0 によって前記支持部に加えられる力の反対方向に弾性力を有するガラススプリング支持部であってもよい。

【 0 0 9 4 】

50

前記キャビティ素子 40 は、概して円筒形、直方体形又は多角形であってもよい。

【0095】

前記キャビティの第1横面 281a とキャビティの第2横面 281b とが互いに接する地点での角度は、45度～135度であってもよく、75度～105度であってもよく、実質的に90度であってもよい。前記キャビティの第1横面 281a 及びキャビティの第2横面 281b のそれぞれに設けられた横面支持部により、キャビティの第1横面 281a とキャビティの第2横面 281b 自体が接する地点での角度が前記のような範囲の任意の角度である場合にも、前記キャビティ素子 40 を安定的に支持するのに有利になる。

【0096】

弧形態を有する前記第1横面支持部 285a がキャビティ素子と出会う地点での接線（第1接線）と、弧形態を有する前記第2横面支持部 285b がキャビティ素子と出会う地点での接線（第2接線）とが互いに出会う地点（第1接線と第2接線との接点）での第1接線と第2接線との間の角度は、45度～135度であってもよく、75度～105度であってもよく、実質的に90度であってもよい。このとき、キャビティ素子の外形が角張った場合はもちろん、キャビティ素子の外形が角張った形態でない場合にも、その位置を固定するのにより有利になり得る。

10

【0097】

前記第1横面支持部 285a の最大突出部までの長さである第1横面支持部の長さ（CS1）は、前記キャビティの第1横面の長さ（C1）を100%としたとき、15%以下であってもよく、10%以下であってもよい。また、前記第1横面支持部の長さ（CS1）は、前記キャビティの第1横面の長さ（C1）を100%としたとき、1%以上であってもよく、3%以上であってもよい。

20

【0098】

前記第2横面支持部 285b の最大突出部までの長さである第2横面支持部の長さ（CS2）は、前記キャビティの第1横面の長さ（C2）を100%としたとき、15%以下であってもよく、10%以下であってもよい。また、前記第2横面支持部の長さ（CS2）は、前記キャビティの第1横面の長さ（C2）を100%としたとき、1%以上であってもよく、3%以上であってもよい。

【0099】

前記支持部 285 は、前記ガラス基板 21 と直接接続されて一体をなすものであってもよい。この場合、ガラス基板のエッチングを通じて前記支持部 285 を形成できるので、ガラス基板の製造過程をより単純化することができ、弾性力を有する支持部の物理的特性がガラス基板とほぼ類似するので、パッケージング基板の物性を制御するのにより有利になり得る。

30

【0100】

前記支持部 285 は、前記キャビティ部の横面で導出されて挿入されるキャビティ素子を支持する役割をするものであれば十分であり、具体的には、キャビティ部の横面の一地点で他の地点を接続する弧形態を有してもよく、横面の一末端で他の末端を接続する弧形態を有してもよい。前記支持部が弧形態を有する場合、前記支持部の長さ（CS1、CS2）は、前記弧形態の支持部の中間部分で測定され得る。

40

【0101】

前記第1横面支持部 285a の最も突出した位置で向かい合う前記キャビティ部の横面までの長さ、及び前記第2横面支持部 285b の最も突出した位置で向かい合う前記キャビティ部の横面までの長さは、それぞれ前記キャビティ部に挿入されるキャビティ素子の対応する位置での長さと同じか、それより10%以内に小さくてもよく、それより0.1%～8%小さいことが好ましい。この場合、前記支持部がキャビティ素子を安定的に固定するのにより有利になる。

【0102】

前記キャビティ部 28 は、前記キャビティ素子 40 と前記コア分配層 24 とを電氣的に接続する電気伝導性層であるキャビティ分配パターン 283 を含むことができ、前記キャビ

50

ティ分配パターン 283 は、前記第 1 区域と前記第 2 区域との境界にガラス基板 21 の厚さ方向の面上に配置される電気伝導性層である側壁面パターン 283 a を含むことができる。但し、前記側壁面パターンは、前記支持部が形成された横面を除いた面に形成されることが好ましい。

【0103】

前記側壁面パターン 283 a は、電気的な信号を伝達する役割をすると共に、キャビティ素子などによってキャビティ部 28 に発生する熱を外部に移動させる放熱層としても機能することができる。

【0104】

具体的には、前記キャビティ分配層 282 は、前記内部空間内にその少なくとも一部が位置するキャビティ素子 40 及び前記コア分配層と電氣的に接続される電気伝導性層であるキャビティ分配パターン 283 及び/又は側壁面パターン 283 a を覆う絶縁層であるキャビティ絶縁層 284 を含むことができる。

10

【0105】

前記キャビティ分配パターン 283 は、前記パッケージング基板に形成されていてもよく、キャビティ素子 40 の電極 42 (接続電極) などの端子形態で提供されてもよい。

【0106】

前記キャビティ素子 40 は、トランジスタを含んでもよい。前記キャビティ素子 40 として、メインボード 10 と半導体素子部 30 との間の電気信号を適切なレベルに変換する役割を果たすトランジスタなどの素子が適用される場合、パッケージング基板 20 の通路にトランジスタ等が適用される形態となり、より効率的且つ高速な半導体装置 100 を提供することができる。

20

【0107】

前記キャビティ素子 40 は、キャパシタなどの受動素子が個別的に挿入されて適用されてもよく、絶縁体層 46 (キャビティ素子絶縁層) 間に埋め込まれている (embedd ed) 形態で多数の受動素子が含まれた素子グループが、電極が露出するように形成された後、キャビティ素子内に挿入されてもよい。後者の場合は、パッケージング基板製造の作業性をより円滑にすることができ、複雑な素子間の空間に十分且つ高い信頼度で絶縁層を位置させるのにより有利になる。また、前記キャビティ素子 40 の電極と接する第 2 区域のコアビア 232 は、充填ビア 283 c の形態で形成されたコア分配パターンを有することができる。例えば、第 1 区域のコアビア 231 上に形成されるコア分配パターンであるコアビア分配パターン 241 b は、内部にコア絶縁層が充填される形態で、金属層などの電気伝導性層の側面から見たときに内部に空間が形成され得るが、前記キャビティ素子 40 と接続されるコアビアの場合、これと異なり、その内部に電気伝導性層で充填された充填ビア 283 c の形態を有することができる。この場合、キャパシタなどが配置されるキャビティ素子の電力伝達がより円滑になり、パッケージング基板の特性をより向上させることができる。

30

【0108】

具体的に、キャビティ素子 40 は、その下面に形成された接続電極 42 で直接または下部層を介してメインボード 10 と電氣的に接続してもよい。また、キャビティ素子は、その上面に形成された接続電極を介して直接または上部層を介して半導体素子部 30 と電氣的に接続してもよい。

40

【0109】

このように前記キャビティ部が前記第 2 区域の上側又は下側に配置される場合、キャビティ素子の両側に存在する接続電極のうち少なくとも一つの接続電極を前記ガラス基板の上部層又は下部層と直接接続したり、半導体素子 30 又はメインボード 10 と直接接続したりすることができる、より簡単な構造の半導体装置を提供することができる。

【0110】

前記メインボード 10 は、前記コア層 22 の第 2 面 214 の少なくとも一部に配置されるコア分配層である第 2 面分配パターン 241 c とメインボードの端子とが直接接続されも

50

よく、ソルダーボールなどのボード接続部を介して電氣的に接続されてもよい。また、第2面分配パターン241cは、前記コア層22の下部に位置する下部層29を介してメインボード10と接続されてもよい。

【0111】

前記下部層29は、下部分配層291及び下面接続層292を含む。

【0112】

前記下部分配層291は、i)前記第2面214とその少なくとも一部とが接する下部絶縁層291b、及びii)前記下部絶縁層に内蔵(埋設)され、予め定められたパターンを有するものであって、前記コア分配層とその少なくとも一部とが電氣的に接続される下部分配パターン291aを含む。

【0113】

前記下面接続層292は、i)前記下面接続パターンと電氣的に接続される下面接続電極292aを含み、ii)前記下部分配パターンとその少なくとも一部とが電氣的に接続され、前記下部絶縁層の一面上に少なくともその一部が露出する下面接続パターン292bをさらに含んでもよい。

【0114】

前記下面接続パターン292bは、メインボード10と接続される部分におけるより効率的な電氣的信号の伝達のために、前記上面接続パターン272と異なり、微細パターンより幅が広い非微細パターンで形成され得る。

【0115】

前記半導体素子部30と前記メインボード10との間に配置されるパッケージング基板20には、前記ガラス基板21以外に実質的に追加的な他の基板を適用しないことを発明の特徴の一つとする。

【0116】

パッケージング基板の製造方法

本発明のパッケージング基板の製造方法は、ガラス基板の第1面及び第2面の予め定められた位置に欠陥を形成する準備ステップ、エッチング液を前記欠陥が形成されたガラス基板に加えて、コアビアが形成されたガラス基板を設けるエッチングステップ、前記コアビアが形成されたガラス基板の表面をめっきすることによって電気伝導性層であるコア分配層を形成し、コア層を製造するコア層製造ステップ、及び前記コア層の一面上に、絶縁層で覆われた電気伝導性層である上部分配層を形成する上部層製造ステップを含むことで、上記パッケージング基板を製造する。

【0117】

前記コア層製造ステップは、前記コアビアが形成されたガラス基板の表面に、アミン基を有するナノ粒子を含む有・無機複合プライマー層を形成し、前処理されたガラス基板を設ける前処理過程、及び前記前処理されたガラス基板に金属層をめっきするめっき過程を含んでもよい。

【0118】

前記コア層製造ステップと前記上部層製造ステップとの間には絶縁層形成ステップがさらに含まれてもよい。

【0119】

前記絶縁層形成ステップは、絶縁体フィルムを前記コア層上に位置させた後、感圧ラミネートを行うことによってコア絶縁層を形成するステップであってもよい。

【0120】

以下では、パッケージング基板の製造方法をより詳細に説明する。

【0121】

1)準備ステップ(ガラス欠陥形成過程):平坦な第1面及び第2面を有するガラス基板を準備し、コアビアの形成のために予め定められた位置のガラス表面に欠陥(溝)を形成する。前記ガラス基板としては、電子装置の基板などに適用されるガラス基板が適用可能であり、例えば、無アルカリガラス基板などが適用され得るが、これに限定されない。市

10

20

30

40

50

販の製品として、コーニング社、ショット社、AGCなどの製造社で製造した製品が適用され得る。このとき、ガラス基板の一部が除去されることによりキャビティ部が形成されたガラス基板が適用されてもよく、平坦なガラス基板を接合することによってキャビティ部を有するガラス基板が適用されてもよく、平らなガラス基板のキャビティ部にも以下で説明する欠陥を形成し、コアビアとキャビティ部を同時に製造することもできる。また、前記キャビティ部の製造と同時に又は別途にキャビティフレーム、フレーム貫通孔及び支持部も形成することができる。前記欠陥（溝）の形成には、機械的なエッチング、レーザー照射などの方式が適用され得る。

【0122】

2-1) エッチングステップ（コアビア形成ステップ）：欠陥（溝）が形成されたガラス基板は、物理的又は化学的なエッチング過程を通じてコアビアを形成する。エッチング過程で、ガラス基板の欠陥部分にビアを形成すると同時に、ガラス基板の表面も同時にエッチングされ得る。このようなガラス表面のエッチングを防止するために、マスキングフィルムなどを適用することもできるが、マスキングフィルムを適用して除去する過程の煩雑さなどを考慮した上で、欠陥のあるガラス基板自体をエッチングすることができ、この場合、最初のガラス基板の厚さよりも、コアビアを有するガラス基板の厚さが多少薄くなってもよい。

10

【0123】

化学的なエッチングは、フッ酸及び/又は硝酸が含まれたバス内に溝が形成されたガラス基板を位置させ、超音波処理などを加えることによって進められ得る。このとき、前記フッ酸濃度は、0.5 M以上であってもよく、1.1 M以上であってもよい。前記フッ酸濃度は、3 M以下であってもよく、2 M以下であってもよい。前記硝酸濃度は、0.5 M以上であってもよく、1 M以上であってもよい。前記硝酸濃度は2 M以下であってもよい。前記超音波処理は、40 Hz ~ 120 Hzの周波数で行われてもよく、60 Hz ~ 100 Hzの周波数で行われてもよい。

20

【0124】

2-2) キャビティ部、キャビティフレーム及びフレーム貫通孔の形成ステップ：前記エッチング過程と同時に又は別途に前記ガラス基板の一部を除去することによってキャビティ部、キャビティフレーム及びフレーム貫通孔を形成する。具体的には、上記でコアビアを形成するための欠陥以外に、キャビティ部、フレーム貫通孔を形成するための欠陥を別途に形成する。その後、前記コアビアの形成のためのエッチングと同時に又は別途にエッチング過程を通じて第1区域より薄い厚さを有する第2区域、キャビティフレームを有するガラス基板を製造する。さらに、キャビティ部の内部の一部が除去されないように照射されるレーザーを設定することにより、前記エッチング過程でコアビアとキャビティ部を形成すると同時に支持部も形成することができる。

30

【0125】

3-1) コア層製造ステップ：ガラス基板上に電気伝導性層を形成する。前記電気伝導性層としては、代表的に銅金属を含む金属層が適用され得るが、これに限定されない。

【0126】

ガラスの表面（ガラス基板の表面及びコアビアの表面を含む）及び銅金属の表面は、その性質が異なることから付着力が劣る方である。実施例では、ドライ方式とウェット方式の二つの方法でガラス表面と金属との間の付着力を向上させた。

40

【0127】

ドライ方式は、スパッタリングを適用する方式、すなわち、金属スパッタリングでガラス表面及びコアビアの内部にシード層を形成する方式である。前記シード層の形成時には、チタン、クロム、ニッケルなどの異種金属が銅などと共にスパッタリングされてもよく、この場合、ガラスの表面モロロジーと金属粒子とが相互作用するアンカー効果などによってガラス-金属付着力が向上すると考えられる。

【0128】

ウェット方式は、プライマー処理をする方式であって、アミンなどの官能基を有する化合

50

物質で前処理をすることによってプライマー層を形成する方式である。意図する付着力の程度によってシランカップリング剤で前処理をした後、アミン官能基を有する化合物又は粒子でプライマー処理をすることができる。上記でも言及したように、実施例の支持体基板は、微細パターンを形成できる程度の高性能であることを必要とし、これは、プライマー処理後にも維持されなければならない。よって、このようなプライマーがナノ粒子を含む場合は、平均直径が150nm以下の大きさを有するナノ粒子が適用されることが好ましく、例えば、アミン基を有する粒子としてはナノ粒子が適用されることが好ましい。前記プライマー層は、例示的にMEC社のCZシリーズなどで製造する接合力改善剤が適用されることによって形成され得る。

【0129】

前記シード層/プライマー層においては、電気伝導性層の形成が不必要な部分を除去した状態で又は除去していない状態で選択的に電気伝導性層が金属層を形成することができる。また、前記シード層/プライマー層21cは、電気伝導性層の形成が必要な部分又は不必要な部分を選択的に金属めっきに活性化された状態又は不活性化された状態で処理し、以降の工程を進めることができる。例えば、前記活性化又は不活性化処理としては、一定の波長のレーザーなどの光照射処理、薬品処理などが適用され得る。金属層の形成には、半導体素子の製造に適用される銅めっき方法などが適用され得るが、これに限定されない。

【0130】

前記金属めっき時に、めっき液の濃度、めっき時間、適用する添加剤の種類などの多くの変数を調節し、形成される電気伝導性層の厚さを調節することができる。

【0131】

前記コア分配層の一部が不必要である場合は除去されてもよい。シード層の一部が除去されるか又は不活性化処理された後に金属めっきを行うことによって、予め定められたパターンで電気伝導性層を形成し、コア分配層のエッチング層が形成されてもよい。

【0132】

前記コア分配層を形成する過程で、前記支持部には、別途の電気伝導性層が形成されるか、又は別途の電気伝導性層が形成されないように調節することができる。

【0133】

また、前記キャビティ素子の電極と接続されるコアビア(第2区域のコアビア、232)の少なくとも一部は、より効率的な電力伝達などのために充填ビア283cの形態で製造されてもよく、前記めっき層形成ステップで共に又は別途の充填ビア形成ステップを通じて前記第2区域のコアビアが電気伝導性層を形成する銅などの金属で充填され、より効率的な信号伝達が可能な充填ビアを形成することができる。

【0134】

併せて、前記キャビティ素子は、以降の絶縁層形成ステップの前に挿入され得る。

【0135】

3-2) 絶縁層形成ステップ: コアビア及びフレーム貫通孔は、前記電気伝導層であるコア分配層の形成後、絶縁層で空のスペースを埋める絶縁層形成ステップを経ることができる。このとき、絶縁層としては、フィルム形態で製造されたものが適用されてもよく、例えば、感圧ラミネーション方法などによるフィルム形態の絶縁層が適用されてもよい。このように感圧ラミネーションを行うと、絶縁層が前記コアビア、フレーム貫通孔内部の空のスペースまで十分に埋め込まれ、ボイドの形成がないコア絶縁層を形成することができる。

【0136】

4) 上部層製造ステップ: コア層上に上部絶縁層及び上部分配パターンを含む上部分配層を形成するステップである。上部絶縁層は、絶縁層を形成する樹脂組成物をコーティングするか、絶縁フィルムを積層する方式で形成されてもよく、簡便には絶縁フィルムを積層することにより形成されることが好ましい。絶縁フィルムの積層は、絶縁フィルムをラミネーションして硬化する過程で行えるが、このとき、感圧ラミネーション方法を適用すると、コアビアの内部に電気伝導性層が形成されていない層などにも絶縁樹脂が十分に埋め込まれ得る。前記上部絶縁層の場合も、ガラス基板と少なくともその一部で直接当接し、その

10

20

30

40

50

結果、十分な付着力を有するものを適用する。具体的に、前記ガラス基板及び前記上部絶縁層は、ASTM D 3359による付着力テスト値が4B以上を満足する特性を有することが好ましい。

【0137】

上部分配パターンは、前記絶縁層を形成し、予め定められたパターンで電気伝導性層を形成し、不必要な部分をエッチングした後、電気伝導性層のエッチング層を形成する過程を繰り返すことによって形成されてもよく、絶縁層を挟んで隣り合うように形成される電気伝導性層の場合は、絶縁層にブラインドビアを形成した後、めっき工程を行うことにより形成されてもよい。ブラインドビアの形成のためには、レーザーエッチング、プラズマエッチングなどの乾式エッチング方式、マスキング層及びエッチング液を用いた湿式エッチング方式などが適用され得る。

10

【0138】

5) 上面接続層及びカバー層形成ステップ：上面接続パターン及び上面接続電極も、上部分配層の形成と類似する過程で形成され得る。具体的に、上面接続パターン及び上面接続電極は、絶縁層に絶縁層のエッチング層を形成し、これに再び電気伝導性層を形成した後、電気伝導性層のエッチング層を形成する方式などで形成され得るが、エッチングの方式を適用することなく、電気伝導性層のみを選択的に形成する方法で形成されてもよい。カバー層は、上面接続電極に対応する位置に開口部が形成されることによって上面接続電極が露出し、素子接続部又は素子の端子などと直接接続できるように形成され得る。

【0139】

6) 下面接続層及びカバー層形成ステップ：上記で説明した上面接続層及びカバー層形成ステップと類似する方式で下部分配層及び/又は下面接続層を形成し、選択的にカバー層を形成することができる。

20

【0140】

以上では、具現例の好ましい実施例に対して詳細に説明したが、具現例の権利範囲は、これに限定されるのではなく、次の特許請求の範囲で定義している具現例の基本概念を用いた当業者の多くの変形及び改良形態も本発明の権利範囲に属する。

【符号の説明】

【0141】

- 10：メインボード
- 100：半導体装置
- 30：半導体素子部
- 32：第1半導体素子
- 34：第2半導体素子
- 36：第3半導体素子
- 20：パッケージング基板
- 21, 21a：ガラス基板
- 213：第1面
- 214：第2面
- 22：コア層
- 223：コア絶縁層
- 23：コアビア
- 233：第1開口部
- 234：第2開口部
- 235：最小内径部
- 24：コア分配層
- 241：コア分配パターン
- 241a：第1面分配パターン
- 241b：コアビア分配パターン
- 241c：第2面分配パターン

30

40

50

- 2 5 : 上部分配層
- 2 5 1 : 上部分配パターン
- 2 5 2 : ブラインドビア
- 2 5 3 : 上部絶縁層
- 2 6 : 上部層
- 2 7 : 上面接続層
- 2 7 1 : 上面接続電極
- 2 7 2 : 上面接続パターン
- 2 8 : キャビティ部
- 2 8 1 a : キャビティの第 1 横面
- 2 8 1 b : キャビティの第 2 横面
- 2 8 2 : キャビティ分配層
- 2 8 2 b : コアキャビティ接続パターン又はキャビティ素子接続電極
- 2 8 3 : キャビティ分配パターン
- 2 8 3 a : 側壁面パターン
- 2 8 3 c : 充填ビア
- 2 8 4 : キャビティ絶縁層
- 2 8 5 : 支持部
- 2 8 6 : キャビティフレーム
- 2 8 7 : フレーム貫通孔
- 2 9 : 下部層
- 2 9 1 : 下部分配層
- 2 9 1 a : 下部分配パターン
- 2 9 1 b : 下部絶縁層
- 2 9 2 : 下面接続層
- 2 9 2 a : 下面接続電極
- 2 9 2 b : 下面接続パターン
- 4 0 : キャビティ素子
- 4 2 : キャビティ素子電極
- 4 6 : キャビティ素子絶縁層
- 5 0 : 接続部
- 5 1 : 素子接続部
- 5 2 : ボード接続部
- 6 0 : カバー層

【図面】

【図 1】

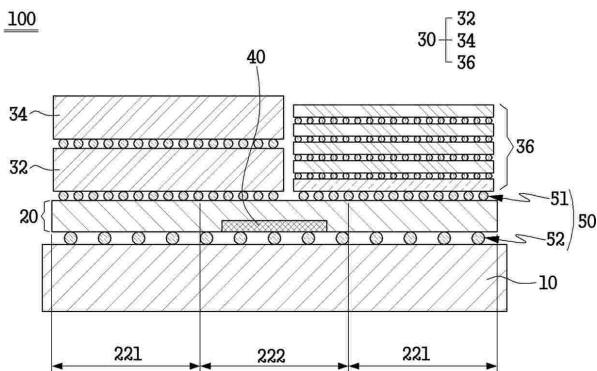


図 1

【図 2】

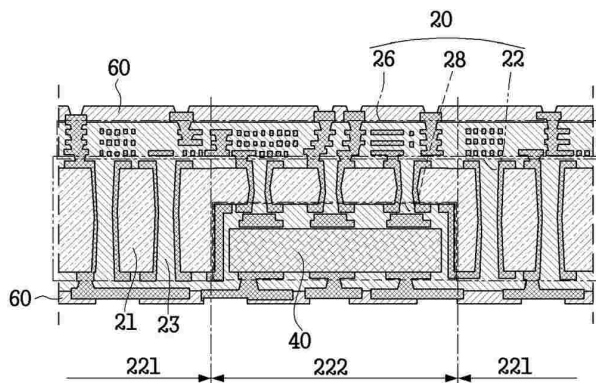


図 2

10

20

30

40

50

【 図 3 】

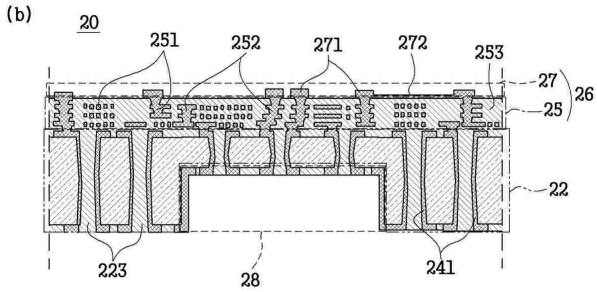
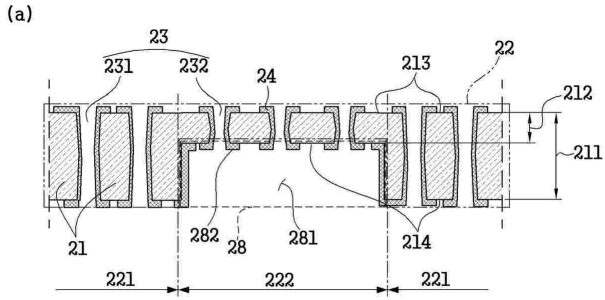


図 3

【 図 4 】

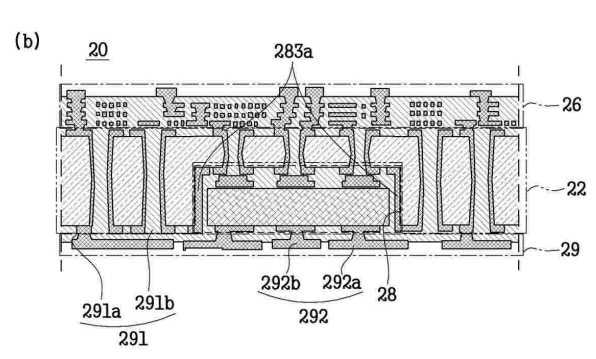
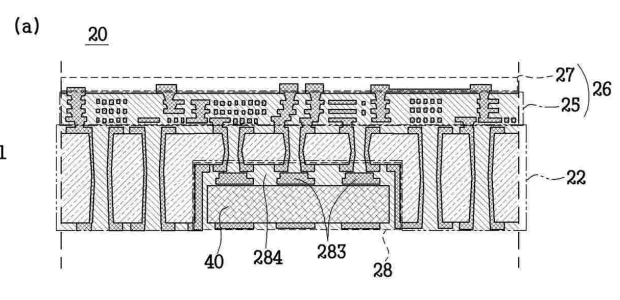


図 4

【 図 5 】

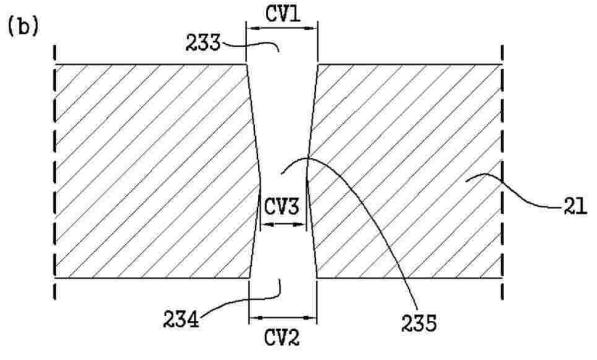
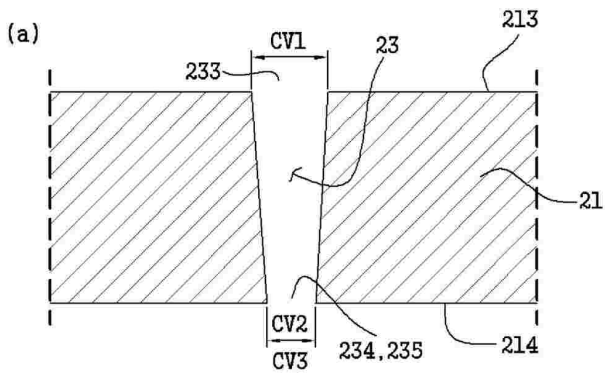


図 5

【 図 6 】

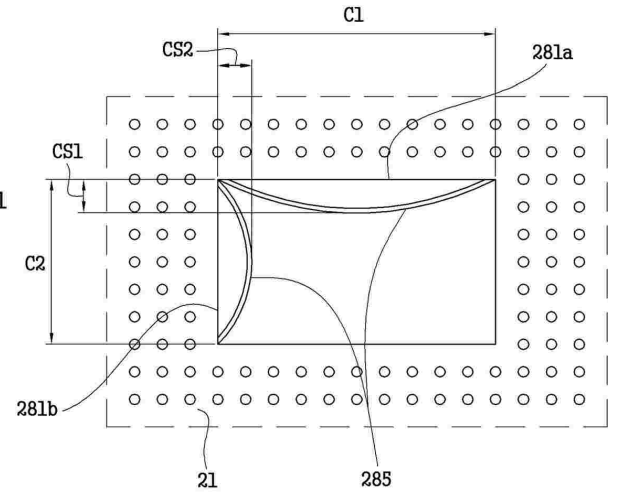


図 6

10

20

30

40

50

【 図 7 】

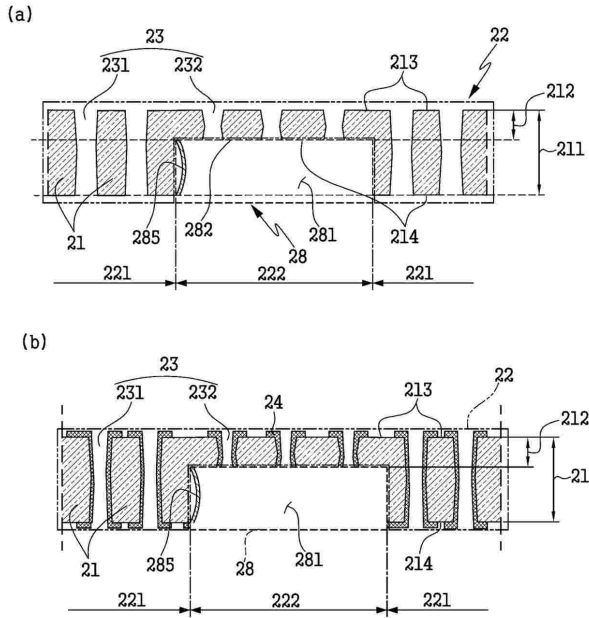


図 7

【 図 8 】

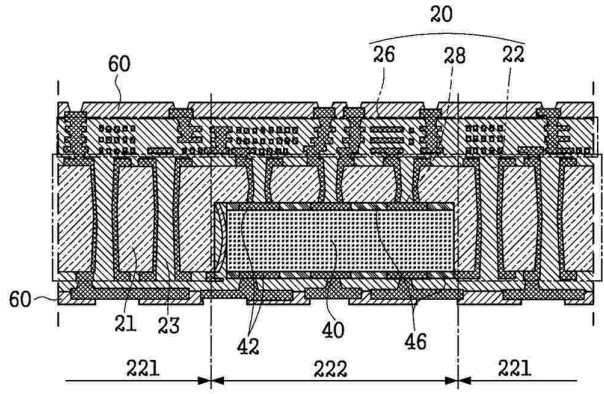


図 8

【 図 9 】

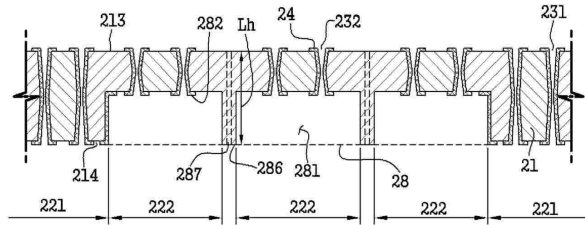


図 9

【 図 10 】

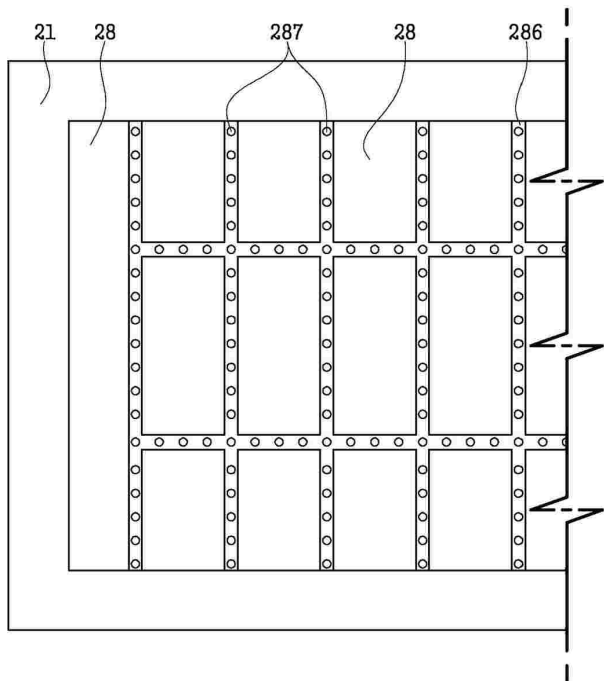


図 10


10

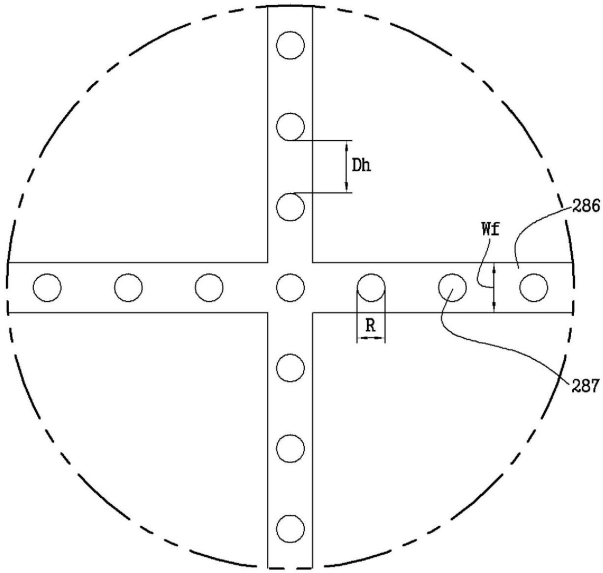
20

30

40

50

【 1 1】



 1 1

10

20

30

40

50

フロントページの続き

大韓民国、ギョング - ド、スウォン - シ、ジャンアン - グ、ジョンジャ - ロ、102、エスケイシ
ー アールアンドディ センター シーオー . . , エルティーディー .

(72)発明者 キム、ジンチョル

大韓民国、ギョング - ド、スウォン - シ、ジャンアン - グ、ジョンジャ - ロ、102、エスケイシ
ー アールアンドディ センター シーオー . . , エルティーディー .

審査官 河合 俊英

(56)参考文献 特表2021-502706(JP, A)

米国特許出願公開第2020/0058567(US, A1)

国際公開第2020/185016(WO, A1)

(58)調査した分野 (Int.Cl., DB名)

H01L 23/15

H01L 25/04

H05K 1/02