

(12) 发明专利

(10) 授权公告号 CN 101540303 B

(45) 授权公告日 2012. 04. 25

(21) 申请号 200910118116. 4

H01L 23/495 (2006. 01)

(22) 申请日 2004. 10. 13

H01L 23/28 (2006. 01)

(30) 优先权数据

H01L 21/56 (2006. 01)

60/511, 249 2003. 10. 14 US

H01L 21/60 (2006. 01)

(62) 分案原申请数据

(56) 对比文件

200480033610. 6 2004. 10. 13

US 2003/0025182 A1, 2003. 02. 06, 全文 .

CN 1200568 A, 1998. 12. 02, 全文 .

(73) 专利权人 GBC 金属有限公司

US 2003/0094676 A1, 2003. 05. 22, 全文 .

地址 美国伊利诺斯州

US 6677055 B1, 2004. 01. 13, 全文 .

(72) 发明人 斯祖凯恩·F·陈

审查员 柴春英

尼科尔·A·拉修克 约翰·E·吉芬

彼得·W·罗宾逊 埃彼德·A·卡恩

(74) 专利代理机构 北京德琦知识产权代理有限

公司 11018

代理人 周艳玲 罗正云

(51) Int. Cl.

H01L 23/48 (2006. 01)

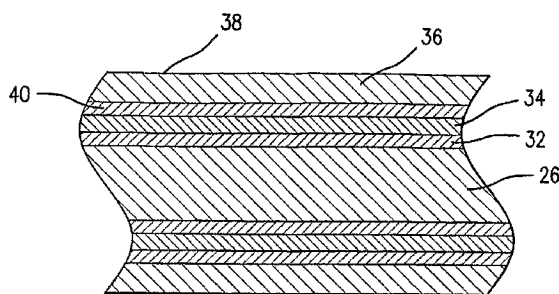
权利要求书 1 页 说明书 16 页 附图 9 页

(54) 发明名称

抗磨损和晶须的涂覆系统和方法

(57) 摘要

一种有涂层的导电衬底 (26), 包括多根密集地间隔开的导线 (10), 并且锡晶须可形成短路。衬底 (26) 包括引线框、接线脚和电路迹线。导电衬底 (26) 具有以距离 (14) 隔开的多根导线 (16), 距离 (14) 能够被锡晶须搭接; 覆盖至少一个表面的银或银基合金层 (28); 直接覆盖银层的精细颗粒锡或锡基合金层 (30)。另一种有涂层的导电衬底 (26) 比如在接插件中具有特殊性能, 其中摩擦磨损产生的碎片氧化而使衬底的电阻率增大。在导电衬底 (26) 上沉积隔离层 (32)。随后沉积的层包括沉积在隔离层 (32) 上用于和锡形成金属间化合物的牺牲层 (34)、低电阻率氧化物金属层 (40) 和锡或锡基合金的最外层 (36)。隔离层 (32) 优选为镍或镍基合金, 低电阻率氧化物金属层 (40) 优选为银或银基合金。



1. 一种复合物结构,包括:
铜或铜基合金衬底(26);
形成在所述铜或铜基合金衬底上的中介层(88、98、100),该中介层由包括铜和锡的金属混合物形成;以及
形成在所述中介层上的最外层,该最外层是包含铜-锡金属间化合物(90、94、102)的相和富银相(92)的混合物。
2. 如权利要求1所述的复合物结构,其中所述包含铜-锡金属间化合物(90、94、102)的相进一步包含银。
3. 如权利要求2所述的复合物结构,其中所述富银相(92)进一步包含铜和锡。
4. 如权利要求3所述的复合物结构,其中游离锡或游离锡基合金薄层覆盖在所述最外层上面。

抗磨损和晶须的涂覆系统和方法

[0001] 本申请是于 2004 年 10 月 13 日提交的申请号为 200480033610.6 的标题为“抗磨损和晶须的涂覆系统和方法”的专利申请的分案申请。

[0002] 技术领域

[0003] 本发明涉及用于涂覆导电衬底的系统和方法,特别是涉及用于涂覆导电衬底的多层系统和方法。

[0004] 背景技术

[0005] 在本专利申请中,用于限定某种合金的“基”是指该合金至少含有重量百分比为 50% 的所限定元素,例如,“铜基合金”是指在这种合金中铜的重量百分比大于 50%。在电气与电子工业中,铜和铜基合金(在下文中统称为铜)被广泛用于制作接线器、电线、印刷电路板、球栅阵列(ball gridarrays)、引线框(leadframe)、多芯片组件等等。虽然铜具有良好的导电性,但是当铜被暴露在高温、潮湿或化学环境中时,极易被氧化和生锈。铜的氧化和生锈通常会使得铜的接触电阻升高,因此会降低电学器件的性能。另外,铜的氧化和生锈也会降低焊接可湿性,使焊接过程出现问题。

[0006] 避免或减少铜的氧化和生锈的方法之一是在铜衬底上镀上锡或锡基合金(以下统称为锡)涂层。这种锡涂层起到防止或减少铜氧化的作用,因此可以保持铜衬底的电学性能。然而,用锡作为导电衬底的涂层仍然存在很多问题。在室温下(通常为 25°C),锡涂层和铜衬底会互相扩散而生成铜-锡金属间化合物(IMC)。这些铜-锡金属间化合物使锡涂层厚度减小,导致铜衬底接触电阻升高,焊接性降低,并且锡涂层与铜衬底之间的这种扩散的速度在高温下会更快。

[0007] 示例性的热变化过程包括,在引线接合或封装在聚合物中的过程需要在 250°C 持续几秒钟,回流处理需要在 300°C 持续几秒钟,为了降低摩擦而控制锡涂层厚度减小,需要在 150°C 下持续 8 到 168 小时。

[0008] 一种用于降低铜-锡金属间化合物形成的效应、并保持低接触电阻的方法是增加锡涂层的厚度。然而,这种方法不仅会增加部件的成本,也会对功能造成影响。当在电连接器使用锡涂层时,厚的软锡涂层会使摩擦增大,进而增大连接器插入时所需要的力,使连接器的插拔变得困难。对于电子器件而言,既然其发展趋势是超薄化和超小化,那么厚的锡或锡合金涂层也是不理想的。另外,在电子器件的导线(lead)上使用锡涂层的情况下,厚的锡涂层会使导线的共面和粗细的界定出现问题。

[0009] 另一种降低铜-锡金属间化合物形成的效应的方法是在铜衬底和锡涂层之间增加过渡隔离层,以阻止铜-锡金属间化合物的形成。例如,美国专利 No. 4,441,118 报道了使用镍的含量在 15% 至 30% 之间的铜-镍合金衬底,可以实现铜-锡金属间化合物低速率形成。

[0010] 在另一个实例中,P. J. Kay 和 C. A. Mackay 讨论了各种金属作为过渡隔离层的用途,该文章发表在 1979 年的“Transactions of the Institute of Metal Finishing”的第 51 期,169 页。文章的一个实施例描述了一种厚度为 1 微米的银隔离层。然而,这个例子被证明是不理想的,因为银过渡隔离层不能够真正降低铜和锡之间的扩散速度。Schatzberg

的美国专利 No. 4, 756, 467 公开了一种可焊接连接器, 该连接器包括铜衬底、薄银层、银-锡合金层以及最外面的锡层。其中, 银-锡合金层通过扩散退火形成。Furukawa 电气有限公司的日本专利 No. 2670348 (出版号为 02-301573) 公开了一种铜衬底, 该铜衬底上涂覆镍或钴的隔离层, 隔离层上面是银层, 银层上是锡或锡合金的熔化-固化 (melt-solidified) 层。

[0011] 本申请人所拥有的、于 2004 年 10 月 31 号递交的序列号为 10/930, 316 的美国专利申请, 是序列号为 09/657, 794 的美国专利申请的延续, 该申请公开了一种设置在铜衬底和锡涂层之间的薄的抗锈蚀层。所公开的可以作为抗锈蚀层的金属有锌、铬、铟、磷、锰、硼、铈、钙、银、金、铂、钯以及这些金属的组合物和合金。

[0012] 本申请人所拥有的 Fister 等的美国专利 No. 5, 780, 172 和 5, 916, 695 还公开了其它隔离层。

[0013] 利用锡作为导电衬底的涂层会引起的另外一个问题是锡易于产生摩擦腐蚀。摩擦腐蚀是接触面的氧化, 这种氧化是由两个匹配接触面之间的相对移动 (摩擦) 引起的。这种摩擦引起的氧化可能会导致接触电阻的不可接受的增大。某些金属, 比如银, 已知具有极好的抗摩擦腐蚀性。然而, 由于空气中存在二氧化硫, 银在空气中容易产生锈蚀, 在银表面生成银硫化物。这种锈蚀不仅在审美方面是不可接受的, 也可能会降低银的电接触性能。

[0014] 利用锡或者其它金属, 比如锌、铟、铋或钙, 作为导电衬底的涂层还存在另一个问题是, 锡或者上述的其它金属易于产生晶须。随着锡老化, 会形成晶须, 并且在锡或锡/金属间化合物 (IMC) 的界面上开始产生应力。晶须形成的另外一个原因是由于电镀过程中产生的内应力。为了释放这些应力, 锡单晶从表面成核, 形成晶须。每一个晶须持续生长直到内应力被全部释放掉。晶须可能会引起许多不同的问题, 包括缩短相邻电接触表面的距离。减少晶须生长的通用方式是在锡涂层中增加少量的铅 (Pb), 形成合金。然而, 考虑到健康和环境的原因, 许多工业生产中被要求减少或者禁止使用铅。

[0015] 这样, 发明一种在摩擦和热暴露后仍然能够保持低的接触电阻和良好的焊接性的涂覆系统是必要的, 同时这种涂覆系统还具备更低的摩擦系数和 / 或减少锡晶须生长的特性。

发明内容

[0016] 依据本发明的第一具体实施方式, 本发明提供一种具有特殊性能的涂覆的导电衬底, 这种衬底具有多个密集地间隔开的部件和易于形成短路的锡晶须。这种衬底包括引线框、接线脚、在印刷电路板和软电路上的电路迹线 (circuit trace), 所述部件包括导线、线路和电路迹线。这种导电衬底具有多根以一定距离隔开的导线, 这个距离能够被锡晶须搭接, 导电衬底还具有覆盖这多根导线中至少一根的至少一个表面的银或银基合金层, 直接覆盖在所述银层上的精细颗粒锡或锡基合金层。

[0017] 根据本发明的第二具体实施方式, 本发明提供一种具有特殊性能的有涂层的导电衬底, 这种衬底专门用于摩擦磨损碎片氧化和电阻率增大的地方, 比如在接插件中。这种导电衬底上沉积有隔离层, 用于阻止衬底向多个后续沉积的层扩散。这些后续沉积的层包括牺牲层, 用于和锡生成金属间化合物; 沉积在所述牺牲层上、能够生成低电阻率氧化物的金属层 (这里称为低电阻率氧化物金属层); 直接沉积在低电阻率氧化物金属层上的锡

或锡基合金最外侧。

[0018] 在第二个具体实施方式中,隔离层优选是镍或镍基合金,低电阻率氧化物金属层优选是银或银基合金。

[0019] 当第二个具体实施方式中所述有涂层的衬底被加热时,会生成一种特殊的结构,该结构具有铜或铜合金衬底,由包括铜和锡的金属混合物形成的中介层,以及由包含相和富银相的铜锡金属间化合物的混合物形成的最外层。

[0020] 富银相被认为可以使摩擦磨损碎片氧化而引起电阻率的增大达到最小。

[0021] 在以下的附图和详细说明中给出了本发明的一个或多个具体实施方式的具体描述。本发明的其它特性、目的以及有益效果将在具体描述、附图以及权利要求中给出。

附图说明

[0022] 从下面对于本发明的详细描述以及附图中,可以对本发明有更加全面的了解。在附图中,相同的元件用相同的标号表示,其中,

[0023] 图 1 为根据本发明第一具体实施方式的引线框在封装和涂覆前的俯视平面图;

[0024] 图 2 为根据本发明第一具体实施方式的图 1 所示引线框在封装后和涂覆前的侧面平面图;

[0025] 图 3 为根据本发明第一具体实施方式的图 1 所示引线框在封装和涂覆后的横截面图;

[0026] 图 4 为根据本发明的第二具体实施方式涂覆的导电条的横截面图;

[0027] 图 5 为图 4 所示导电条被构成为接插件后的横截面图;

[0028] 图 6 为图 5 所示接插件中用于说明摩擦碎片效应的部分的横截面放大图;

[0029] 图 7 为制作本发明第一实施方式的流程示意图;

[0030] 图 8 为制作本发明第二实施方式的流程示意图;

[0031] 图 9 为由不同层组合而涂覆的衬底各层间的互扩散的说明图;

[0032] 图 10 为本发明的涂覆的衬底在 150°C 下加热一周的表面的显微照片;

[0033] 图 11 为图 10 所示的涂覆的衬底的横截面显微照片。

具体实施方式

[0034] 参见图 1,引线框包括多根导线 10,这些导线由导电金属,比如铜或铜基合金形成。多根导线 10 中的每根导线都在导线内侧尾端 12 终止,形成中央窗口,芯片焊盘 (die paddle) 14 占用该窗口。通常,在导线内侧尾端 12 和芯片焊盘 14 上涂覆薄的贵金属层,比如银,以增强芯片附着和引线接合。当用银作为涂层金属时,该薄层典型的厚度为 3 微米到 6 微米,并且利用电沉积法进行沉积。然后,将一个或多个集成电路 (IC) 器件 16,通常称为半导体芯片,比如通过低温金属焊料或者热导聚合物粘合剂,附着在芯片焊盘 14 上。细金属线 18,或者导电金属箔窄条,将集成电路器件 16 的活性面上的电路与导线内侧尾端 12 连接起来。然后,利用成型树脂一般沿着由虚线 20 表示的周边来封装芯片焊盘 14、集成电路器件 16、导线内侧尾端 12 以及导线中间部分 21。

[0035] 图 2 是图 1 所示组件的侧面图,从图中可以看到导线 10 从成型树脂 22 中延伸出来。从成型树脂中延伸出来的导线的外侧部分 23 通常被焊接到外部电路,比如印刷电路

板上的迹线上。为了获得最佳的导电性,导线通常由铜或铜合金形成,但也可以使用诸如铁-镍和铁-镍-钴之类的非铜金属。铜和铜合金易于被氧化,在表面形成的氧化物会影响铜和铜合金的焊接性。

[0036] 为了阻止氧化物的生成,通常的办法是在铜导线上沉积一层抗锈蚀层。这种作为抗锈蚀层的易于焊接的材料为锡或锡基合金。但是,当铜和锡被暴露在室温或更高的温度下时,铜和锡之间会存在扩散。当铜-锡金属间化合物在层表面形成时,这种结构的抗锈蚀特性和焊接性都会降低。为了降低铜锡之间的扩散速度以及减少金属间化合物的生成,常用的方法是在衬底和抗锈蚀层之间设置隔离层,比如镍。

[0037] 锡晶须化是锡的一种特性,指通过细的锡丝的生长释放内应力。回去参见图 1,导线 10 密集地间隔开,锡晶须可以在相邻导线之间的间隙 24 搭接,形成电路短路。通常,当两根导线之间的距离为 1 毫米或更短时,锡晶须在两根导线之间形成搭接的可能性将很大。虽然已经提出很多种阻止锡晶须形成的方法,但是这些方法仍然存在局限性。众所周知,将锡和另一种金属,比如铅形成合金,可以减少晶须的生成,但是铅有毒。另一种已知的方法是将锡加热到它的熔点以上,经过已知的回流过程来减少晶须的生成。但是,控制液态锡的流动是困难的,而且在回流过程中,经常会在导线之间形成搭接。

[0038] 根据本发明的第一个具体实施方式并参见图 3,锡晶须可以通过在衬底 26 上形成导线 10 来减少,衬底 26 上涂覆有银或银基合金层 28,然后在银或银基合金层 28 上直接沉积锡精细颗粒层 30。“直接”沉积的意思是紧接银或银基合金层 28 沉积,没有任何其它材料的中介层。如果衬底 26 由铜或铜基合金以外的金属形成,则在沉积银层 28 之前,可以在衬底上沉积一薄层铜,其厚度在 0.025 到 0.51 微米(即 1-20 微英寸)之间。银层 28 可以用银基合金层代替,锡层可以用锡基合金层代替。

[0039] 两种金属接触面的强度比金属自身强度小。因此,导线 10 被成型树脂封装的部分优选不覆盖银层和锡层,这些层仅仅涂覆在导线的从成型树脂延伸出来的部分上。银层 28 的厚度范围为 0.025 微米到 3.05 微米(1-120 微英寸)。当厚度小于 0.025 微米(1 微英寸),锡晶须不足以被抑止。当厚度超过 3.05 微米(即 120 微英寸),将会增加成本。优选的银层厚度是在 0.05 微米到 1.02 微米之间,即 2-40 微英寸,最优选的银层厚度范围是 0.13 微米到 0.51 微米,即 5-20 微英寸。

[0040] 锡层 30 的厚度在 0.00025 微米到 10.2 微米之间,即 0.01-400 微英寸。当厚度小于 0.00025 微米,即 0.01 微英寸时,抗腐蚀性和可焊接性都下降。当厚度超过 10.2 微米,即 400 微英寸时,相邻导线间容易形成搭接。优选的锡层厚度是从 0.51 微米到 3.8 微米,即 20-150 微英寸。最优选的锡层厚度范围为 0.51 微米到 2.03 微米,即 20-80 微英寸。

[0041] 通过电沉积的方式获得的锡是精细颗粒,与之相对的,通过下面所述的回流过程获得的锡是粗糙颗粒。典型的颗粒平均尺寸是在 0.1 微米到 100 微米之间,优选尺寸是在 0.5 微米到 5 微米之间,而与之相对的,回流后的标准颗粒的尺寸是毫米量级的。精细颗粒通常具有更好的延展性使导线可以大角度弯曲而不会造成涂层的破裂。虽然精细颗粒锡被认为更易于产生锡晶须,但是本具体实施方式中的银底层允许使用精细颗粒的锡。

[0042] 虽然本发明第一实施方式是以具有多根密集地间隔开的导线的引线框为例来描述的,但是本发明的这种无锡晶须涂层也可以应用于其他结构中,比如接线脚,印刷电路板和软电路,在这些结构中包含密集地间隔开的其他器件,比如导线和电路迹线。

[0043] 本发明的第二实施方式被应用到接插件中。与引线框不同,大部分接插件是不受锡晶须影响的,因为相邻的连接器通常具有足够远的距离以避免锡晶须造成的短路现象。另外,因为连接器不像引线框中的导线那样紧密排布,回流过程就可以减少锡涂层中的内应力。而且,铜锡之间的扩散经常被用于减小游离锡 (free tin) 的厚度,因此就可以减小摩擦力和探头插入插座所需的力。

[0044] 接插件通常会由于摩擦碎片使电阻率增大。摩擦磨损现象发生在两个表面小幅度相对振动过程中。摩擦磨损会在相互接触的表面上产生可去除的小颗粒。然后这些小颗粒被氧化,氧化物碎片聚集在接插件的交界面。由于在室温下锡的电阻率大约为 0.12 微欧姆米 ($\mu\Omega \cdot m$),而锡氧化物的室温电阻率约为 1 微欧姆米,因此摩擦磨损会使接插件的电学性能变差。

[0045] 根据本发明第二具体实施方式形成的接插件可以减少摩擦磨损。参见图 4,衬底 26 通常是铜或铜基合金,但也可以使用其他的导电金属。在使用其他导电金属中的任何一种作为衬底时,如上所述,该衬底上沉积薄的铜层。在铜合金的衬底上也可以沉积薄的铜层,这样可以提供纯的铜表面,以方便后面各个层的沉积和粘附。

[0046] 在铜或铜基合金衬底或薄铜层上沉积的是隔离层 32。该隔离层可以是任何一种阻止铜和其他构成衬底成分之间扩散的金属,优选是过渡金属,比如镍、钴、铁、锰、铬、钼或者它们的合金。该隔离层的厚度在 0.051 微米到 2.03 微米之间,即 2-80 微英寸。如果隔离层的厚度小于 0.051 微米 (2 微英寸),它不能有效阻止扩散。如果隔离层的厚度超过 2.03 微米 (80 微英寸),接插件的电学和机械性能将会受到不良影响。优选隔离层的厚度为 0.1 微米到 1.02 微米,即 4-40 微英寸。更优选的是,隔离层的厚度范围为 0.1 微米到 0.51 微米,即 4-20 微英寸。

[0047] 在隔离层 32 上沉积的是牺牲层 34。牺牲层 34 是一种金属,这种金属与银和锡结合构成合金或金属间化合物。为了减小摩擦,最外层 36 的游离锡厚度被减小。这种厚度减小,可以通过加热这种组件来实现,通过加热组件使牺牲层与最外层的内侧部分相结合形成硬度较高的金属间化合物。牺牲层的优选材料是厚度在 0.051 微米到 1.52 微米 (2-60 微英寸) 之间的铜或铜基合金。牺牲层厚度的大小可选为,当牺牲层被消耗时,在最外层 36 的外表面 38 上至少保留 0.051 微米量级的游离锡。在最外层的厚度开始在 1.02 微米到 2.03 微米之间时,铜牺牲层的最优选厚度范围为 0.13 微米到 0.51 微米,即 5-20 微英寸。

[0048] 在牺牲层 34 和最外层 36 之间沉积的是低电阻率氧化物金属层 40。这种低电阻率氧化物金属是在接插件预期操作温度下形成氧化物的金属,这种金属氧化物的电阻率比锡氧化物的电阻率低。银或银基合金是低电阻率氧化物金属层 40 的较佳选择。虽然锡氧化物的电阻率在室温下约为 1 微欧姆米,但是银氧化物的电阻率在室温下约为 0.14 微欧姆米。通过将银氧化物加入到摩擦碎片中,摩擦磨损对接插件电阻率的影响会显著减小。低电阻率氧化物金属层的厚度在 0.025 微米到 3.05 微米之间,即 1-120 微英寸。如果厚度小于 1 微英寸时,银氧化物不足以影响接插件的电阻率。如果厚度超过 3.05 微米 (120 微英寸),则成本将会增加。优选这种低电阻率氧化物金属层的厚度在 0.05 微米到 1.02 微米之间,即 2-40 微英寸,更优选的厚度在 0.13 微米到 0.51 微米,即 5-20 微英寸。

[0049] 图 4 所示的导电条被形成在接插件中,图 5 给出了这种接插件的横截面示意图。这种接插件包括插座 42 和探头 (probe) 44。插座通常被弯曲成能够与探头形成有效点接触的

形状,而探头的形状要保证在插座内产生一个内应力从而有效提供一个正压力使探头和插座在点 46 保持电接触。

[0050] 图 6 是图 5 中虚线圈所定义的点接触的放大示意图。由于振动,点 46 在第一接触点 48 和第二接触点 50 之间振荡。这种磨损产生金属氧化物磨损碎片 52。磨损碎片的一部分 54 覆盖振荡轨迹,并影响点 46 和探头 44 之间的电流流动。

[0051] 低电阻率氧化物金属层的金属应该是其氧化物的电阻率比锡氧化物的电阻率(1 微欧姆米)低,或者是比银更难形成氧化物的贵重金属,如金、铂、钯。表 1 列出了许多基底金属氧化物,并且给出了他们作为低电阻金属氧化物的适用性。在表 1 中,“O”代表适用,“X”代表不适用。铟、铁、铌、铼、钌、钒、金、铂、钯和锌以及这些金属中的四种的混合物都可以作为银的替代物。

[0052] 表 1

[0053]

	基底金属	氧化物	室温电阻率 (欧姆·米)	适用性
电阻率 可接受	铬	CdO	3.90E-05	X-有毒
	铟	In ₂ O ₃	1.00E-03	O
	铁	Fe ₃ O ₄	1.00E-04	O
	铌	Nb ₂ O ₃	8.60E-04	O
	铼	ReO ₃	2.00E-05	O
	钌	Ru ₂ O	3.52E-07	O
	银	AgO	0.14	O
	铀	UO ₂	3.80E-02	X-有毒
	钒	V ₂ O ₃	5.50E-05	O
	锌	ZnO	1.50E-02	O
电阻率 不可接受	铋	Bi ₂ O ₃	1.00E+07	
	钴	CoO	1.00E+06	
	铜	Cu ₂ O	2.00E+05	
	铕	EuO	1.00E+06	
	锰	MnO	1.00E+06	
	镍	NiO	1.00E+11	
	硅	SiO ₂	1.00E+12	
	钠	Na ₂ O ₂	2.50E+02	
	钽	Ta ₂ O ₅	1.00E+03	

[0054] 图 7 是制造图 3 所示的涂覆衬底的方法的流程示意图,该方法用于只涉及锡晶须而不涉及锡回流以释放内应力的应用。这些应用包括引线框、密集地间隔开的接线脚(如接脚栅格阵列电子封装器件上所具有的接线脚),和印刷电路板或软电路上密集地间隔开的电路迹线。如图 7 所示,前三个步骤是引线框和一些具体实施方式中的接线脚设备中特有的。剩余三个步骤是所有上述产品种类通用的。

[0055] 引线框可以在衬底上压制而成,或者也可以在衬底上通过化学刻蚀制备,典型的衬底是铜或铜基合金。引线框包括中央设置的芯片焊盘和至少从 芯片焊盘一个侧面延伸出来的多根导线,这些导线通常是从芯片焊盘四个侧面延伸出来。引线框制作完成后需对其进行去污清洁处理,如使用商用去污剂,碱性电净剂,如 Hubbard-Hall E-9354 电净剂(这种电净剂可以从美国康奈提格州沃特伯里市的 Hubbard-Hall 购买)。碱性混合物与阳极/阴极电净法同时使用可以产生氧气或氢气气泡,以去除衬底上残留的大部分杂质。电净法通常是在 20 摄氏度到 55 摄氏度下通电,时间约为 1 分钟,电流密度范围在 93-465 安培每平方分米,即 10-50 安培每平方英寸。

[0056] 然后,在芯片焊盘和导线内侧部分上涂覆 56 可以增强焊接性和引线接合的金属,比如厚度在 3 微米到 6 微米之间的银。优选是只在导线的最里侧用于引线接合和卷带式自动接合技术(TAB)的部分涂覆银。这是因为在紧接着的封装步骤 58 中,要求成型树脂直接与铜衬底接触,为粘合破坏和湿气排放提供单一界面。次优选的方式是让成型树脂与银层接触,银层与铜衬底接触,形成两个界面。涂覆银的过程 56 可以采用任何一种适用的方法,比如电沉积、无电沉积、浸涂、化学汽相沉积或等离子沉积。

[0057] 然后集成电路器件通过传统的芯片连接方法 60 粘合在芯片焊盘上,传统的焊接法包括利用低温焊料焊接,例如金/锡共晶,或者粘合剂连接,如掺金属环氧树脂。引线接合是使用小直径导线或金属薄片窄条将集成电路与引线框的导线内侧部分电连接起来。在芯片附着和引线接合之后,芯片焊盘、集成电路器件、引线接头和引线框导线的内侧部分被封装在热固的成型树脂中,如环氧树脂。然后导线的外侧部分被弯曲成可以与印刷电路板或其他外部电路连接的形状。

[0058] 然后在导线的外侧部分涂覆一层银或银合金 62,可以采用如电镀、无电镀、浸镀、物理汽相沉积、化学汽相沉积、等离子沉积或金属溅射等方法。银镀层的厚度在 0.025 微米到 3.05 微米之间,即 1-120 微英寸,最优选的厚度范围为 0.051 微米到 0.51 微米,即 2-20 微英寸。

[0059] 优选的镀银方法是用 31-56 克每升氰化银、50-78 克每升氰化钾、15-90 克每升碳酸钾的水溶液和抛光剂进行电镀。电镀的温度是在 20 摄氏度到 28 摄氏度、电流密度是在 46.5 安培每平方分米到 139 安培每平方分米,即 5-15 安培每平方英寸。另一种可选的镀银方法是使用无氰化物浸镀,如康奈提格州沃特伯里市的 MacDermid 有限公司的 MacDermid Sterling™ 的银。

[0060] 然后在镀银的外侧导线上再涂覆一层锡 64,使得锡的厚度为 0.00015 微米到 10.2 微米,即 0.006-400 微英寸,优选的厚度为 0.5 微米到 2.03 微米,即 20-80 微英寸。优选的镀锡方法是使用包含甲烷磺酸基锡电镀液的溶液,如 Rohm and Haas Solderon™ ST200(美国宾夕法尼亚州费城的 Rohm and Haas Company, Philadelphia, PA, USA)AMAT 的雾锡、MacDermid Sterling™AMAT 的光亮锡。上述电解液的典型使用条件是温度在 25 摄氏度到 35 摄氏度之间,电流密度为 46.5 安培每平方分米到 465 安培每平方分米,即 5-50 安培每平方英寸。

[0061] 然后将镀锡的外部导线与印刷电路板或其他的外部电路焊接 66 在一起,比如通过使用锡/铅合金焊料或合适的无铅焊料进行焊接。所选择的焊料和焊接过程应保证焊料融合到锡层上而不使锡层熔化。避免锡层的熔化是为了防止液态焊料使导线搭接。

[0062] 图 8 是用于制造图 4 所示的涂覆的衬底的方法的流程示意图,在应用这种方法时考虑了氧化的摩擦碎片降低电阻率的效应,如在电接插件中。如图 7 所示,当衬底材料不是铜,或是具有高合金含量的铜合金,如重量百分比超过 2% 时,可以在涂覆下一层前在衬底表面上沉积 68 一薄层铜。该薄铜层可以最小化不同金属对后续层沉积的影响,从而使许多不同的衬底材料达到更一致的产品性能。

[0063] 铜层的最小厚度为 0.13 微米,即 5 微英寸,典型厚度为 0.51 微米到 1.02 微米之间,即 20-40 微英寸。虽然下面所述的铜层及随后各层可以通过任一适当的方法沉积,优选的铜层沉积 68 方法是使用包含 20 到 70 克每升的铜离子和 50 到 200 克每升的硫酸的水溶液进行电镀。操作条件:温度范围在 40 到 60 摄氏度之间,电流密度为 186 到 929 安培每平方分米,即 20-100 安培每平方英寸。

[0064] 接下来沉积阻挡层 70。合适的阻挡层材料包括镍、钴、铬、钼、铁和锰以及它们的合金或者混合物,沉积的厚度范围在 0.05 微米到 1.02 微米之间,即 2-40 微英寸,优选的厚度范围为 0.1 微米到 0.51 微米,即 4-20 微英寸。优选的沉积镍层 70 的方法是使用标称包含 300 克每升氨基磺酸镍,6 克每升氯化镍和 30 克每升硼酸的水溶液进行电镀。操作条件:温度在 28 到 60 摄氏度之间,pH 值在 3.5 到 4.2 之间,电流密度范围为 18.5 到 279 安培每平方分米,即 2-30 安培每平方英寸。

[0065] 下面可使用铜为材料沉积牺牲层 72 到一定厚度,使其在可控的热偏移下与一部分锡有效连接形成铜/锡金属间化合物,如 Cu_3Sn 、 Cu_6Sn_5 和 $(\text{Cu 合金})_x\text{Sn}_y$,而在表面上保留基本上为纯锡(称作游离锡)层。游离锡层的厚度在 0.051 微米到 3.05 微米之间,即 2-120 微英寸,以提供可焊接、且抗锈蚀的层。通过减少软游离锡层的厚度,金属间化合物层可用来减小摩擦。对于接插件来说,减小摩擦可以降低所需的插拔力。

[0066] 在沉积完牺牲层 72 之后,再沉积形成了低电阻率氧化物,如银的金属 74。牺牲层的沉积厚度在 0.025 微米到 3.05 微米,即 1-120 微英寸,优选的厚度在 0.13 微米到 0.51 微米,即 5-20 微英寸。优选的沉积银牺牲层的方法是使用包含氰化银的水溶液进行电镀,或者如前面所述使用纯氰化物溶液进行浸镀。除了银、铟、铁、铈、镱、钆、金、铂、钯和铑之外,在表 1 中列出的这些金属的混合物也可以作为低电阻率氧化物金属层的材料。

[0067] 沉积完牺牲层 74 之后,再沉积最外层金属 76,这种金属的熔点应低于衬底、阻挡层、牺牲层和低电阻率氧化物金属层中任何一层的熔点。优选将锡或锡基合金用作最外层。在大部分应用中,铅具有毒性而避免使用,但是含铅的锡基合金在某些应用中是适合使用的。沉积最外层 76 可以使用前面描述的任何一种方法,或者使用锡沉积的特殊方法,如 HALT 方法(即热空气整平锡镀法)和机械擦除法。最外层可以根据要求进行光亮精整或糙面(matte)精整。糙面精整可以在锡浴中电镀锡,对于准备此精整类型而言,这在本领域中是已知的。合适的电解液包括前面提到的 Solderon™ ST200 和 StanTek™ AMAT。

[0068] 然后进行锡回流 78,比如通过将锡加热到其熔点 232℃ 以上使锡回流。优选的热处理方式是 300℃ 下,在空气中或保护气氛,如氮气中加热 1~10 秒钟。然后将熔化的锡淬火,形成有光泽的锡表面。

[0069] 在进行回流处理前或后,将涂覆的衬底制作成 80 需要的部件,比如接插件的一部分。涂覆的衬底也可以在锡的熔点以下,在空气或氮气中加热约 1 到 168 个小时,加热的温度可以从 150℃ 到 200℃,目的是增加金属间化合物的含量,同时将游离锡的厚度减小到需

要的厚度,典型的厚度在 0.051 微米到 0.51 微米,即 2 微英寸到 20 微英寸。

[0070] 图 9A 到图 9D 说明了本发明用于改进涂层的机理。图 9A 所示的是利用现有技术制作的涂覆锡的衬底 26。衬底 26 被涂覆上铜的牺牲层 34,最外面是锡层 36。在暴露在比如 150 摄氏度的高温下一个星期之后,牺牲层 34 和最外层 36 之间发生相互扩散和结合,在衬底 26 附近形成 Cu_3Sn 金属间化合物层 82,该金属间化合物层向上扩散到最外层的表面 84。经过高温辐照之后,最外层是 Cu_3Sn 金属间化合物和 Cu_6Sn_5 金属间化合物的混合物 86。这两种铜的金属间化合物易于氧化,导致变色和电阻率的升高。

[0071] 图 9B 说明了根据本发明,当衬底 26 被涂覆上牺牲层 34、银层 28 和最外侧的锡涂层 36 并在 150 摄氏度下加热一星期后,衬底 26 被涂覆上中介层 88,该中介层是铜和锡的混合物,而最外层是包含银的 Cu_3Sn 金属间化合物 90 和富银相 92 的混合物。富银意味着包含超过 50% 原子百分比的银。 Cu_3SnAg_x 金属间化合物提供了坚硬的表面,以减少插拔力和减小摩擦磨损。富银相提供了耐蚀性,并且降低了由摩擦磨损碎片的腐蚀引起的电阻率的增加。

[0072] 图 9C 说明了根据本发明,当衬底 26 被涂覆上阻挡层 32、牺牲层 34、银层 28 和最外侧的锡涂层 36,并在 150 摄氏度下加热一星期后,衬底 26 被涂覆中介层 96,该中介层是镍、铜和锡的混合物。与层 96 相邻的层是第二层 98,该层是镍、铜、银和锡的混合物。最外层是由第一组分为 Cu_6Sn_5 金属间化合物、多余的锡、少许银和第二组分为富银相 92 组成的混合物。

[0073] 图 10 是图 9C 中在 150°C 下加热一周后的涂覆衬底的最外层表面 84 的放大 2000 倍的显微镜照片。该表面是铜-银-锡相 98 和富银相 92 的混合物,显微镜照片中的暗区为铜-银-锡相 98,亮区为富银相 92。图 11 是图 9C 和图 10 所示的涂覆结构的放大 20000 倍的显微镜照片。

[0074] 图 9D 说明了当衬底 26 被涂覆隔离层 32、银层 28 和最外面的锡层 36,并在 150°C 下加热一星期后,衬底 26 被涂覆第一中介层 100,该第一中介层是镍、铜、锡以及少量银的混合物。在第一中介层 100 上涂覆的是第二层 102,第二层 102 是镍、铜、锡和银的混合物。第二层 102 延伸到最外层的表面,最外层主要是富银相 92。

[0075] 下面给出的实施例将清楚地说明本发明提供的涂覆系统的优点。以下实施例可以用来说明本发明,但并不限制本发明的范围。

[0076] 实施例

[0077] 实施例 1- 锡晶须化

[0078] 从铜合金 C194 条上切下 51 毫米 × 12.7 毫米 × 0.25 毫米,即 2 英寸 × 0.5 英寸 × 0.010 英寸,大小的样品。铜合金 C194 的组分按重量百分比为 2.1% - 2.6% 的铁,0.05% - 0.20% 的锌,0.015% - 0.15% 的磷,剩余的都是铜。在 50 摄氏度下,将样品放入商用碱性清洁液中通电一分钟进行清洁,所使用的阴极电流密度为 139 安培每平方分米,即 15 安培每平方英寸。

[0079] 参照表 2,通过电镀沉积镍层。镍电镀液是包含大约 60 到 75 克每升的镍,如氨基磺酸镍,大约 6 到 8 克每升的 NiCl_2 和 pH 值在 3.5 和 4.2 之间的大约 38 到 53 克每升的 53 摄氏度硼酸的水溶液。镍电镀条件是用电流密度 279 安培每平方分米,即 30 安培每平方英寸,的电流通电约 60 秒。

[0080] 当通过电镀沉积铜时,使用的水溶液包含大约 20 到 70 克每升的铜,大约 50 到 200 克每升 40 到 60 摄氏度的 H_2SO_4 。电镀条件是用电流密度 372 安培每平方分米,即 40 安培每平方英寸,的电流通电约 40 秒。

[0081] 当通过电镀沉积银层时,使用的水溶液包含 31 到 56 克每升的氰化银,50 到 78 克每升的氰化钾,15 到 90 克每升碳酸钾和光亮剂。操作条件是温度在 20 到 28 摄氏度之间,电流密度在 46 到 139 安培每平方分米,即 5 到 15 安培每平方英寸。

[0082] 通过电镀沉积锡层时,糙面锡沉积物是使用 MacDermid StanTek™AMAT 溶液产生的,光亮锡沉积物是使用 MacDermid StanTek™Stellite(钨铬钴合金)100 溶液产生的。电镀条件是在 25 到 40 摄氏度下,用电流密度为 279 安培每平方分米,即 30 安培每平方英寸,的电流通电约 50 到 400 秒。

[0083] 在半径为 76 毫米,即 3 英寸,的圆形沟槽中弯曲和约束的样品上进行加速锡晶须测试。通过这种方式,可以在锡涂层上产生恒定的弯曲应力,促使锡晶须形成。可以定期在 500X 的光学显微镜下观察示例性的和可比较的样品的压缩边(凹面)的锡晶须的形成。

[0084]

表 2

样品	锡精整	中介层厚度微米数 (微米英寸)			锡厚度 (微米英寸)	每平方毫米的晶须数和晶须的最长微米数											
		镍	铜	银		10 天		60 天		120 天		180 天					
						#	微米	#	微米	#	微米	#	微米				
1	糙面	0	(20-40) 0.51-1.02	0	(250-500) 6.4-12.7	25	19	58	28	138	36	295	53				
2	糙面	0	(20-40) 0.51-1.02	0	(75-130) 1.9-3.3	33	28	298	175	310	87	496	169				
3	糙面	0	(20-40) 0.51-1.02	(5-10) 0.13-0.25	(75-130) 1.9-3.3	0	0	0	0	0	0	0	0				
4	糙面	0	(20-40) 0.51-1.02	0	(40-80) 1.02-2.03	108	36	389	45	361	130	512	45				
5	糙面	0	(20-40) 0.51-1.02	(5-10) 0.13-0.25	(40-80) 1.02-2.03	0	0	0	0	0	0	5	5				
17	糙面	(5-20) 0.13-0.51	0	(5-10) 0.13-0.25	(40-80) 1.02-2.03	0	0	0	0	0	0	2	4				
19	糙面	(5-20) 0.13-0.51	(7-18) 0.18-0.46	(5-10) 0.13-0.25	(40-80) 1.02-2.03	0	0	0	0	0	0	0	0				
20	光亮	0	(20-40) 0.51-1.02	0	(40-80) 1.02-2.03	8	7	33	7	30	9	231	28				
21	光亮	0	(20-40) 0.51-1.00	(5-10) 0.13-0.25	(40-80) 1.02-2.03	0	0	0	0	0	0	0	0				

[0085] 从表 2 可以看出,无论最外层涂覆的是糙面锡还是光亮锡,直接与锡涂层接触的银层的内含物都可以基本上消除锡晶须的形成。对于最外层涂覆糙面锡的情况,可以比较

样品 2、样品 3、样品 4 和样品 5 的结果。为了便于比较,样品 1 采用商品厚锡产品。对于最外层涂覆光亮锡的情况,可以比较样品 20 和样品 21。

[0086] 实施例 2- 摩擦磨损对接触电阻的影响

[0087] 样品使用表三中列出的铜合金 C194 和 C7025、整块熟锡和整块熟银制作而成,尺寸为 152 毫米 × 31.8 毫米 × 0.13 毫米,即 6 英寸 × 1.25 英寸 × 0.005 英寸。C7025 的组分按重量百分比为 2.2% 到 4.2% 的镍,0.25% 到 1.2% 的硅,0.05% 到 0.3% 的镁,剩余的全是铜。

[0088] 铜合金样品上如实施例 1 那样涂覆了中介层和糙面锡,但银层是使用 MacDermid Sterling™ 的银溶液浸镀沉积的,锡是使用含有 20 到 80 克每升的锡离子的 SnSO_4 , 50 到 200 克每升的硫酸和有机添加剂的硫酸盐溶液沉积而成。

[0089] 摩擦磨损对接触电阻的影响是通过在要测试的接触表面上沿 20 微米长的圆圈,以 5 赫兹的频率转动直径为 6.4 毫米,即 0.25 英寸,的凸块来确定的,转动的圈数可达到 20000 圈。在凸块上加 100g 的法向力,并且在凸块运动的过程中采集接触电阻的数据。记录的数值是获得确定的接触电阻所需的圈数。圈数越高表明样品的抗磨损性越好。

[0090] 表 3

[0091]

样品	衬底	中介层	表面层	表面层厚度 (微米 英寸)	10 毫欧接 触电阻对 应的圈数	10 欧姆接 触电阻对 应的圈数
1	C194	镍 / 铜	糙面锡	0.51 微米 (20)	61	3269
2	C194	镍 / 铜 / 0.13 微米 (5 微英寸) 银	糙面锡	0.51 微米 (20)	79	4400
3	C194	无	糙面锡	1.02 微米 (40)	116	2269
4	C194	0.13 微米 (5 微英寸) 银	糙面锡	1.07 微米 (42)	490	> 5000*
5	熟锡	无	无	N/A	253	6530
6	熟锡	无	无	N/A	> 20000	> 20000

[0092] * 表示测试在 5000 圈后终止

[0093] 比较样品 1 和采用本发明制作的样品 2 可以看出样品 2 上涂覆的 0.13 微米 (即 5 微英寸) 的银层能够有效地降低摩擦磨损在衬底上产生的电阻,与样品 1 相比,样品 2 达到 10 毫欧姆接触电阻所需的圈数约增加了 30%,达到 10 欧姆接触电阻所需的圈数约增加了 35%。

[0094] 比较样品 3 和采用本发明制作的样品 4 可以看出样品 4 上涂覆的 0.13 微米 (即 5 微英寸) 的银层能够有效地降低摩擦磨损在衬底上产生的电阻,与样品 3 相比,样品 4 达到 10 毫欧姆接触电阻所需的圈数约增加了 322%,达到 10 欧姆接触电阻所需的圈数增加了超过 120%。

[0095] 整块熟银 (即样品 6) 的性能比任何一种具有涂覆的铜衬底样品都好,但是由于成本和易生锈的原因不适用于电连接器的制作。整块熟锡 (即样品 5) 可能由于含有大量的游离锡或由旋转产生的硬度的增加,而具有较好的抗磨损性,但是由于强度很低也不适用于连接器的制作。

[0096] 实施例 3- 摩擦系数

[0097] 尺寸为 152 毫米 × 31.8 毫米 × 0.13 毫米 (即 6 英寸 × 1.25 英寸 × 0.005 英寸) 的铜合金 C194 样品,与前面所述的样品一样,涂覆有中介层和糙面锡。将该样品在空气中加热到 350 摄氏度并在水中淬火后,形成回流锡表面。

[0098] 摩擦系数用直径 6.4 毫米 (即 0.25 英寸) 的凸块在涂覆锡的平坦表面上以 3 毫

米每秒的速度转 10 圈所产生的阻力与法向力的比值,即 R/N,来测定。法向力为所加载的静重量,并且在涂覆锡的平面与凸块之间没有使用润滑剂。阻力是随着凸块在样品平坦平面上的相对滑行来测量的。所记录的值是所有 10 圈的平均值。R/N 越低说明摩擦系数越小。表 4 列出了凸块转 10 圈测量到的平均值。

[0099] 表 4

[0100]

样品	中介层厚度微米 (微英寸)		锡类型	锡厚度微米 微英寸	R/N 0-60 毫米	
	铜	银			100 克	250 克
1	0.51-1.02 (20-40)	0	糙面	1.02-2.03 (40-80)	0.55	0.55
2	0.51-1.02 (20-40)	0.051-0.13 (2-5)	糙面	1.02-2.03 (40-80)	0.58	0.53
3	0.51-1.02 (20-40)	0.13-0.25 (5-10)	糙面	1.02-2.03 (40-80)	0.48	0.45
4	0.51-1.02 (20-40)	0.25-0.51 (10-20)	糙面	1.02-2.03 (40-80)	0.47	0.46
5	0	0	回流	1.02 (40)	0.48	0.47
6	0	0.13 (5)	回流	1.02 (40)	0.30	0.22

[0101] 随着 R/N 减小,探头插入插座所需的插力随之减小。将样品 3 与样品 1 和 2 比较可以看出,涂覆 5 微米的银层能够使外层糙面锡的 R/N 值降低 14%。比较样品 3 和样品 4 可以发现,进一步增加银层厚度不仅不能对摩擦系数产生明显的有益影响,而且会使成本增加。

[0102] 样品 5 和样品 6 的比较说明当用回流锡作为最外面的涂层时,能够达到 更好的效果,R/N 可以降低大约 45%。

[0103] 实施例 4- 层间相互扩散

[0104] 表 5 到表 8 列出了图 9A 到图 9D 所示结构的组分测量值,用于说明在根据本发明涂覆的衬底最外层表面上富银相的形成。使用 XRF (即 x 射线荧光光谱仪),测量在加热一周,温度达到 150 摄氏度之前的样品的厚度,单位为微英寸。加热后样品的组分和原子百分比通过 EDX (即能量色散 x 射线荧光光谱仪) 确定。

[0105] 表 5 (图 9A)

[0106]

图 9A 中的 参考标号	组分	厚度微米 (微英寸)	图 9A 中的 参考标号	组分	原子百分比
26	C194	N.A.	26	C194	N.A.
34	铜	0.51-1.02 (20-40)	82	铜 锡	75% 25%
36	锡	1.02-2.03 (40-80)	86	铜 锡	56% 44%

[0107] 表 6(图 9B)

[0108]

图 9B 中的 参考标号	组分	厚度微米 (微米)	图 9B 中的 参考标号	组分	原子百分比
26	C194	N. A.	26	C194	N. A.
34	铜	0.51-1.02 (20-40)	88	铜 锡	79% 21%
28	银	0.13-0.25 (5-10)	90	铜 锡 银	74% 23% 3%
36	锡	1.02-2.03 (40-80)	92	银 锡 铜	56% 25% 19%

[0109] 表 7 (图 9C)

[0110]

图 9C 中的 参考标号	组分	厚度微米 (微英寸)	图 9C 中的 参考标号	组分	原子百分比
26	C194	N. A.	26	C194	N. A.
32	镍	0.13-0.51 (5-20)	96	铜 镍 锡	42% 32% 26%
34	铜	0.18-0.46 (7-18)	98	铜 锡 镍 银	50% 41% 7% 2%
28	银	0.13-0.25 (5-10)	94	锡 铜 银	77% 17% 6%
36	锡	1.02-2.03 (40-80)	92	银 锡 铜	56% 31% 13%

[0111] 表 8(图 9D)

[0112]

图 9D 中的 参考标号	组分	厚度微米 (微英寸)	图 9D 中的 参考标号	组分	原子百分比
26	C194	N. A.	26	C194	N. A.
32	镍	0.13-0.51 (5-20)	100	锡 镍 铜 银	41% 34% 24% 1%
28	银	0.13-0.25 (5-10)	102	锡 银 铜 镍	35% 27% 23% 15%
36	锡	1.02-2.03 (40-80)	92	银 锡 铜	64% 26% 10%

[0113] 需要注意的是由于 x 射线的展宽和穿透的厚度, EDX 分析结果可能有几个百分比的偏离。然而,以比较为目的,上述结果可以有效地区分所述样品。

[0114] 虽然本发明是利用所示出的具体实施方式进行显示和描述的,但应理解,可以在形式及其细节方面进行前述和各种其它修改、省略和增加,而没有脱离如权利要求所界定的本发明的精神和范围。

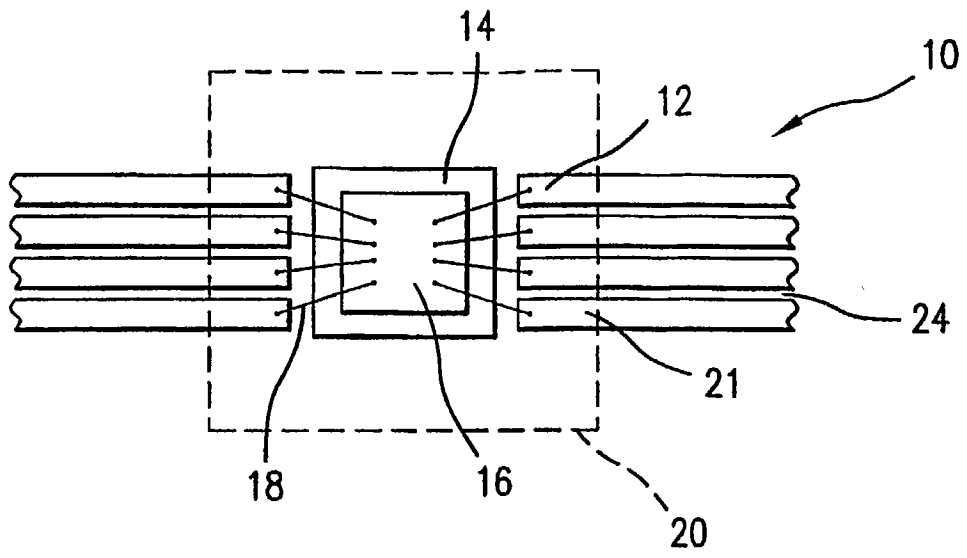


图 1

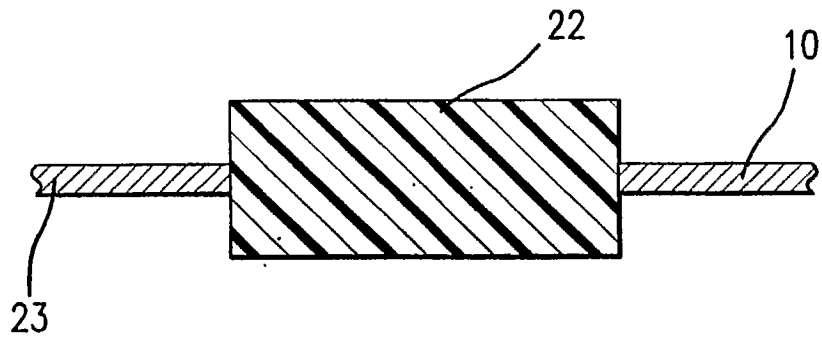


图 2

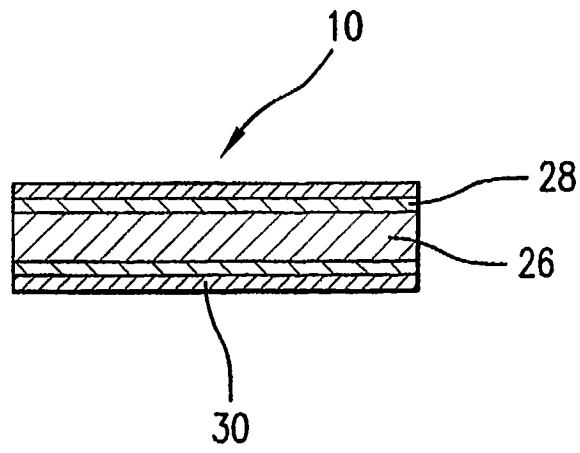


图 3

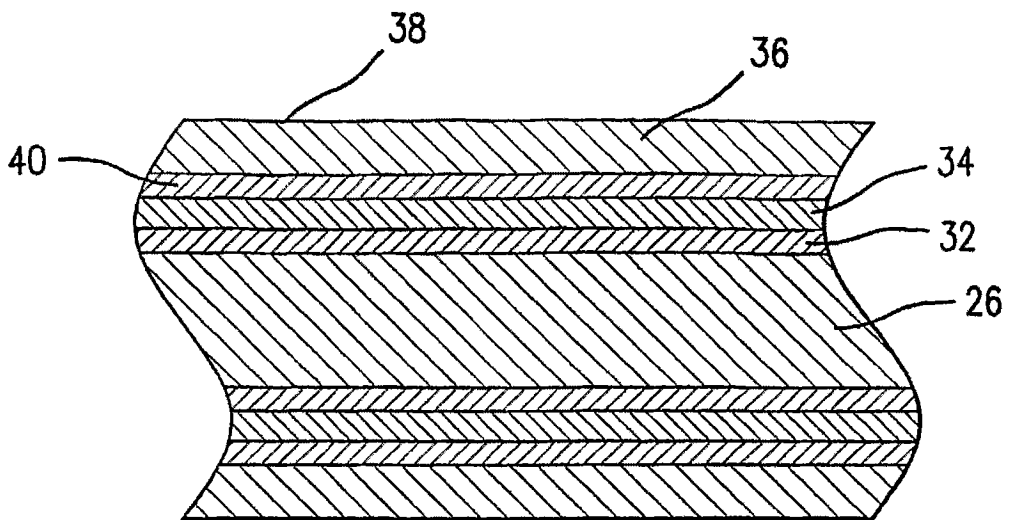


图 4

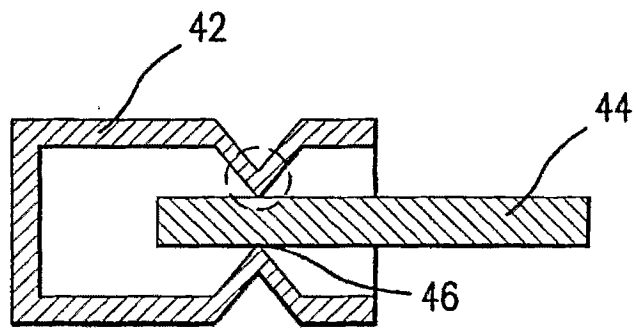


图 5

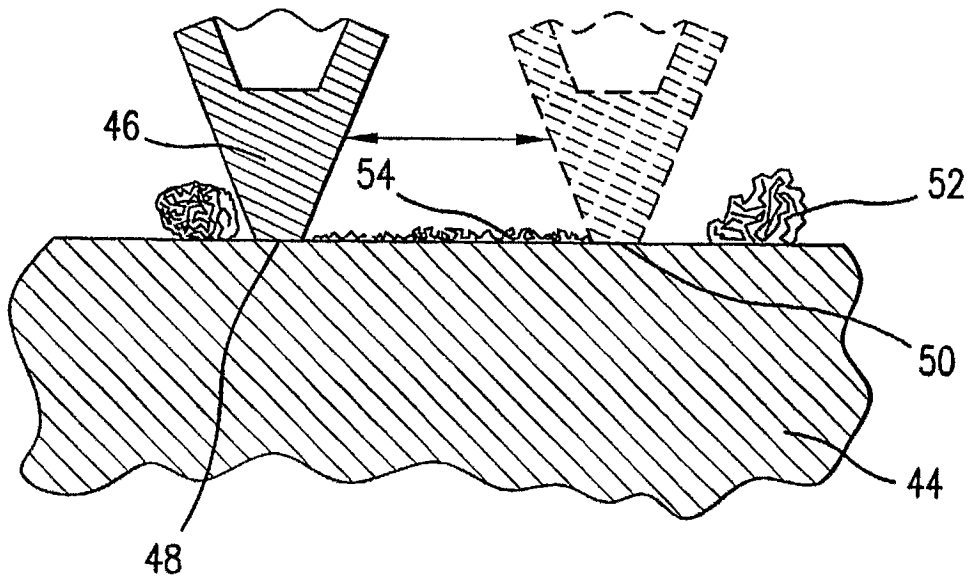


图 6

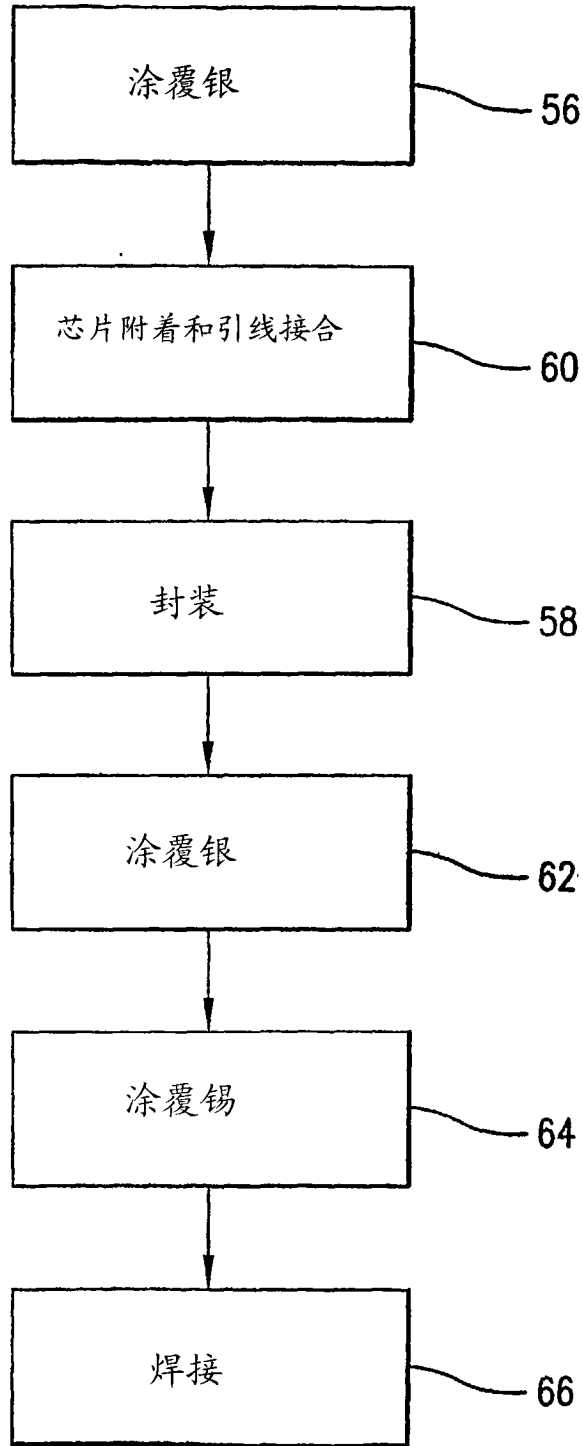


图 7

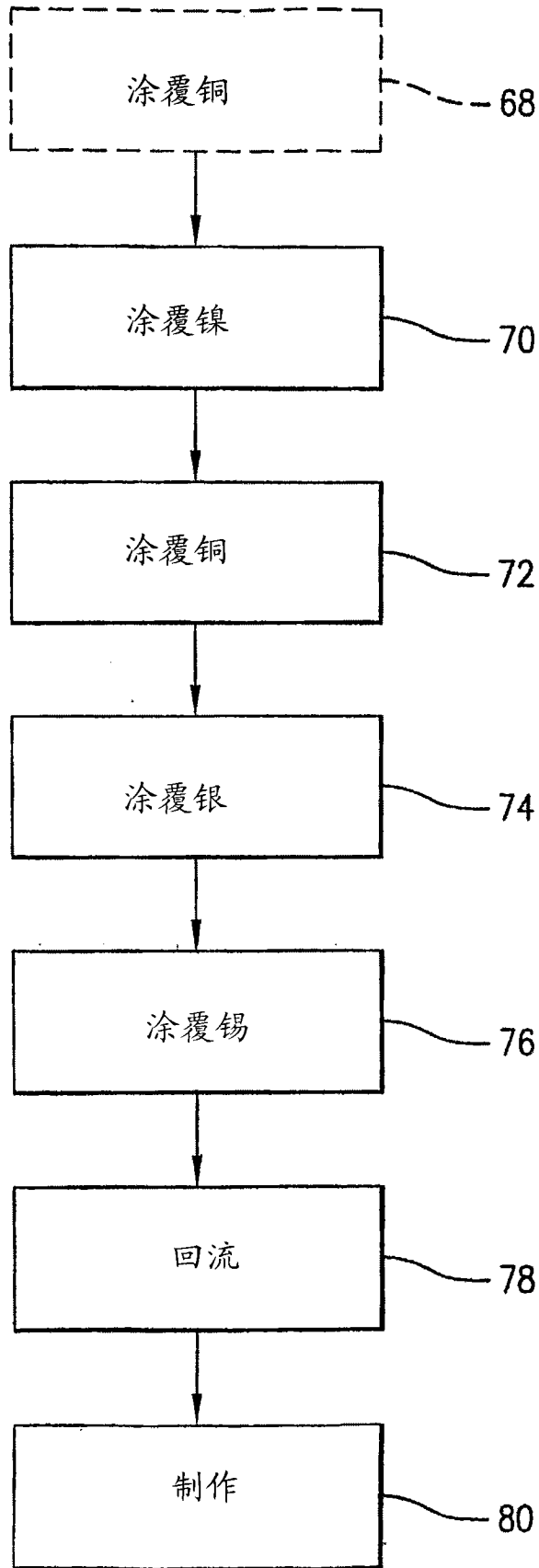


图 8

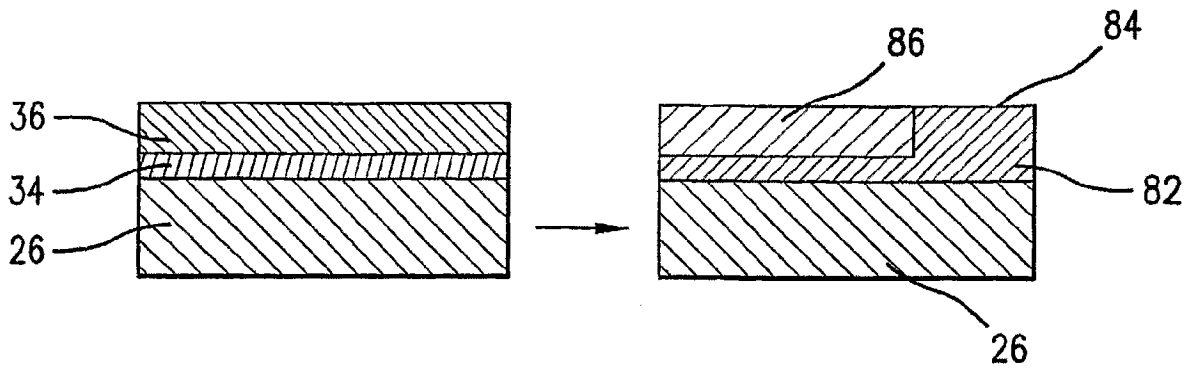


图 9A

(现有技术)

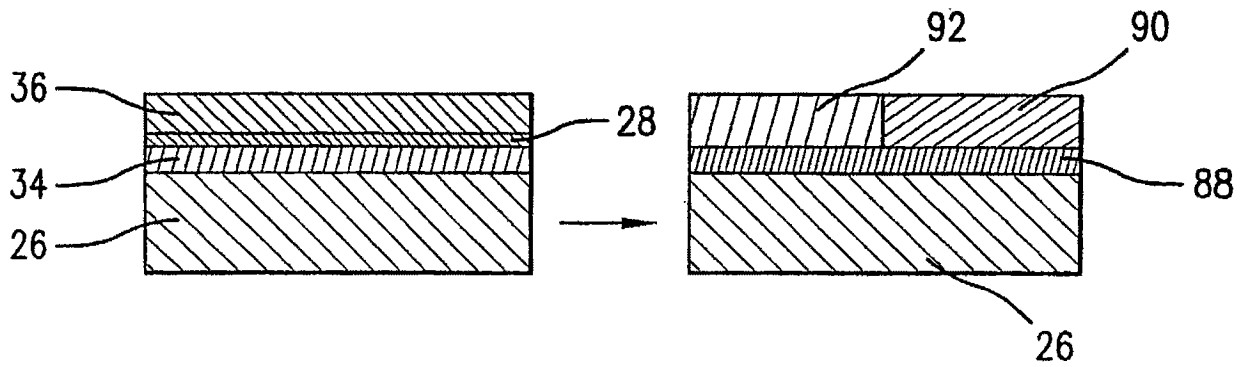


图 9B

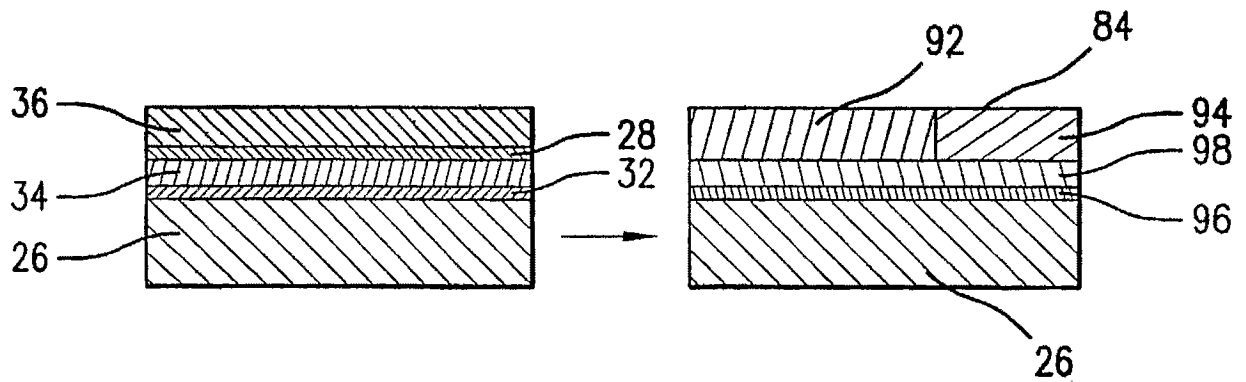


图 9C

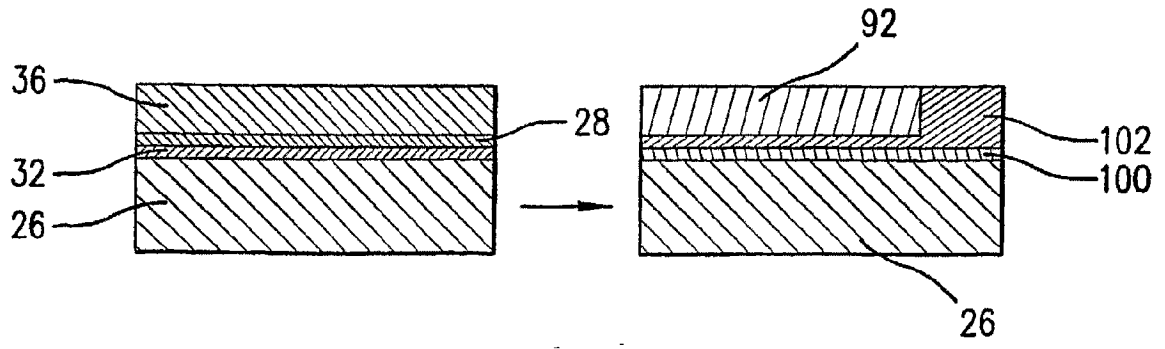


图 9D

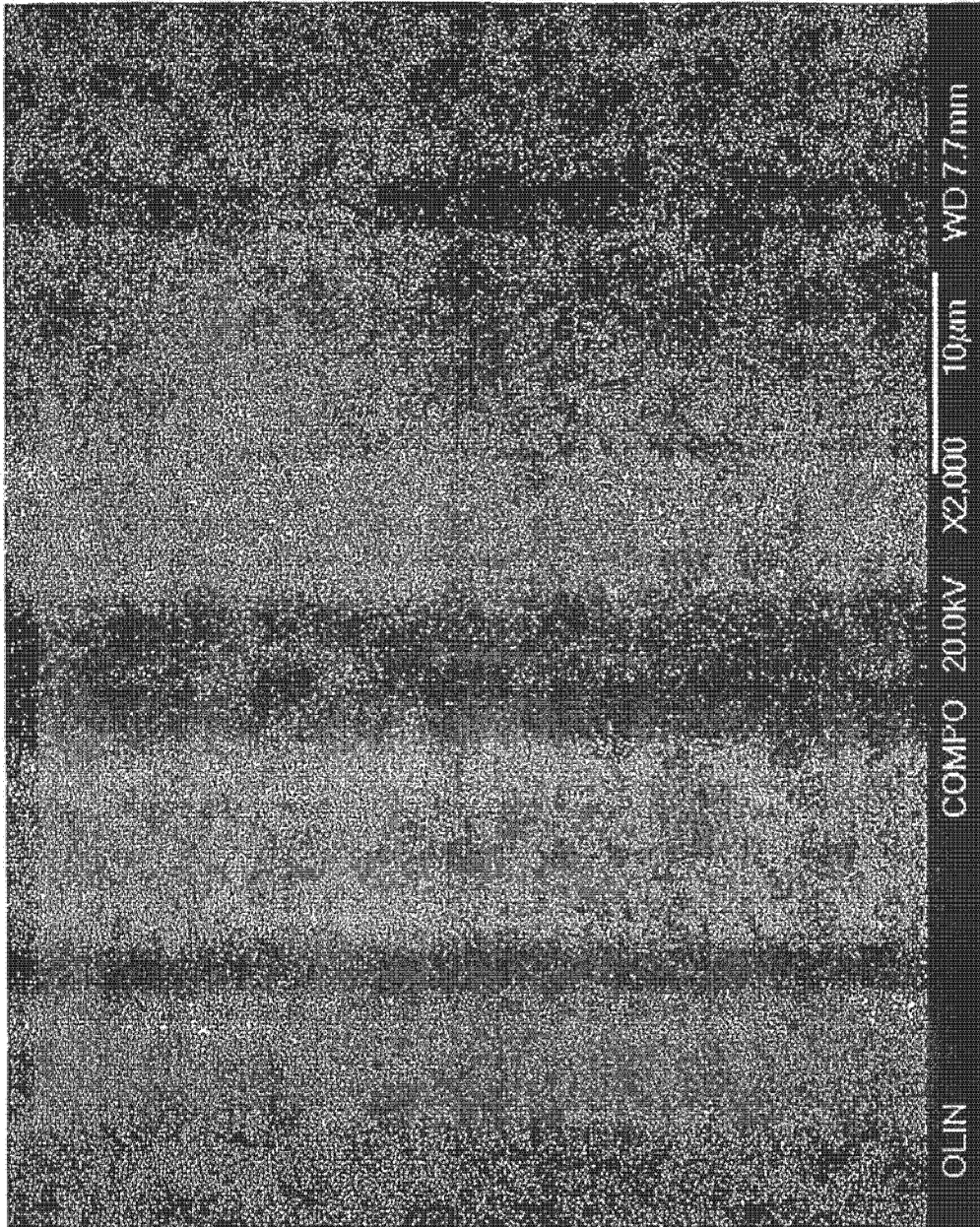


图 10

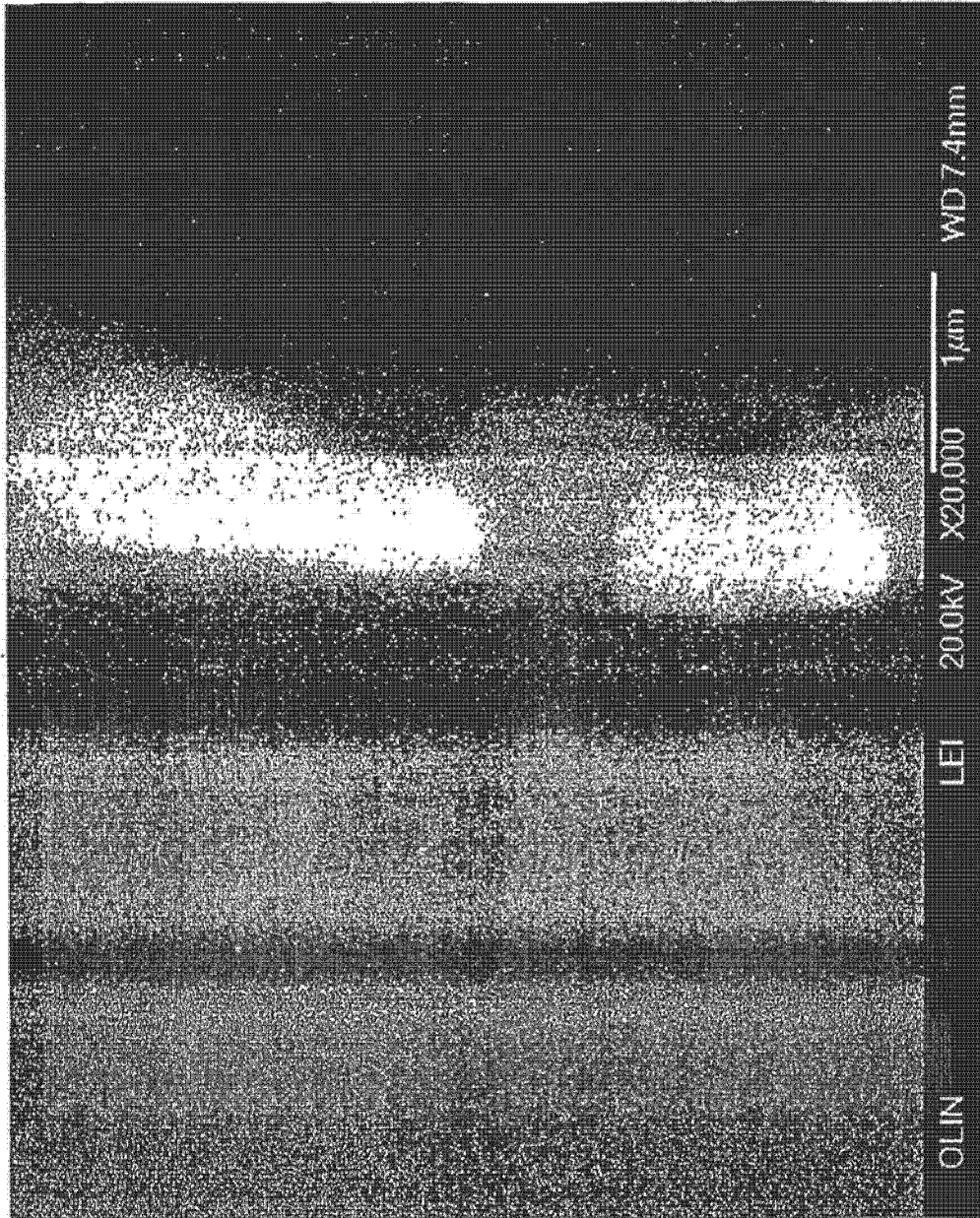


图 11