

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-309822
(P2004-309822A)

(43) 公開日 平成16年11月4日(2004.11.4)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
G09G 3/36	G09G 3/36	2H093
G02F 1/133	G02F 1/133 550	5C006
G09G 3/20	G09G 3/20 611J	5C080
	G09G 3/20 623H	
	G09G 3/20 623L	
審査請求 未請求 請求項の数 5 O L (全 19 頁) 最終頁に続く		

(21) 出願番号 特願2003-103764 (P2003-103764)
(22) 出願日 平成15年4月8日(2003.4.8)

(71) 出願人 000002185
ソニー株式会社
東京都品川区北品川6丁目7番35号
(74) 代理人 100092336
弁理士 鈴木 晴敏
(72) 発明者 小林 寛
東京都品川区北品川6丁目7番35号 ソニー株式会社内
Fターム(参考) 2H093 NA42 NC09 NC16 ND01 ND10
ND34 ND37
5C006 AA16 AC09 AC11 AF43 AF50
AF52 AF72 BB16 BC13 BC20
BC23 BF03 BF11 BF24 FA12
FA16 FA22 FA25 FA26 FA37
FA56
最終頁に続く

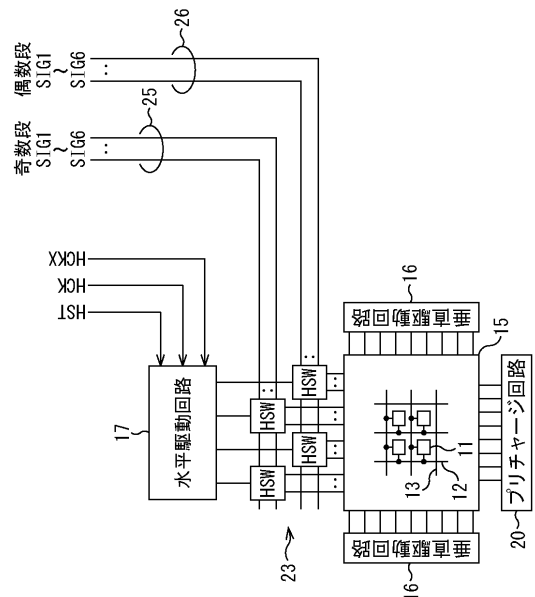
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】ゴーストと縦筋不良の両者を改善可能な、点順次駆動方式を提供する。

【解決手段】サンプリングスイッチ23は、飛び飛びに配された第一組のサンプリングスイッチと、一個ずれて配された第二組のサンプリングスイッチに分かれている。第一組のサンプリングスイッチには第一系統の映像ライン25が接続する一方、第二組のサンプリングスイッチには第二系統の映像ライン26が接続する。水平駆動回路17から順次出力されるサンプリングパルスの列は、第一組に属するサンプリングスイッチと第二組に属するサンプリングスイッチとに交互に振り分けられて、夫々第一パルス列と第二パルス列を構成し、第一パルス列の中で隣り合うサンプリングパルスをノンオーバーラップとし、第二パルス列の中で隣り合うサンプリングパルスもノンオーバーラップとする一方、各サンプリングパルスのパルス幅を確保して、映像信号のサンプリングを適正化する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

行状のゲートライン、列状の信号ライン、両ラインが交差する部分に行列状に配された画素、及び少なくとも二系統に分かれて映像信号を供給する映像ラインを有するパネルと、行状の該ゲートラインに接続し順次画素の行を選択する垂直駆動回路と、

列状の該信号ラインを該映像ラインに接続するために配された複数のサンプリングスイッチと、

クロック信号に基づいて動作し、サンプリングパルスを順次発生して複数のサンプリングスイッチを順に駆動し、もって選択された行の画素に順次映像信号を書き込む水平駆動回路とからなる表示装置であって、

前記複数のサンプリングスイッチは、飛び飛びに配された第一組のサンプリングスイッチと、第一組に属する各サンプリングスイッチから一個ずれて配された第二組のサンプリングスイッチに分かれており、

第一組のサンプリングスイッチには第一系統の映像ラインが接続する一方、第二組のサンプリングスイッチには第二系統の映像ラインが接続し、

前記水平駆動回路から順次出力されるサンプリングパルスの列は、第一組に属するサンプリングスイッチと第二組に属するサンプリングスイッチとに交互に振り分けられて、夫々第一パルス列と第二パルス列を構成し、

第一パルス列の中で隣り合うサンプリングパルスをノンオーバーラップとし、第二パルス列の中で隣り合うサンプリングパルスもノンオーバーラップとする一方、各サンプリングパルスのパルス幅を確保して、映像信号のサンプリングを適正化することを特徴とする表示装置。

10

20

【請求項 2】

前記水平駆動回路は、該クロック信号に同期してシフト動作を行い各シフト段からシフトパルスを順次出力するシフトレジスタと、前記シフトレジスタから順次出力される該シフトパルスに应答して該クロック信号と同一のクロック信号を抜き取って該サンプリングパルスを順次生成する抜取スイッチ群とを有することを特徴とする請求項 1 記載の表示装置。

【請求項 3】

前記第一系統は少なくとも三本の映像ラインを束ねたものであり、前記第一組に属するサンプリングスイッチは、該三本の映像ラインから供給される三個の映像信号を同時に三本の信号ラインにサンプリングする一方、

前記第二系統も少なくとも三本の映像ラインを束ねたものであり、前記第二組に属するサンプリングスイッチは、該三本の映像ラインから供給される三個の映像信号を同時に三本の信号ラインにサンプリングすることを特徴とする請求項 1 記載の表示装置。

30

【請求項 4】

前記第一系統は六本の映像ラインを束ねたものであり、前記第一組に属するサンプリングスイッチは、該六本の映像ラインから供給される六個の映像信号を同時に六本の信号ラインにサンプリングする一方、

前記第二系統も六本の映像ラインを束ねたものであり、前記第二組に属するサンプリングスイッチは、該六本の映像ラインから供給される六個の映像信号を同時に六本の信号ラインにサンプリングし、

以って合計 12 本の映像ラインを介して XGA 規格の映像信号を行列状の画素に書き込むことを特徴とする請求項 3 記載の表示装置。

40

【請求項 5】

行状のゲートライン、列状の信号ライン、両ラインが交差する部分に行列状に配された画素、及び少なくとも二系統に分かれて映像信号を供給する映像ラインを有するパネルと、行状の該ゲートラインに接続し順次画素の行を選択する垂直駆動回路と、列状の該信号ラインを該映像ラインに接続するために配された複数のサンプリングスイッチと、クロック

信号に基づいて動作し、サンプリングパルスを順次発生して複数のサンプリングスイッチ

50

を順に駆動し、もって選択された行の画素に順次映像信号を書き込む水平駆動回路とからなる表示装置の駆動方法であって、

前記複数のサンプリングスイッチを、飛び飛びに配された第一組のサンプリングスイッチと、第一組に属する各サンプリングスイッチから一個ずつ配された第二組のサンプリングスイッチに分け、

第一組のサンプリングスイッチには第一系統の映像ラインを接続する一方、第二組のサンプリングスイッチには第二系統の映像ラインを接続し、

前記水平駆動回路から順次出力されるサンプリングパルスの列を、第一組に属するサンプリングスイッチと第二組に属するサンプリングスイッチとに交互に振り分けて、夫々第一パルス列と第二パルス列に分け、

第一パルス列の中で隣り合うサンプリングパルスをノンオーバーラップとし、第二パルス列の中で隣り合うサンプリングパルスもノンオーバーラップとする一方、各サンプリングパルスのパルス幅を確保して、映像信号のサンプリングを適正化することを特徴とする表示装置の駆動方法。

10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は表示装置に関する。より詳しくは、点順次駆動方式のアクティブマトリクス型表示装置に内蔵される水平駆動回路の改良技術に関する。

【0002】

20

【従来の技術】

図15は、従来の表示装置の典型的な構成を示すブロック図である。図示する様に、従来の表示装置は画素アレイ部15、垂直駆動回路16及び水平駆動回路17などを集積的に形成したパネル33で構成されている。画素アレイ部15は、行状のゲートライン13、列状の信号ライン12及び両者が交差する部分に行列状に配された画素11とで構成されている。垂直駆動回路16は左右に分かれて配されており、ゲートライン13の両端に接続して、順次画素11の行を選択する。水平駆動回路17は信号ライン12に接続するとともに所定の周期のクロック信号に基づいて動作し、選択された行の画素11に順次映像信号を書き込む。従来の表示装置は更に外部のクロック生成回路18を備えており、水平駆動回路17の動作基準となるクロック信号HCK, HCKXと、これらのクロック信号HCK, HCKXに対して周期が同じで且つデューティ比が小さいクロック信号DCK1, DCK2を生成する。尚、HCKXはHCKの反転信号である。又、本明細書では特に明示しないが、必要に応じクロック信号DCK1, DCK2の反転信号DCK1X, DCK2Xも供給される。外部クロック生成回路18は、これらのクロック信号に加え、水平スタートパルスHSTもパネル33側に供給する。尚、各信号ライン12にはプリチャージ回路20が接続しており、映像信号の書き込みに先立ってプリチャージを行い、画質を改善する。

30

【0003】

【特許文献1】特開2000-267616公報

【0004】

40

図16は、図15に示した表示装置の構成例を示す回路図である。図示する様に、表示装置は、行状のゲートライン13、列状の信号ライン12、両ラインが交差する部分に行列状に配された画素11及び映像信号を供給する映像ライン25を有するパネルで構成されている。表示装置は、上述したパネルに加え垂直駆動回路16、水平駆動回路17及びクロック生成回路18を含んでいる。典型的には、垂直駆動回路16及び水平駆動回路17はパネルに内蔵されている。又、パネルにはサンプリングスイッチ群23も形成されている。サンプリングスイッチ群23の各スイッチ(HSW)は各信号ライン12に対応して配されており、映像ライン25を各信号ライン12に接続する役割を果たす。

【0005】

垂直駆動回路16は各ゲートライン13に接続し、順次行単位で画素11を選択する。水

50

平駆動回路 17 は所定の周期のクロック信号に基づいて動作し、サンプリングパルス A' , B' , C' , D' . . . を順次発生して各スイッチ H S W を順に駆動し、以って選択された行の画素 11 に順次映像信号を書き込む。

【0006】

クロック生成回路 18 は、水平駆動回路 17 の動作基準となるクロック信号 H C K を生成するとともに、このクロック信号 H C K に対してパルス幅が短いクロック信号 D C K 1 , D C K 2 を生成する。一方、水平駆動回路 17 は、シフトレジスタ 21 と抜取スイッチ群 22 とで構成されている。尚、シフトレジスタ 21 の各段を S / R で表わしてある。シフトレジスタ 21 は、クロック信号 H C K に同期して水平スタートパルス H S T のシフト動作を行い、各シフト段 S / R からシフトパルス A , B , C , D . . . を順次出力する。抜取スイッチ群 22 の各スイッチは、シフトレジスタ 21 から順次出力されるシフトパルス A , B , C , D . . . に応答してクロック信号 D C K 1 , D C K 2 を抜き取り、前述したサンプリングパルス A' , B' , C' , D' . . . を順次生成する。

10

【0007】

図 17 を参照して、図 16 に示した表示装置の動作を簡潔に説明する。水平駆動回路 17 はクロック信号 H C K (以下、H C K パルスと呼ぶ場合がある) 及びその反転信号 H C K X に応じて動作し、スタートパルス H S T を順次転送することで、シフトパルス A , B , C を生成している。クロック生成回路 18 は H C K パルスの他、クロック信号 D C K 1 , D C K 2 (以下、D C K パルスと呼ぶ場合がある) を水平駆動回路 17 に供給している。図 17 のタイミングチャートから明らかな様に、D C K パルスは H C K パルスと同一の周期を有するが、パルス幅が小さくなっている。又、D C K 1 と D C K 2 は互いに位相が 180 度ずれている。

20

【0008】

水平駆動回路 17 は各シフトパルス A , B , C で抜取スイッチ群 22 を開閉駆動し、D C K パルスを抜き取っている。これにより、サンプリングパルス A' , B' , C' を生成している。具体的には、D C K 1 のパルスをシフトパルス A で抜き取ることにより、サンプリングパルス A' を生成している。同様に、D C K 2 のパルスをシフトパルス B で抜き取ることにより、サンプリングパルス B' を得ている。この様なクロックドライブ方式を導入することで、隣り合うサンプリングパルス同士が互いにノンオーバーラップとなる様にしている。すなわち、サンプリングパルス A' と B' は時間的に隔てられており、互いに重なることはない。同様に、サンプリングパルス B' と C' も互いに時間的に隔てられており、重なることがない。

30

【0009】

【発明が解決しようとする課題】

点順次駆動方式のアクティブマトリクス表示装置では、従来からゴーストや縦筋などの表示不良が解決すべき課題として挙げられている。ゴーストは、サンプリングパルスの出力タイミングのばらつきや遅延などによって、隣の信号ラインにサンプリングすべき映像信号を誤って当該信号ラインにサンプリングすることで発生する。ゴーストを抑制する為には、可能な限り隣り合うサンプリングパルスの間隔(ノンオーバーラップ時間)を大きく取ることが有効である。但し、ノンオーバーラップ時間を拡大すると、その分サンプリングパルスの幅が狭くなる。一方、縦筋は、サンプリングパルスの幅がばらついたり変動することで、信号ラインに対する映像信号のサンプリングが不十分もしくは不完全となり、隣接する列の画素との間で表示濃度に誤差が生じる為に発生する。縦筋を抑制する為には、サンプリングパルス幅を可能な限り広く取ることが好ましい。但し、サンプリングパルス幅を拡大すると、その分ノンオーバーラップ時間が縮小化される。

40

【0010】

【課題を解決するための手段】

ゴーストを抑制する為にはノンオーバーラップ時間を広く取ることが有効であり、縦筋を抑制する為にはパルス幅を広く取ることが有効である。しかしながら、両者はトレードオフの関係にあり、一方を改善しようとする他方が犠牲になってしまう。そこで本発明は

50

、ゴーストと縦筋の両者を改善可能な点順次駆動方式を提供することを目的とする。係る目的を達成するために以下の手段を講じた。即ち、行状のゲートライン、列状の信号ライン、両ラインが交差する部分に行列状に配された画素、及び少なくとも二系統に分かれて映像信号を供給する映像ラインを有するパネルと、行状の該ゲートラインに接続し順次画素の行を選択する垂直駆動回路と、列状の該信号ラインを該映像ラインに接続するために配された複数のサンプリングスイッチと、クロック信号に基づいて動作し、サンプリングパルスを順次発生して複数のサンプリングスイッチを順に駆動し、もって選択された行の画素に順次映像信号を書き込む水平駆動回路とからなる表示装置であって、前記複数のサンプリングスイッチは、飛び飛びに配された第一組のサンプリングスイッチと、第一組に属する各サンプリングスイッチから一個ずれて配された第二組のサンプリングスイッチに分かれており、第一組のサンプリングスイッチには第一系統の映像ラインが接続する一方、第二組のサンプリングスイッチには第二系統の映像ラインが接続し、前記水平駆動回路から順次出力されるサンプリングパルスの列は、第一組に属するサンプリングスイッチと第二組に属するサンプリングスイッチとに交互に振り分けられて、夫々第一パルス列と第二パルス列を構成し、第一パルス列の中で隣り合うサンプリングパルスをノンオーバーラップとし、第二パルス列の中で隣り合うサンプリングパルスもノンオーバーラップとする一方、各サンプリングパルスのパルス幅を確保して、映像信号のサンプリングを適正化することを特徴とする。

10

【0011】

好ましくは、前記水平駆動回路は、該クロック信号に同期してシフト動作を行い各シフト段からシフトパルスを順次出力するシフトレジスタと、前記シフトレジスタから順次出力される該シフトパルスに応答して該クロック信号と同一のクロック信号を抜き取って該サンプリングパルスを順次生成する抜き取りスイッチ群とを有する。また、前記第一系統は少なくとも三本の映像ラインを束ねたものであり、前記第一組に属するサンプリングスイッチは、該三本の映像ラインから供給される三個の映像信号を同時に三本の信号ラインにサンプリングする一方、前記第二系統も少なくとも三本の映像ラインを束ねたものであり、前記第二組に属するサンプリングスイッチは、該三本の映像ラインから供給される三個の映像信号を同時に三本の信号ラインにサンプリングする。更には、前記第一系統は六本の映像ラインを束ねたものであり、前記第一組に属するサンプリングスイッチは、該六本の映像ラインから供給される六個の映像信号を同時に六本の信号ラインにサンプリングする一方、前記第二系統も六本の映像ラインを束ねたものであり、前記第二組に属するサンプリングスイッチは、該六本の映像ラインから供給される六個の映像信号を同時に六本の信号ラインにサンプリングし、以って合計12本の映像ラインを介してXGA規格の映像信号を行列状の画素に書き込む。

20

30

【0012】

又本発明は、行状のゲートライン、列状の信号ライン、両ラインが交差する部分に行列状に配された画素、及び少なくとも二系統に分かれて映像信号を供給する映像ラインを有するパネルと、行状の該ゲートラインに接続し順次画素の行を選択する垂直駆動回路と、列状の該信号ラインを該映像ラインに接続するために配された複数のサンプリングスイッチと、クロック信号に基づいて動作し、サンプリングパルスを順次発生して複数のサンプリングスイッチを順に駆動し、もって選択された行の画素に順次映像信号を書き込む水平駆動回路とからなる表示装置の駆動方法であって、前記複数のサンプリングスイッチを、飛び飛びに配された第一組のサンプリングスイッチと、第一組に属する各サンプリングスイッチから一個ずれて配された第二組のサンプリングスイッチに分け、第一組のサンプリングスイッチには第一系統の映像ラインを接続する一方、第二組のサンプリングスイッチには第二系統の映像ラインを接続し、前記水平駆動回路から順次出力されるサンプリングパルスの列を、第一組に属するサンプリングスイッチと第二組に属するサンプリングスイッチとに交互に振り分けて、夫々第一パルス列と第二パルス列に分け、第一パルス列の中で隣り合うサンプリングパルスをノンオーバーラップとし、第二パルス列の中で隣り合うサンプリングパルスもノンオーバーラップとする一方、各サンプリングパルスのパルス幅を

40

50

確保して、映像信号のサンプリングを適正化することを特徴とする。

【0013】

本発明によれば、水平駆動回路は従来と同様に順次サンプリングパルスをサンプリングスイッチ群に供給する。一方、映像信号を供給する映像ラインは二系統に分かれている。これと対応する様に、サンプリングスイッチ群は奇数番目の組と偶数番目の組に分かれている。奇数番目のサンプリングスイッチには一方の映像ラインが共通接続され、偶数番目のサンプリングスイッチには他方の映像ラインが共通接続される。この結果、サンプリングスイッチ群は共通の水平駆動回路で順次駆動されるものの、サンプリング動作としては奇数番目の組と偶数番目の組とで互いに独立な二系統に分かれている。ここで奇数番目の組に着目すると、一番目のサンプリングスイッチにサンプリングパルスが印加された後、三番目のサンプリングスイッチにサンプリングパルスが印加され、以下一個置きにサンプリングパルスが印加されることになる。すなわち、一番目のサンプリングパルスと三番目のサンプリングパルスとの間に発生する二番目のサンプリングパルスは、動作上独立している他の系統に属する二番目のサンプリングスイッチに振り分けられる為、実質的には間引かれることになる。この様に、奇数番目の組に着目すると、一個置きにサンプリングパルスを間引くことで、自動的に隣り合うサンプリングパルスがノンオーバーラップとなる。しかもこのノンオーバーラップ時間はパルス幅と同程度まで十分に広く取れる為、効果的にゴーストを抑制できる。この間引方式によれば、自動的にノンオーバーラップ時間を確保できる為、サンプリングパルス幅自体は何ら犠牲にならず、最大限までその幅を確保できる。従って、縦筋も効果的に抑制可能である。この様に、本発明によればノンオーバーラップ時間とサンプリングパルス幅の両者を確保でき、ゴーストの改善と縦筋の改善を両立させることができる。

10

20

【0014】

【発明の実施の形態】

以下図面を参照して本発明の実施の形態を詳細に説明する。図1は本発明に係る表示装置の実施形態を示す模式的なブロック図である。図示する様に、本表示装置は、基本的に画素アレイ部15、垂直駆動回路16、水平駆動回路17及びサンプリングスイッチ群23などで構成されている。この他に必要に応じプリチャージ回路20が含まれる。これらの構成要素は、一枚のパネルとして組み立てられている。画素アレイ部15は、行状のゲートライン13、列状の信号ライン12、両ラインが交差する部分に行列状に配された画素11が集積的に形成されている。この画素アレイ部15はパネルの中央部に配されている。更にパネルには、少なくとも二系統に分かれて映像信号を供給する映像ライン25, 26が配されている。垂直駆動回路16は、行状のゲートライン13に接続し、順次画素11の行を選択する。複数のサンプリングスイッチ23は、列状の信号ライン12を映像ライン25, 26に接続する為に配されている。水平駆動回路17は、クロック信号HCK, HCKXに基づいて動作し、サンプリングパルスを順次発生して複数のサンプリングスイッチ(HSW)23を順に駆動し、以って選択された行の画素11に順次映像信号を書き込む。

30

【0015】

複数のサンプリングスイッチ23は、飛び飛びに配された第一組のサンプリングスイッチと、第一組に属する各サンプリングスイッチから一個ずれて配された第二組のサンプリングスイッチに分かれている。本実施形態では、第一組と第二組のみであるが、場合によっては第三組以降を設けることもできる。本実施形態の様に二組の場合には、奇数番目のサンプリングスイッチが第一組(奇数組)に属する一方、偶数番目のサンプリングスイッチが第二組(偶数組)に属することとなる。奇数組のサンプリングスイッチには第一系統の映像ライン25が接続する一方、偶数組のサンプリングスイッチには第二系統の映像ライン26が接続している。

40

【0016】

本発明の特徴事項として、水平駆動回路17から順次出力されるサンプリングパルスの列は、奇数組に属するサンプリングスイッチHSWと偶数組に属するサンプリングスイッチ

50

H S Wとに交互に振り分けられて、それぞれ第一パルス列（奇数パルス列）と第二パルス列（偶数パルス列）を構成する。奇数組と偶数組とでサンプリングスイッチを交互に振り分けた結果、奇数パルス列の中で隣り合うサンプリングパルスはノンオーバーラップとなり、偶数パルス列の中で隣り合うサンプリングパルスもノンオーバーラップとなる。これにより、ゴーストを効果的に抑制できる。又、自動的にノンオーバーラップとなる為、個々のサンプリングパルス幅を確保でき、これにより縦筋を効果的に抑制可能である。この結果、ゴーストと縦筋の両者を抑制でき、映像信号のサンプリングを適正化することに成功している。

【0017】

本実施形態では、第一系統は6本の映像ライン25を束ねたものであり、奇数組に属するサンプリングスイッチH S Wは、6本の映像ライン25から供給される6個の映像信号S I G 1 ~ S I G 6を同時に6本の信号ライン12にサンプリングする。第二系統も6本の映像ライン26を束ねたものであり、偶数組に属するサンプリングスイッチH S Wは、6本の映像ライン26から供給される6個の映像信号S I G 1 ~ S I G 6を同時に6本の信号ライン12にサンプリングする。本実施形態では、合計12本の映像ラインを介してX G A規格の映像信号を行列状の画素11に書き込む様にしている。但し本発明はこれに限られるものではない。好ましくは、第一系統は少なくとも3本の映像ラインを束ねたものであり、第一組に属するサンプリングスイッチは、3本の映像ラインから供給される3個の映像信号を同時に3本の信号ラインにサンプリングする一方、第二系統も少なくとも3本の映像ラインを束ねたものであり、第二組に属するサンプリングスイッチは3本の映像ラインから供給される3個の映像信号を同時に3本の信号ラインにサンプリングする。

【0018】

図2は、図1に示した表示装置に含まれる水平駆動回路の実施形態を示すブロック図である。図示する様に、水平駆動回路17は、シフトレジスタ21と抜取スイッチ群22とで構成されている。シフトレジスタ21は、クロック信号H C K , H C K Xに同期して水平スタートパルスH S Tのシフト動作を行い、各シフト段(S / R)からシフトパルス(転送パルス) 1 , 2 , 3 , 4を順次出力する。抜取スイッチ群22は、シフトレジスタ21から順次出力されるシフトパルスにตอบสนองしてクロック信号H C K , H C K Xと同一のクロック信号を抜き取って、サンプリングパルス 1 , 2 , 3 , 4を順次生成する。尚、抜取スイッチ群22によって抜き取られるクロック信号H C K , H C K Xは、シフトレジスタ21に供給されるクロック信号H C K , H C K Xとは別に、配線24-1, 24-2を介して供給されている。サンプリングパルス 1 は奇数段のサンプリングスイッチH S Wに印加され、次のサンプリングパルス 2 は偶数段のサンプリングスイッチH S Wに印加され、次のサンプリングパルス 3 は奇数段のサンプリングスイッチH S Wに印加され、続くサンプリングパルス 4 は偶数段のサンプリングスイッチH S Wに印加されている。この様に、水平駆動回路17から順次出力されるサンプリングパルスは、奇数段のH S Wと偶数段のH S Wとに交互に振り分けられる。

【0019】

図3は、図2に示した水平駆動回路の動作説明に供するタイミングチャートである。シフトレジスタはH C Kパルス及びH C K Xパルスに応じて動作し、スタートパルスH S Tを順次転送して、転送パルス 1 , 2 , 3 , 4を出力する。図示する様に、各転送パルスは順にH C Kパルスの半周期分だけシフトしている。続いて抜取スイッチ群22は、転送パルスに応じて開閉動作し、H C Kパルス又はH C K Xパルスを抜き取って、順次サンプリングパルス 1 , 2 , 3 , 4を生成する。例えば第一段の抜取スイッチは転送パルス 1 に応じてH C K Xパルスを抜き取り、サンプリングパルス 1 を生成する。これは、奇数段のサンプリングスイッチH S Wに送られる。二番目の抜取スイッチは、転送パルス 2 に応じて開閉動作し、H C Kパルスを抜き取ってサンプリングパルス 2 を生成する。このサンプリングパルス 2 は偶数段のサンプリングスイッチH S Wに送られる。三番目の抜取スイッチ22は、転送パルス 3 に応じて開閉動作し、H C K Xパルスを抜き取ってサンプリングパルス 3 とする。四番目の

抜取スイッチ 22 は、転送パルス 4 に応じて開閉動作し、HCK パルスを抜き取ってサンプリングパルス 4 とする。

【0020】

タイミングチャートから明らかな様に、同一系統に属するサンプリングパルス 1 と 3 の間に、他系統に属するサンプリングパルス 2 が介在している。同様に、同一系統に属するサンプリングパルス 2, 4 の間に、別の系統に属するサンプリングパルス 3 が介在している。一つの系統に着目すると、サンプリングパルス列は間に必ず HCK パルスの半周期分のノンオーバーラップ時間が介在することになる。XGA 規格の映像信号を本実施形態の様に SIG1 から SIG6 の 6 相構成とした場合、HCK パルスの半周期は 80 ~ 90 nsec 程度である。この時間幅は、ノンオーバーラップ時間として 10 十分であり、効果的にゴーストを抑制できる。又、本実施形態では抜取スイッチ群 22 が HCK パルス又は HCKX パルスを抜き取っている為、サンプリングパルスの幅もノンオーバーラップ時間と同じ 80 ~ 90 nsec 程度である。これは、30 ~ 45 nsec 程度の狭パルスではない為、縦筋の発生を効果的に抑制できる。

10

【0021】

本実施形態ではサンプリングパルスを奇数段と偶数段で交互に振り分ける為、ノンオーバーラップ時間は十分に確保できる。従って、従来のように狭パルス幅の DCK1, DCK2 を用いる必要がなく、HCK, HCKX を抜き取ってサンプリングパルスとすることができ 20 ける。DCK パルスが不要となる分、回路レイアウトをコンパクト化可能である。又、XGA 規格の映像信号を 6 相ではなく 3 相構成で書き込む場合でも、サンプリング時間及びノンオーバーラップ時間共に 30 ~ 45 nsec 程度確保できる。従って、3 相 XGA においても画質は現状と同等のものが得られる。

20

【0022】

図 4 は、本発明の作用を模式的に示したタイミングチャートである。奇数段の画素 3 に黒線を書き込む場合を考えると、映像信号(ビデオ信号)は図示の様な波形となる。ビデオ信号のピーク部分と対応して、奇数段 3 のサンプリングパルスが発生する様になっている。サンプリングパルスは経時的に位相が変化し、図示の様にエージングによる遅延が生じる。この結果、ビデオ信号に対するサンプリングタイミングがずれることになるが、極端な遅延でない限り、奇数段 3 のサンプリングパルスはビデオ信号のピークをサンプリング可能である。これにより、画素アレイ 15 の奇数段 3 に対応する画素列 30 には、一本の黒線が表示されることになる。

30

【0023】

一方、偶数段に供給されるビデオ信号は特に黒線を書き込まないので、ピークは含まれず背景色に対応した平坦な波形となっている。この平坦なビデオ信号は偶数段 2, 4 のサンプリングパルスによって順次サンプリングされている。偶数段 2 のサンプリングパルスはエージングによる遅延で変化するが、ビデオ信号は何ら黒線に対応したピークを含んでいないので、ゴーストは生じない。仮に、偶数段と奇数段で映像ラインを独立にしない場合、偶数段 2 のサンプリングパルスはエージングによる遅延の結果、奇数段 3 30 に書き込むべき映像信号のピークを誤ってサンプリングしてしまう為、いわゆる前ゴーストが現われる。

40

【0024】

図 5 は、図 1 及び図 2 に示した表示装置の具体的な実施例を表わす回路図である。本実施例は、液晶セルを画素の表示エレメント(電気光学素子)として用いた例である。ここでは、図面の簡略化の為、4 行 4 列の画素配列の場合を例にとって示している。行列状に配置された 4 行 4 列分の画素 11 の各々は、画素トランジスタである薄膜トランジスタ TFT と、この薄膜トランジスタ TFT のドレイン電極に画素電極が接続された液晶セル LC と、薄膜トランジスタ TFT のドレイン電極に一方の電極が接続された保持容量 Cs とから構成されている。これら画素 11 の各々に対して、信号ライン 12 - 1 ~ 12 - 4 が各列毎にその画素配列方向に沿って配線され、ゲートライン 13 - 1 ~ 13 - 4 が各行毎にその画素配列方向に沿って配置されている。

50

【0025】

画素11の各々において、薄膜トランジスタTFTのソース電極（又はドレイン電極）は、対応する信号ライン12-1～12-4に各々接続されている。薄膜トランジスタTFTのゲート電極は、ゲートライン13-1～13-4に各々接続されている。液晶セルLCの対向電極及び保持容量Csの他方の電極は、各画素間で共通にCsライン14に接続されている。このCsライン14には、所定の直流電圧がコモン電圧Vcomとして与えられている。

【0026】

以上により、画素11が行列状に配置され、これら画素11に対して信号ライン12-1～12-4が各列毎に配線され且つゲートライン13-1～13-4が各行毎に配線されてなる画素アレイ部15が構成されている。この画素アレイ部15において、ゲートライン13-1～13-4の各一端は、画素アレイ部15の例えば左側に配置された垂直駆動回路16の各段の出力端子に接続されている。

10

【0027】

垂直駆動回路16は、一フィールド期間毎に垂直方向（行方向）に走査してゲートライン13-1～13-4に接続された各画素11を行単位で順次選択する処理を行う。すなわち、垂直駆動回路16からゲートライン13-1に対して走査パルスVg1が与えられた時には一行目の画素が選択され、ゲートライン13-2に対して走査パルスVg2が与えられた時には二行目の画素が選択される。以下同様にして、ゲートライン13-3、13-4に対して走査パルスVg3、Vg4が順に与えられる。

20

【0028】

画素アレイ部15の例えば上側には、水平駆動回路17が配置されている。又、垂直駆動回路16や水平駆動回路17に対して各種のクロック信号を与えるクロック生成回路（タイミングジェネレータ）18が設けられている。この外部クロック生成回路18では、垂直走査の開始を指令する垂直スタートパルスVST、垂直走査の基準となる互いに逆相の垂直クロックVCK、VCKX、水平走査の開始を指令する水平スタートパルスHST、水平走査の基準となる互いに逆相の水平クロックHCK、HCKXが生成される。

【0029】

水平駆動回路17は、二系統の映像ライン25、26から入力される映像信号を1H（Hは水平走査期間）毎に順次サンプリングし、垂直駆動回路16によって行単位で選択された各画素11に対して書き込む処理を行う為のものであり、本例ではクロックドライブ方式を採用し、シフトレジスタ21、クロック抜取スイッチ群22及びサンプリングスイッチ群23を有する構成となっている。シフトレジスタ21は、画素アレイ部15の画素列（本例では4列）に対応した四段のシフト段（S/R）21-1～21-4からなり、水平スタートパルスHSTが与えられると、互いに逆相の水平クロックHCK、HCKXに同期してシフト動作を行う。これにより、シフトレジスタ21の各シフト段21-1～21-4からは、水平クロックHCK、HCKXの周期と同じパルス幅を持つシフトパルスが順次出力される。

30

【0030】

クロック抜取スイッチ群22は、画素アレイ部15の画素列に対応した4個のスイッチ22-1～22-4からなり、これらスイッチ22-1～22-4の各一端が、クロックHCK、HCKXを伝送するクロックライン24-1、24-2に交互に接続されている。すなわち、スイッチ22-1、22-3の各一端がクロックライン24-1に、スイッチ22-2、22-4の各一端がクロックライン24-2にそれぞれ接続されている。

40

【0031】

クロック抜取スイッチ群22の各スイッチ22-1～22-4には、シフトレジスタ21の各シフト段21-1～21-4から順次出力されるシフトパルスが与えられる。クロック抜取スイッチ群22の各スイッチ22-1～22-4は、シフトレジスタ21の各シフト段21-1～21-4からシフトパルスが与えられると、これらシフトパルスにตอบสนองして順にオン状態となることにより、互いに逆相のクロックHCK、HCKXを交互に抜き

50

取る。

【0032】

サンプリングスイッチ群23は、画素アレイ部15の画素列に対応した4個のスイッチ23-1~23-4からなり、これらのスイッチ23-1~23-4の各一端が一系統の映像信号を入力する映像ライン25及び他系統の映像信号を入力する映像ライン26に交互に接続されている。このサンプリングスイッチ群23の各スイッチ23-1~23-4には、クロック抜取スイッチ群22の各スイッチ22-1~22-4によって抜き取られたクロックHCK, HCKXがサンプリングパルスとして与えられる。

【0033】

サンプリングスイッチ群23の各スイッチ23-1~23-4は、クロック抜取スイッチ群22の各スイッチ22-1~22-4からサンプリングパルスが与えられると、これらサンプリングパルスに应答して順にオン状態となることにより、映像ライン25, 26を通して入力される二系統の映像信号を順次交互にサンプリングし、画素アレイ部15の信号ライン12-1~12-4に供給する。サンプリングされた映像信号は選択的にオンされたTFTを介してLCに書き込まれる。

【0034】

図6は、参考例に係る表示装置を表わしたものであり、理解を容易にする為図2に示した実施態様と対応する部分には対応する参照番号を付してある。図2の実施態様では6相の映像信号を二系統に分けて書き込んでいる。これに対し、参考例では一系統だけで6相の映像信号を書き込んでいる。すなわち、6相の映像信号SIG1~6は一系統の映像ライン25によって供給されており、サンプリングスイッチ(HSW)23は、奇数段及び偶数段を問わず、全て共通の映像ライン25に接続されている。又、クロック伝送ライン24-1, 24-2には、広パルスHCK, HCKXに代え、狭パルスDCK1, DCK2が供給されている。

【0035】

図7は、図6に示した参考例に係る表示装置の動作説明に供するタイミングチャートである。理解を容易にする為、図3に示したタイミングチャートと対応する部分には対応する参照番号を付してある。図示する様に、シフトレジスタはHCK, HCKXに応じて動作し、HSTを順に転送して、転送パルス1, 2, 3, 4を生成している。抜取スイッチ群はこれらの転送パルス1, 2, 3, 4に応じて動作し、HCK, HCKXとは別に供給されるDCK1, DCK2を抜き取って、サンプリングパルス1, 2, 3, 4を生成している。HCK, HCKXに比べDCK1, DCK2は狭パルスである為、サンプリングパルス1~4の幅も狭くなっている。又、サンプリングパルス1, 2, 3, 4は奇数段と偶数段を問わず順次形成される為、オーバーラップ時間も短くなっている。尚、このオーバーラップ時間は、狭パルスのDCK1, DCK2を抜き取ることにより作り出されている。本発明の様に間引方式で作られるノンオーバーラップ時間と異なり、大きな制約がある為、ノンオーバーラップ時間は限られている。

【0036】

図8は、図7に示した参考例において、奇数段3の画素列に黒線を書き込む場合の状態を表わしている。ビデオ信号は黒線を書き込む為にピークを含んでいる。奇数段3に対応するサンプリングパルスがこのビデオ信号に含まれるピークをサンプリングすることで、画素アレイ部15に黒線を書き込む。この時、前段の偶数段2に対応するサンプリングパルスがエージングによる遅延を生じた場合、ビデオ信号のピークに係る為黒レベルをサンプリングしてしまう恐れがある。この時には、奇数段3の画素列に書き込まれた黒線の前で、偶数段2の画素列にゴーストが現われることになる。

【0037】

以下、XGA規格の映像信号をアクティブマトリクス型の表示装置で表示する場合に焦点を当て、具体的な説明を行う。図9は、従来の方を模式的に表わしたものであり、いわゆる12ドット同時サンプリング方式である。(A)に示す様に、シフトレジスタの各

段 (S / R) から順次出力された転送パルスにより、 H C K , H C K X を抜き取って H S W 用のサンプリングパルスとしている。このサンプリングパルスは、順次 N 段 , N + 1 段 , N + 2 段 , N + 3 段の各 H S W に印加される。

【 0 0 3 8 】

(B) は、 N 段の H S W に印加されるサンプリングパルスと N + 1 段の H S W に印加されるサンプリングパルスを表わしている。パルス幅は何れも t である。 X G A 規格の映像信号は 1 2 相 (S I G 1 ~ S I G 1 2) に分かれて、外部から映像ラインを介して供給されてくる。従来は 1 2 相の映像信号が一系統の映像ラインで送られてくる。従って、 1 2 相の映像信号は、それぞれ各水平サンプリングスイッチ H S W を介して、 1 2 本一組の信号ラインにサンプリングされる。パルス幅が t のサンプリングパルスが N 段の H S W に印加されると、 S I G 1 ~ S I G 1 2 が同時にサンプリングされ、 1 2 個の画素 (ドット) に同時に書き込まれる。従って、この方式を 1 2 ドット同時サンプリングと呼んでいる。 X G A 規格は S V G A 規格に比べ画素数が多い。その分同時書込ドット数を増やすことで、サンプリング周波数を低減化し、以ってサンプリングパルス幅を確保している。従来の X G A 1 2 ドット同時サンプリング駆動においては、ノンオーバーラップ方式を採用しても、サンプリングパルス幅 t は 1 5 0 n s e c 程度確保できる。その為、隣り合う段で H S W サンプリングパルス幅がポリシリコン T F T の実力値程度ずれたとしても (例えば 2 n s e c 程度のずれ)、この程度ではサンプリングホールド電位に大きな差は現われず、画面にはサンプリング周期に対応した縦筋 (サンプリング周期帯筋) は現われない。又、ユニフォミティの改善の為に、プリチャージ回路から供給されるプリチャージ信号のマー

10

20

【 0 0 3 9 】

液晶表示パネル (L C D パネル) の種類の増加に連れ、 S V G A と X G A の駆動 I C の共通化が進んでいる。そこで、従来 1 2 ドット同時サンプリング方式により駆動していた X G A パネルを、 S V G A と同じ 6 ドット同時サンプリング方式により駆動する技術の開発が進んでいる。これにより、 1 2 ドット同時サンプリング方式では R G B それぞれのパネルに 2 個ずつ必要であった映像信号のサンプルホールド I C が、 6 ドット同時サンプリング方式にすることで半分の 1 個ずつとなり、コスト低減にもつなげる。図 1 0 は、 X G A パネルの 6 ドット同時サンプリング方式を模式的に表わしたものである。理解を容易にする為、図 9 に示した 1 2 ドット同時サンプリング方式の模式図と対応する部分には対応する参照番号を付してある。(A) はサンプリング回路を模式的に表わしたものであり、(B) は 6 ドット同時サンプリングのタイミングチャートである。図 9 に示した 1 2 ドット同時サンプリングと対比すれば明らかな様に、 6 ドット同時サンプリング駆動のサンプリングパルスは、 1 2 ドット同時サンプリング駆動の半分のパルス幅となる。更に、縦筋対策やゴーストマージンを拡大する為に、ノンオーバーラップサンプリング駆動を採用すると、サンプリングパルス幅を更に狭める必要がある。実際には、サンプリングパルス幅は 3 0 ~ 4 5 n s e c 程度の狭パルスとなる。

30

【 0 0 4 0 】

図 1 1 は、 6 ドット同時サンプリング方式でノンオーバーラップ駆動を採用した場合の回路及びタイミングチャートを模式的に表わしている。理解を容易にする為、図 1 0 に示したノンオーバーラップ方式を採用しない場合の 6 ドット同時サンプリングと対応する部分には対応する参照番号を付してある。(A) に示す様に、ノンオーバーラップ駆動では、シフトレジスタの各段 (S / R) から順次出力される転送パルスで D C K 1 , D C K 2 を抜き取り、サンプリングパルス 1 , 2 , 3 , 4 を生成している。各サンプリングスイッチ H S W は、サンプリングパルスにตอบสนองして開閉動作し、 6 相の映像信号 s i g 1 ~ s i g 6 を同時サンプリングし、対応する画素に書き込んでいる。

40

【 0 0 4 1 】

(B) はサンプリングパルス 1 , 2 , 3 を表わしたタイミングチャートである。サンプリングパルス 1 は D C K 1 を抜き取って生成されたものである。そのパルス幅は T 1 で与えられる。又サンプリングパルス 2 は D C K 2 を抜き取って生成され

50

たものであり、そのパルス幅は T_2 で与えられる。 DCK_1 , DCK_2 は位相が互いに 180 度ずれているだけで、パルス幅は基本的に同一である。従って、サンプリングパルス 1 , 2 のパルス幅は $T_1 = T_2$ となる。尚両サンプリングパルス 1 , 2 の間に所定のノンオーバーラップ時間が介在している。(B)に示す安定した状態では、 $T_1 = T_2$ である為、映像信号のホールド電位に差は生じない。従って(C)に示す様に画素アレイ15には縦筋(サンプリング周期帯筋)は現われない。

【0042】

図12は、 DCK_1 と DCK_2 との間でデューティ比のずれが生じた場合を表わしている。理解を容易にする為、図11に示したデューティ比のずれがない場合と対応する部分には対応する参照番号を付してある。(B)に示す様に、 DCK_1 と DCK_2 との間でデューティ比のずれがあると、サンプリングパルス 1 のパルス幅 T_1 とサンプリングパルス 2 のパルス幅 T_2 との間で誤差が生じる。これにより、両サンプリングパルス 1 , 2 でサンプルホールドされる映像信号の電位(ホールド電位)に差が生じる。(C)に示す様に、画素アレイ15にはサンプリング周期幅(6ドット)で帯筋が現われる。前述した様に、6ドット同時駆動方式でノンオーバーラップ時間を取ると、サンプリングパルスは $30 \sim 45 \text{ nsec}$ 程度の狭パルスとなる。パルス幅が短い為、 2 nsec 程度のデューティずれが、顕著にホールド電位のずれになって現われる。その為、プリチャージ信号のマージンは 0.2 V 程度に減り、サンプリング周期帯筋が発生し易くなる。

【0043】

次にゴーストについて説明を続ける。図13は、ゴーストの発生原因を模式的に表わしている。ビデオ信号に含まれる黒レベルのピークを、N段の画素列に書き込む場合を模式的に表わしている。初期段階(エージング前)では、サンプリングパルスの遅延は生じていない為、正確にN段のサンプリングパルスでビデオ信号の黒レベルをサンプリングできる。従って、前ゴーストは発生しない。これに対しエージング後では、サンプリングパルス(ドライブパルス)に遅延が生じる為、場合によっては前段(N-1段)のドライブパルスでビデオ信号の黒レベルのピークを一部サンプリングしてしまうことがある。これにより前ゴーストが生じる。このエージング効果は、例えばTFTのホットキャリアによる V_{th} シフトにより生じる。このエージング効果によるドライブパルスの遅延幅は 30 nsec 程度である。初期設定でゴーストが出ない状態からサンプリングパルス(ドライブパルス)が遅延してゴーストが出る状態になる前までのドライブパルスに許容される遅延量時間をゴーストマージンと定義すると、前ゴーストのマージンは 30 nsec 程度となる。従来のXGA12ドット同時サンプリング駆動においては、ノンオーバーラップ時間をエージングによるパルス変動量分である 30 nsec 以上にしても、サンプリングパルス幅は 150 nsec 程度確保できる。しかしながら、6ドット同時サンプリング駆動においては、ノンオーバーラップ時間をゴーストマージンを越える 30 nsec 程度以上とすると、サンプリングパルス幅は $30 \sim 45 \text{ nsec}$ 程度の狭パルスにしかできない。この $30 \sim 45 \text{ nsec}$ 程度のパルス幅は、前述した様にサンプリング周期帯筋が発生し易い領域でもある。

【0044】

ゴーストマージンを考える場合、図13に示した前ゴーストの他ゴースト帯についても考慮する必要がある。図14にゴースト帯の発生原因を模式的に示す。(A)は、信号ラインとゲートライン間の容量カップリングを表わしている。(B)は、このカップリングによるゴースト帯の発生原因を模式的に表わしている。ゴースト帯は、例えばブラックのウィンドウ表示により生じた揺れがゲートラインに乗り、その揺れが隣接段の信号ラインに乗り、その揺れにより変動した信号ライン電位をホールドする為に生じる。サンプリングパルスが遅延すると、ビデオの揺れとホールドする時間が狭くなっていく為、ゴースト帯が発生する。サンプリングパルス幅が広いと、揺れが治まった後にホールドする為、ゴースト帯の発生は遅くなる。逆にサンプリングパルス幅が狭いと、揺れが治まる前にホールドする為、ゴースト帯の発生が早まる。サンプリングパルス幅が $30 \sim 45 \text{ nsec}$ 程度の狭い領域では、ゴーストマージンは前述の前ゴーストよりもむしろ図14に示したゴースト

10

20

30

40

50

スト帯律速となり、ノンオーバーラップ時間の影響よりもパルス幅の影響の方が強くなる。従って、ノンオーバーラップ時間を増やしてもゴーストマージンは増えない。

【0045】

一般的に、LCDパネルは長時間連続駆動すると、TFTのホットキャリアによるVthシフトが起こり、TFTで駆動するパルスは遅延する。それに対し、映像信号はTFTを通らない為に遅延は生じない。その為、前述した様に前ゴーストが発生する。このTFTのホットキャリアによるVthシフトの変動量は30nsec程度であり、従来12相XGAは前段と自段と後段のノンオーバーラップ時間を30nsec程度にすることで、十分なゴーストマージンを確保している。これに対し、6相XGAで同様にノンオーバーラップ時間を30nsec程度取った場合、HSWサンプリングパルスは30~45nsec程度の狭パルスとなり、サンプリング周期帯筋が発生し易い状態となる。又、狭パルスの為ゴーストマージンはゴースト帯が支配的になり、ノンオーバーラップ時間を増加してもゴーストマージンはある一定以上増えない。換言すると、ノンオーバーラップ時間を増やすとその分パルス幅を狭めなければならず、これがゴースト帯を発生し易くする。従って、ノンオーバーラップ時間を増加してもゴーストマージンはある一定以上増えない。その為、6相XGA駆動においても周期帯筋が出ない十分なHSWサンプリングパルス幅を持ち、且つHSWサンプリングパルスが30nsec程度遅延してもゴーストの出ない新規回路構成が必要となる。この点に鑑み、本発明は図1及び図2に示した様な、新規回路構成を提案するものである。

10

【0046】

【発明の効果】

以上説明した様に、本発明によれば、点順次方式のアクティブマトリクス表示装置において、奇数段と偶数段のサンプリング周期毎に独立したそれぞれの映像ラインで駆動する方式を採用している。この方式を用いることで、例えば6相XGAにおいてもサンプリングパルス幅及びサンプリングパルスのノンオーバーラップ時間を十分確保でき、縦筋及びゴーストの両者を同時に改善できる。又、3相XGAにおいても現状の6相XGAと同じサンプリングパルス幅とノンオーバーラップ時間を確保でき、現状の6相XGAと同等の画品位を保證できる。

20

【図面の簡単な説明】

【図1】本発明に係る表示装置の実施形態を示す模式図である。

30

【図2】図1に示した表示装置に含まれる水平駆動回路の実施形態を示す回路図である。

【図3】図2に示した水平駆動回路の動作説明に供するタイミングチャートである。

【図4】図2に示した水平駆動回路の動作説明に供するタイミングチャートである。

【図5】図1及び図2に示した表示装置の実施例を示す回路図である。

【図6】参考例に係る表示装置を示す回路図である。

【図7】図6に示した参考例の動作説明に供するタイミングチャートである。

【図8】図6に示した参考例の動作説明に供するタイミングチャートである。

【図9】12ドット同時サンプリング駆動方式を示す模式図である。

【図10】6ドット同時サンプリング駆動方式を示す模式図である。

【図11】6ドット同時サンプリング駆動方式にノンオーバーラップ駆動を採用した場合の模式図である。

40

【図12】6ドット同時サンプリング駆動方式にノンオーバーラップ駆動を適用した場合の模式図である。

【図13】ゴーストマージンを示す模式図である。

【図14】ゴーストマージンを示す模式図である。

【図15】従来の表示装置の一例を示すブロック図である。

【図16】図15に示した表示装置の具体例を示す回路図である。

【図17】図16に示した回路の動作説明に供するタイミングチャートである。

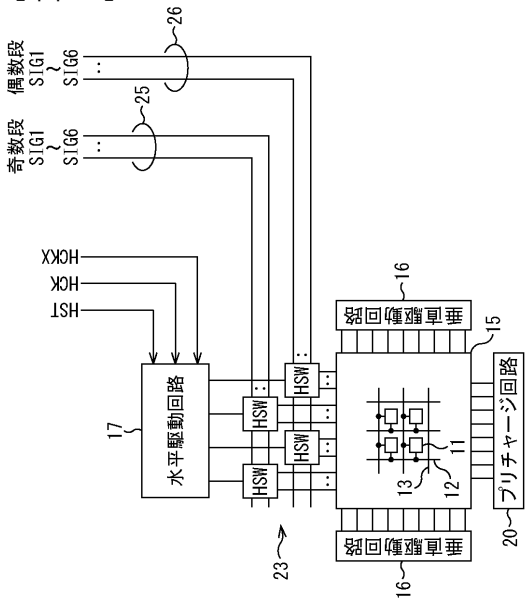
【符号の説明】

11・・・画素、12・・・信号ライン、13・・・ゲートライン、15・・・画素アレ

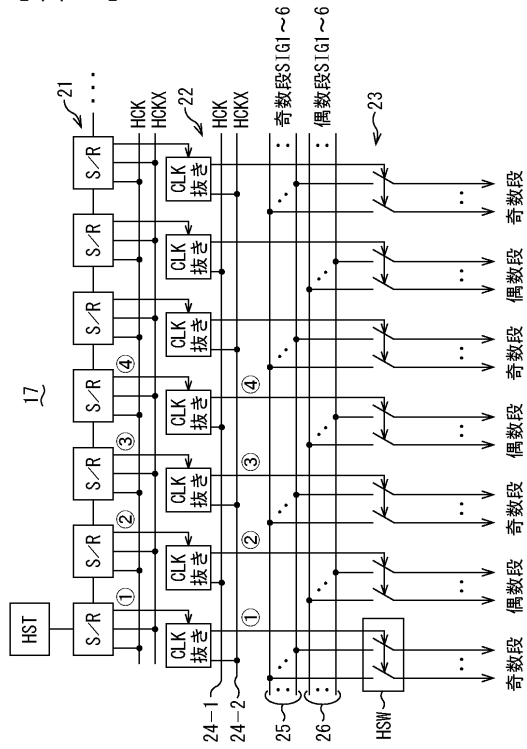
50

イ、16・・・垂直駆動回路、17・・・水平駆動回路、21・・・シフトレジスタ、
 22・・・抜取スイッチ群、23・・・サンプリングスイッチ群、25・・・映像ライン、
 26・・・映像ライン

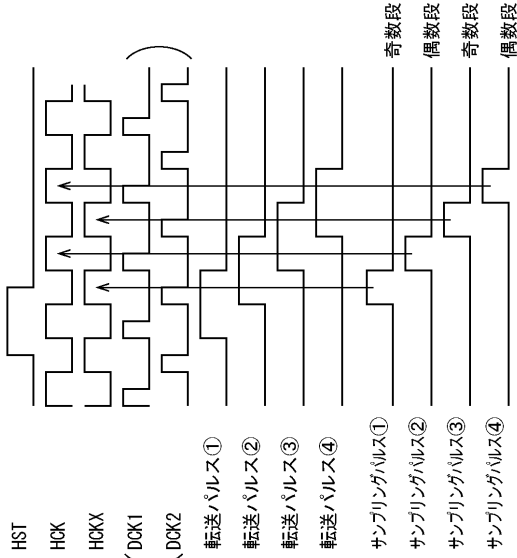
【図1】



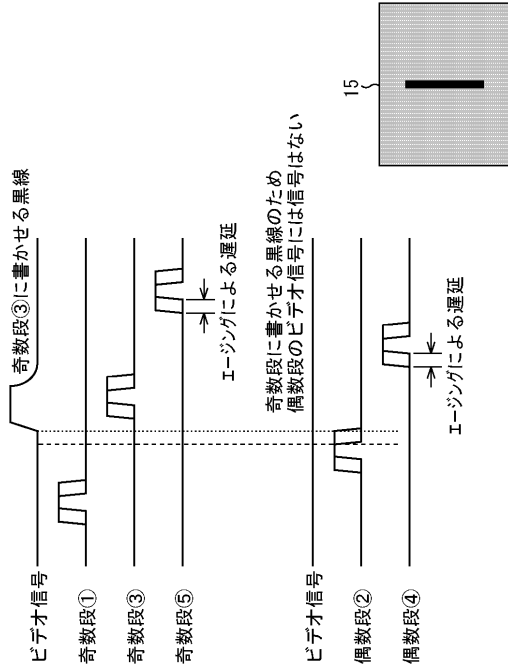
【図2】



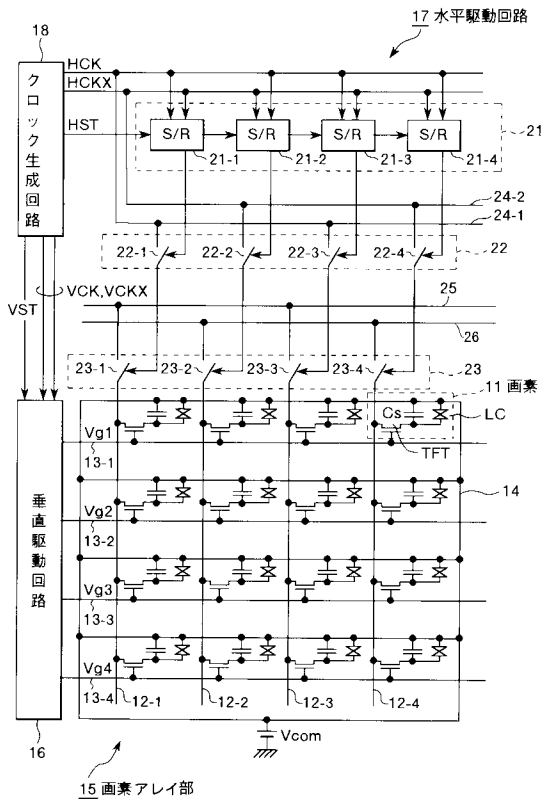
【 図 3 】



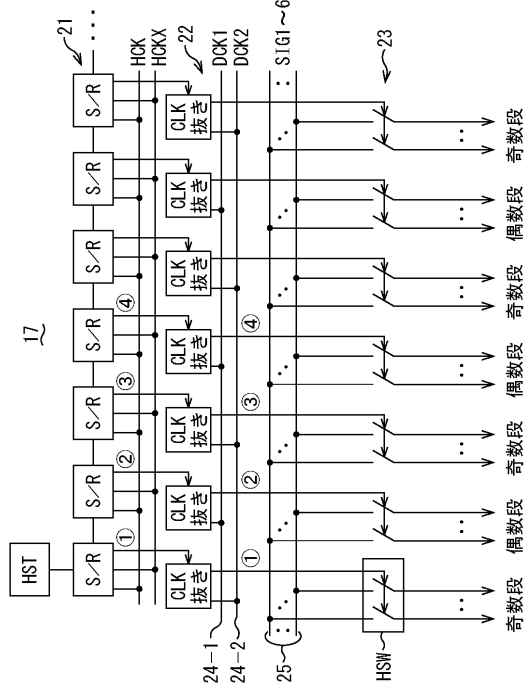
【 図 4 】



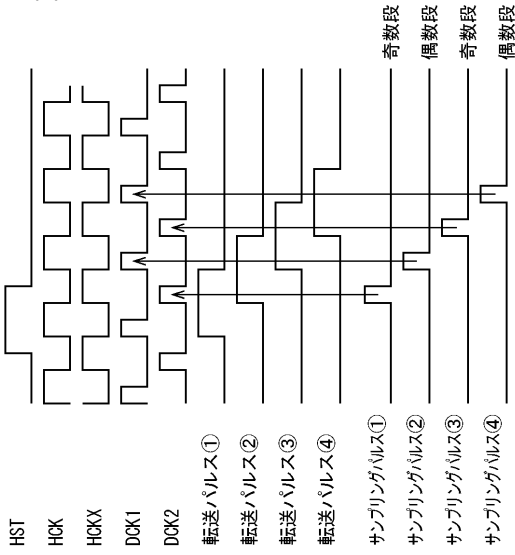
【 図 5 】



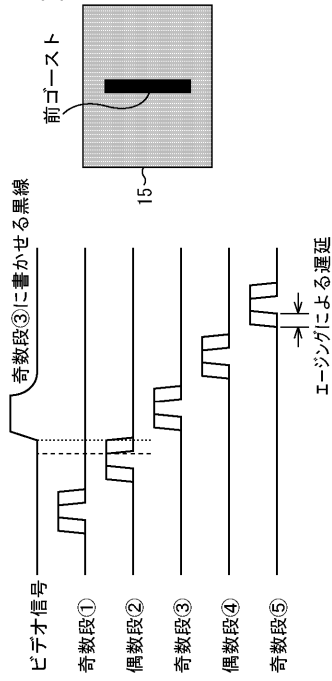
【 図 6 】



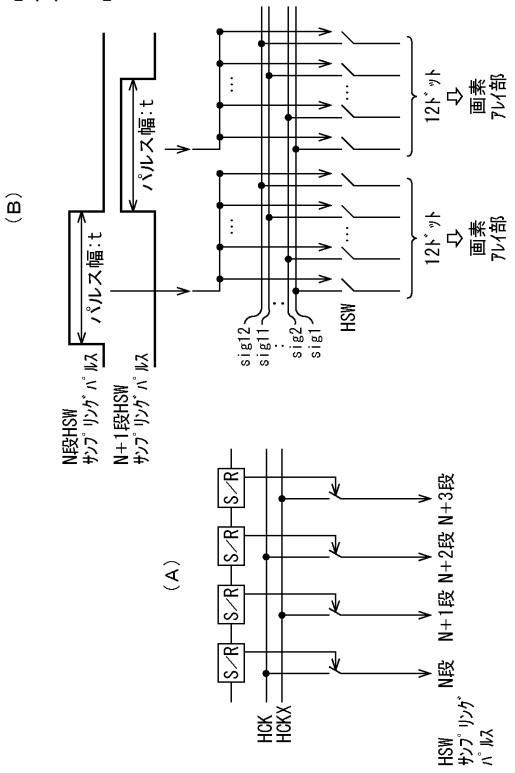
【 図 7 】



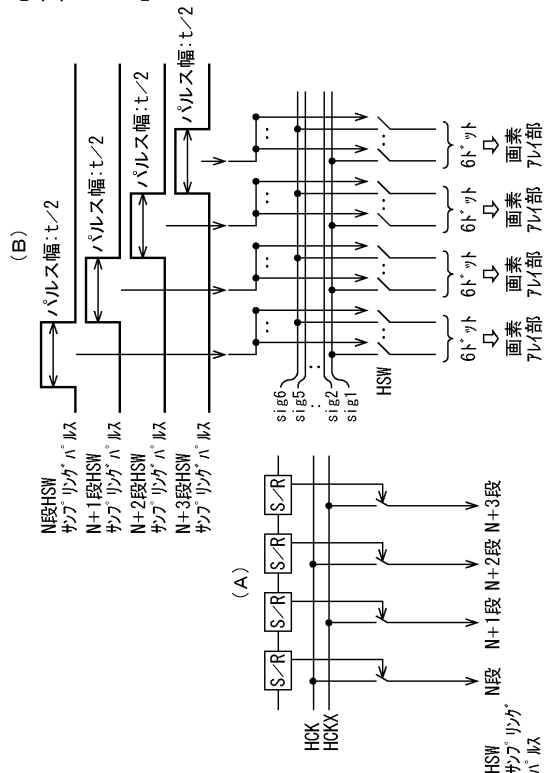
【 図 8 】

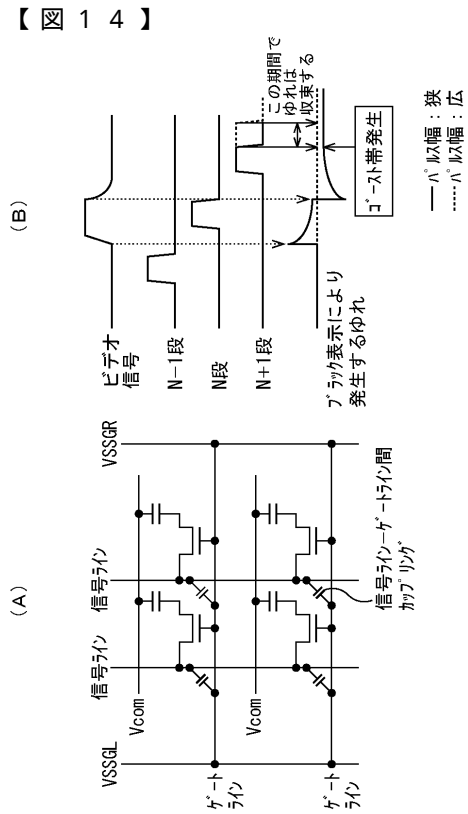
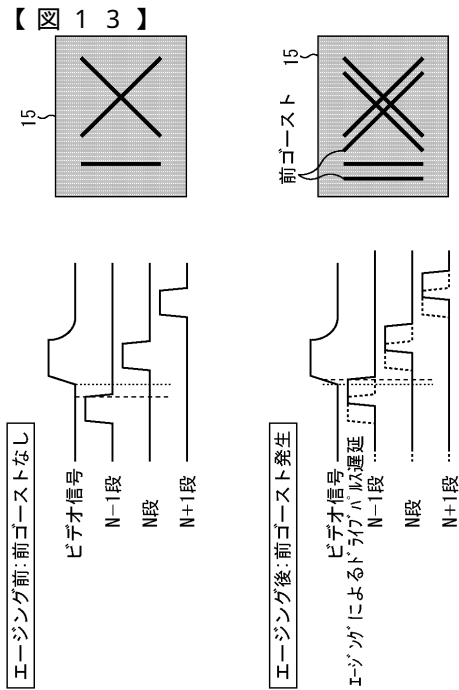
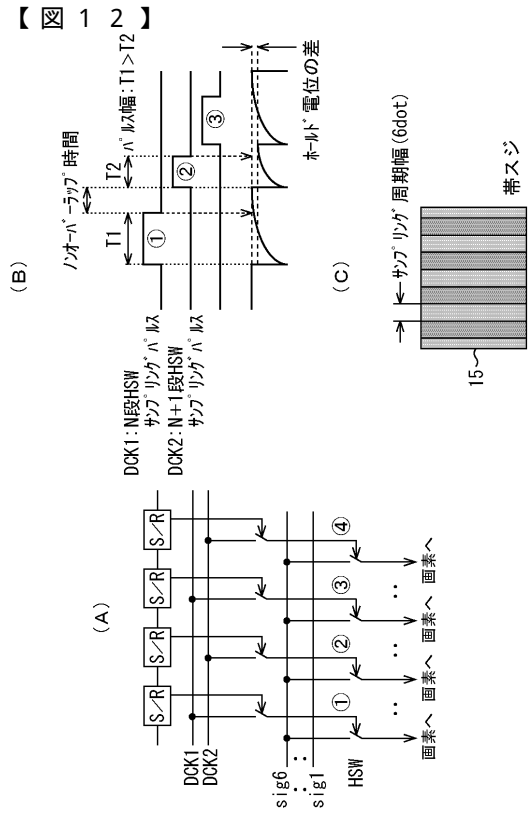
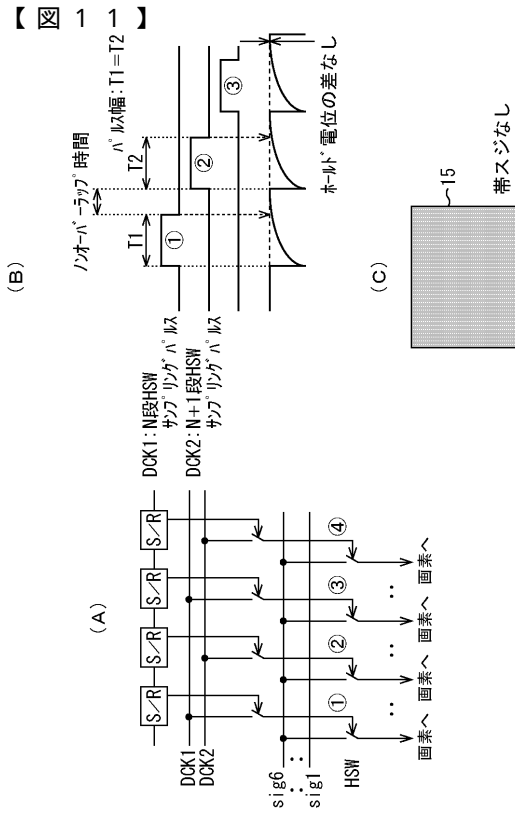


【 図 9 】

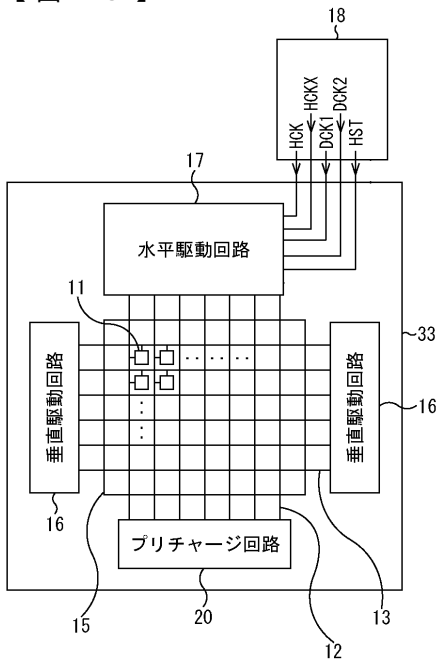


【 図 10 】

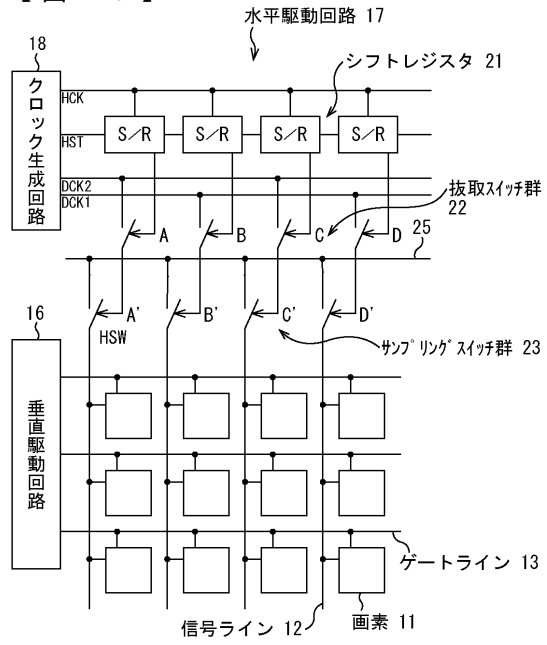




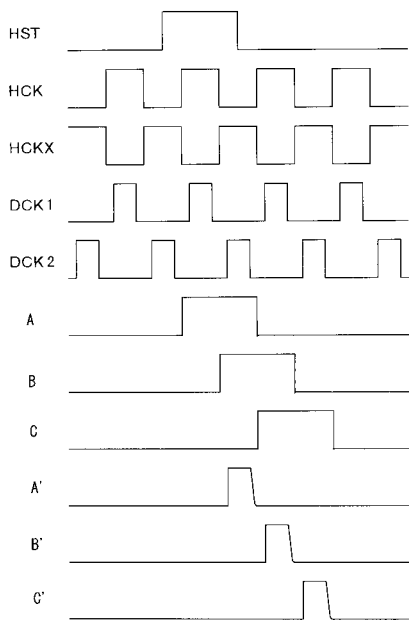
【図 15】



【図 16】



【図 17】



フロントページの続き

(51) Int.Cl.⁷

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 3 M
G 0 9 G	3/20	6 2 3 R
G 0 9 G	3/20	6 2 3 V
G 0 9 G	3/20	6 2 3 X
G 0 9 G	3/20	6 4 2 A

F ターム(参考) 5C080 AA10 BB06 DD05 DD08 DD10 EE29 FF11 JJ01 JJ02 JJ03
JJ04