



(12) 发明专利申请

(10) 申请公布号 CN 104425394 A

(43) 申请公布日 2015. 03. 18

(21) 申请号 201410436888. 3

(22) 申请日 2014. 08. 29

(30) 优先权数据

61/871, 319 2013. 08. 29 US

(71) 申请人 财团法人工业技术研究院

地址 中国台湾新竹县

(72) 发明人 蔡曜骏 许镇鹏 温士逸 杨季瑾

胡鸿烈

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 陈小雯

(51) Int. Cl.

H01L 23/14(2006. 01)

H01L 23/60(2006. 01)

H01L 21/48(2006. 01)

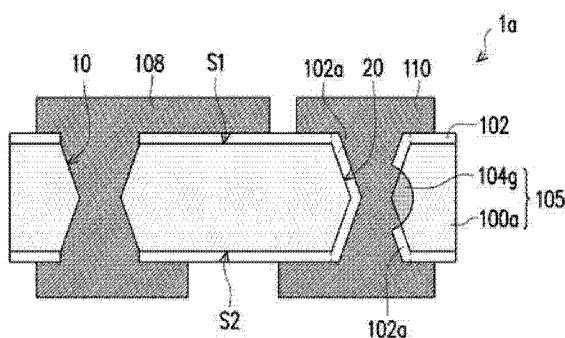
权利要求书2页 说明书9页 附图8页

(54) 发明名称

基板、其制造方法及其应用

(57) 摘要

本发明公开一种基板、其制造方法及其应用，该基板包括基材、两个导体结构以及至少一二极管。两个导体结构分别从基材的第一表面，经由贯穿基材的两个穿孔，延伸到基材的第二表面。至少一二极管埋入于所述穿孔其中之一的一侧壁的基材中。



1. 一种基板,包括:  
基材;  
两个导体结构,分别从该基材的一第一表面,经由贯穿该基材的两个穿孔,延伸到该基材的一第二表面;以及  
至少一二极管,埋入于该些穿孔其中之一的一侧壁的该基材中。
2. 如权利要求 1 所述的基板,每一导体结构包括:  
第一电极,配置于该基材的该第一表面上;  
第二电极,配置于该基材的该第二表面上;以及  
连接部,配置于该第一电极与该第二电极之间,使得该第一电极与该第二电极电连接。
3. 如权利要求 2 所述的基板,还包括一图案化的绝缘层,配置于该基材与该些第一电极之间以及该基材与该些第二电极之间。
4. 如权利要求 2 所述的基板,其中该基材具有一第一导电型,且至少该二极管包括:  
具有一第二导电型的第一掺杂区,位于该些穿孔其中之一的一侧壁的该基材中。
5. 如权利要求 4 所述的基板,其中该第一掺杂区与该连接部的侧壁的至少一部分接触。
6. 如权利要求 4 所述的基板,还包括绝缘结构,配置于该些连接部的两侧壁上,使得该第一掺杂区与该连接部彼此电性隔绝。
7. 如权利要求 4 所述的基板,还包括具有该第一导电型的第二掺杂区,配置于至少该第一掺杂区与所对应的该连接部之间。
8. 如权利要求 4 所述的基板,其中该第一掺杂区还延伸至该基材的该第一表面与该第二表面,位于与该第一掺杂区连接的该导体结构的该第一电极与该基材之间以及与该第一掺杂区连接的该导体结构的该第二电极与该基材之间。
9. 如权利要求 1 所述的基板,其中该些连接部的轮廓包括沙漏形、I 字形、倒梯形或领结形。
10. 如权利要求 1 所述的基板,其中该基材包括:  
主体部;以及  
边缘部,该边缘部位于该主体部的边缘,其中该边缘部具有导角,其中该导角由一第三表面与该第二表面的连接处所构成,且该导角为钝角。
11. 如权利要求 10 所述的基板,还包括具有该第二导电型的第三掺杂区,配置于该边缘部的该第三表面下方的该基材中。
12. 如权利要求 1 所述的基板,其中该基材具有一空腔,其中至少该二极管埋入于该空腔底部的该基材中。
13. 一种基板的制造方法,包括:  
提供具有一第一导电型的基板;  
在该基材中形成两个穿孔,该些穿孔分别贯穿该基材;  
在该些穿孔其中之一裸露的该基材中埋入至少一二极管;以及  
在该基材中形成两个导体结构,分别从该基材的一第一表面,经由该些穿孔贯穿该基材,延伸到该基材的一第二表面。
14. 如权利要求 13 所述的基板的制造方法,在该基材中形成该些导体结构的方法包

括：

在该基材的该第一表面上形成至少两个第一电极；

在该基材的该第二表面上形成至少两个第二电极；以及

在每一穿孔中形成所对应的一连接部，每一连接部与所对应的该第一电极与所对应的该第二电极电连接。

15. 如权利要求 14 所述的基板的制造方法，在该基材中形成这些穿孔的步骤包括：

在该基材上形成一图案化的绝缘层，该图案化的绝缘层具有至少两组相对应的两开口；以及

以该图案化的绝缘层为掩模，对这些开口之间的该基材进行一各向同性蚀刻制作工艺，移除部分该基材。

16. 如权利要求 15 所述的基板的制造方法，在该基材中埋入至少该二极管的方法包括：

在该基材中形成这些穿孔之后，以该图案化的绝缘层为掩模，对这些穿孔的侧壁进行掺杂制作工艺，以于部分该基材中形成具有一第二导电型的第一掺杂区。

17. 如权利要求 16 所述的基板的制造方法，其中该第一掺杂区与所对应的该连接部的侧壁的至少一部分接触。

18. 如权利要求 13 所述的基板的制造方法，还包括于这些连接部的两侧壁上形成一绝缘结构，电性隔绝该基材与所对应的该连接部。

19. 如权利要求 13 至 18 中任一所述的基板的制造方法，在该基材中埋入至少该二极管之前，还包括于该基材中形成一空腔，使得至少该二极管埋入于该空腔底部的该基材中。

20. 一种封装结构包括如权利要求 1 至 12 中任一所述的基板，该封装结构包括：

芯片，配置于该基板上，其中该芯片与该基板电连接。

21. 如权利要求 20 所述的封装结构，其中该芯片通过导线 (Wire) 或凸块与该基板电连接。

22. 如权利要求 20 所述的封装结构，其中该芯片包括半导体芯片、发光二极管芯片、存储芯片或其组合。

## 基板、其制造方法及其应用

### 技术领域

[0001] 本发明涉及一种基板及其制造方法、及其应用，且特别是涉及一种具有二极管的基板及其制造方法、及其应用。

### 背景技术

[0002] 随着科技的日新月异，现今移动装置的需求愈来愈轻薄，所以应用在移动装置上的电子元件的趋势也是愈做愈小。然而，当静电放电 (Electro-Static Discharge, ESD) 的现象产生时，电子元件会因为静电放电所产生的突如其来的大电流所影响，而造成所属系统死机，甚至造成永久性的破坏。

[0003] 在现有静电放电防护的技术领域中，常依据不同模式在可能发生静电放电路径上加设静电放电防护元件来疏导静电放电时所产生的电流。然而，上述静电放电防护元件会导致其芯片的面积增加，不仅造成制造成本上的负担，而且也与现今电子产品轻薄短小的趋势背道而驰。

### 发明内容

[0004] 本发明的目的在于提供一种基板及其制造方法、及其应用，其可防止静电放电，且具有较佳的产品可靠度。

[0005] 本发明的再一目的在于提供一种基板及其制造方法、及其应用，其可缩小封装结构的体积，进而降低制造成本。

[0006] 为达上述目的，本发明提供一种基板，其包括基材、两个导体结构以及至少一二极管。两个导体结构分别从基材的第一表面，经由贯穿基材的两个穿孔，延伸到基材的第二表面。至少一二极管埋入于所述穿孔其中之一的一侧壁的基材中。

[0007] 在本发明的一实施例中，每一导体结构包括第一电极、第二电极以及连接部。第一电极配置于基材的第一表面上。第二电极配置于基材的第二表面上。连接部配置于第一电极与第二电极之间，使得第一电极与第二电极电连接。

[0008] 在本发明的一实施例中，还包括图案化的绝缘层配置于基材与第一电极之间以及基材与第二电极之间。

[0009] 在本发明的一实施例中，所述基材具有第一导电型，且至少所述二极管包括具有第二导电型的第一掺杂区位于穿孔其中之一的一侧壁的基材中。

[0010] 在本发明的一实施例中，所述第一掺杂区与连接部的侧壁的至少一部分接触。

[0011] 在本发明的一实施例中，还包括绝缘结构配置于连接部的两侧壁上，使得第一掺杂区与连接部彼此电性隔绝。

[0012] 在本发明的一实施例中，还包括具有第一导电型的第二掺杂区配置于至少所述第一掺杂区与所对应的连接部之间。

[0013] 在本发明的一实施例中，所述第一掺杂区还延伸至基材的第一表面与第二表面，位于与第一掺杂区连接的导体结构的第一电极与基材之间以及与第一掺杂区连接的导体

结构的第二电极与基材之间。

[0014] 在本发明的一实施例中,所述连接部的轮廓包括沙漏形、I 字形、倒梯形或领结形。

[0015] 在本发明的一实施例中,所述基材包括主体部以及边缘部。边缘部位于主体部的边缘,其中边缘部具有导角。所述导角由第三表面与第二表面的连接处所构成,且导角为钝角。

[0016] 在本发明的一实施例中,还包括具有第二导电型的第三掺杂区,配置于边缘部的第三表面下方的基材中。

[0017] 在本发明的一实施例中,所述基材具有空腔,其中至少所述二极管埋入于空腔底部的基材中。

[0018] 本发明提供一种基板的制造方法,其步骤如下。提供具有第一导电型的基材。在基材中形成两个穿孔,所述穿孔分别贯穿基材。在所述穿孔其中之一裸露的基材中埋入至少一二极管。在基材中形成两个导体结构。两个导体结构分别从基材的第一表面,经由所述穿孔贯穿基材,延伸到基材的第二表面。

[0019] 在本发明的一实施例中,在所述基材中形成导体结构的方法的步骤如下。在基材的第一表面上形成至少两个第一电极。在基材的第二表面上形成至少两个第二电极。在每一穿孔中形成所对应的连接部。每一连接部与所对应的第一电极与所对应的第二电极电连接。

[0020] 在本发明的一实施例中,在所述基材中形成穿孔的步骤如下。在基材上形成图案化的绝缘层。图案化的绝缘层具有至少两组相对应的两开口。以图案化的绝缘层为掩模,对开口之间的基材进行各向同性蚀刻制作工艺,移除部分基材。

[0021] 在本发明的一实施例中,在所述基材中埋入至少所述二极管的方法如下。在基材中形成穿孔之后,以图案化的绝缘层为掩模,对穿孔的侧壁进行掺杂制作工艺,以于部分基材中形成具有第二导电型的第一掺杂区。

[0022] 在本发明的一实施例中,所述第一掺杂区与所对应的连接部的侧壁的至少一部分接触。

[0023] 在本发明的一实施例中,还包括于连接部的两侧壁上形成绝缘结构,电性隔绝基材与所对应的连接部。

[0024] 在本发明的一实施例中,在所述基材中埋入至少所述二极管之前,还包括于基材中形成空腔,使得至少所述二极管埋入于空腔底部的基材中

[0025] 本发明提供一种封装结构,其包括所述基板与芯片。芯片配置于基板上。芯片与基板电连接。

[0026] 在本发明的一实施例中,所述芯片通过导线 (Wire) 或凸块与基板电连接。

[0027] 在本发明的一实施例中,所述芯片包括半导体芯片、发光二极管芯片、存储芯片或其组合。

[0028] 基于上述,本发明的实施例利用在基材中埋入二极管可有效地提升抗静电放电 (ESD) 的效能,增进电子装置的产品可靠度。此外,将所述二极管埋入基材中则可缩小封装结构的体积,进而降低制造成本。

[0029] 为了让本发明的上述特征和优点能更明显易懂,下文特举实施例,并配合所附的附图作详细说明如下。

## 附图说明

[0030] 图 1A 至图 1E 为本发明第一实施例所绘示的基板的制造流程的剖面示意图；

[0031] 图 2A 为本发明的一实施例所绘示的穿孔形状的剖面示意图；

[0032] 图 2B 为本发明的另一实施例所绘示的穿孔形状的剖面示意图；

[0033] 图 2C 为本发明的又一实施例所绘示的穿孔形状的剖面示意图；

[0034] 图 3A 至图 3E 为本发明的各种实施例的基板的剖面示意图；

[0035] 图 4A 为本发明第二实施例的基板的剖面示意图；

[0036] 图 4B 为本发明的另一第二实施例的基板的剖面示意图；

[0037] 图 5 为本发明第三实施例的基板的剖面示意图；

[0038] 图 6 为本发明第四实施例的基板的剖面示意图；

[0039] 图 7 为本发明第五实施例的基板的剖面示意图；

[0040] 图 8 为本发明第六实施例的基板的剖面示意图；

[0041] 图 9 为本发明的一实施例所绘示的封装结构示意图；

[0042] 图 10 为本发明另一实施例所绘示的封装结构示意图。

[0043] 符号说明

[0044] 1、1a、2、3、4、5、6 :基板

[0045] 10、20 :穿孔

[0046] 40 :空腔

[0047] 30、101a、101b、101c、101d :开口

[0048] 100、100a、200、300、400、500、600 :基材

[0049] 102、202、302、402、502、602 :绝缘层

[0050] 102a、202a、302a、502a、602a :绝缘结构

[0051] 104a、104b、104c、104d、104e、104f、104g、104h、204a、204b、304a、304b、404a、404b、504a、504b、604a、604b :第一掺杂区

[0052] 105、105a、105b、205a、205b、211、305a、305b、405a、405b、505a、505b :二极管

[0053] 106a、106b :种层

[0054] 108、110、208、210、308、310、408、410、508、510、608、610 :导体结构

[0055] 108a、108b、110a、110b、208a、208b、210a、210b、308a、308b、310a、310b、508a、508b、510a、510b、608a、608b、610a、610b :电极

[0056] 108c、110c、208c、210c、308c、310c、508c、510c、608c、610c :连接部

[0057] 210、220 :部分

[0058] 212 :第三掺杂区

[0059] 230 :导角

[0060] 240 :切割道

[0061] 512a、512b :第二掺杂区

[0062] 700、800 :芯片

[0063] 702、802 :芯片基板

[0064] 704 :焊垫

- [0065] 706 :固晶胶
- [0066] 708 :导线
- [0067] 804、806 :凸块
- [0068] 808 :透明基板
- [0069] S1 :第一表面
- [0070] S2 :第二表面
- [0071] S3 :第三表面
- [0072]  $\theta$  :导角

### 具体实施方式

[0073] 在以下的实施例中,当第一导电型为 N 型,第二导电型为 P 型;当第一导电型为 P 型,第二导电型为 N 型。在本实施例中,是以第一导电型为 P 型,第二导电型为 N 型为例来说明,但本发明并不以此为限。P 型掺杂例如是硼;N 型掺杂例如是磷或是砷。

[0074] 图 1A 至图 1E 为依照本发明第一实施例所绘示的基板的制造流程的剖面示意图。

[0075] 请参照图 1A,首先,提供基材 100。基材 100 材料例如为半导体基底或半导体化合物基底。半导体例如是 IVA 族的原子,例如硅或锗。半导体化合物例如是 IVA 族的原子所形成的半导体化合物,例如是碳化硅或是硅化锗,或是 IIIA 族原子与 VA 族原子所形成的半导体化合物,例如是砷化镓。在一实施例中,基材 100 可例如是具有第一导电型的基材 100,第一导电型可例如是 P 型,但本发明并不以此为限。

[0076] 接着,在基材 100 上形成图案化的绝缘层 102。具体来说,先于基材 100 上形成绝缘层(未绘示)。绝缘层覆盖基材 100 的第一表面 S1、第二表面 S2 以及两侧面。然后,对绝缘层进行图案化制作工艺,以形成图案化的绝缘层 102。图案化的绝缘层 102 具有多数个开口 101a、101b、101c、101d。开口 101a、101b 裸露出基材 100 的第一表面 S1。开口 101c、101d 裸露出基材 100 的第二表面 S2。开口 101a 的位置与开口 101c 的位置相对应;而开口 101b 的位置与开口 101d 的位置相对应。绝缘层的材料可例如是氧化硅、氮化硅、氮氧化硅或其组合,其形成方法可利用化学气相沉积法来形成。在一实施例中,绝缘层的厚度为 100nm 至 3000nm。

[0077] 请参照图 1B,以图案化的绝缘层 102 为掩模,对基材 100 进行各向同性蚀刻制作工艺,以形成至少两个穿孔 10、20。在一实施例中,上述各向同性蚀刻制作工艺可例如是湿式蚀刻制作工艺,其可例如是使用 KOH、NaOH、 $\text{NH}_4\text{OH}$  或  $\text{H}_3\text{PO}_4$  等蚀刻剂来进行。具体来说,各向同性蚀刻制作工艺使用的蚀刻剂对于图案化的绝缘层 102 与基材 100 具有高蚀刻选择比,因此,蚀刻剂与开口 101a、101b、101c、101d 所裸露的基材 100 接触,使得开口 101a 与所对应的开口 101c 之间的部分基材 100 被移除,以形成穿孔 10。同样地,开口 101b 与所对应的开口 101d 之间的部分基材 100 被移除,以形成穿孔 20。

[0078] 另外,通过各向同性蚀刻制作工艺的蚀刻条件(Etch Recipe)的控制,穿孔 10、20 的两侧壁的形状可以是各种的形状。上述穿孔 10、20 的轮廓可依不同元件的需求来调整,但本发明并不以此为限。举例来说,穿孔 10、20 的轮廓为沙漏形(如图 1B 所示)或倒梯形(如图 2A 所示)或领结形(如图 2C 所示)时,其可适用于发光二极管(LED)制作工艺。穿孔 10、20 的两侧壁的形状为 I 字形时(如图 2B 所示),其可适用于三维集成电路(3D IC)

芯片制作工艺。

[0079] 请参照图 1C,对穿孔 10、20 的两侧壁进行掺杂制作工艺,以于基材 100a 中形成具有第二导电型的第一掺杂区 104a、104b。第一掺杂区 104a、104b 可例如是分别位于穿孔 10、20 的两侧壁的基材 100a 中。掺杂制作工艺可例如是利用高温炉管制作工艺来形成。在一实施例中,基材 100 中的掺质例如是硼;而第一掺杂区 104a、104b 所注入的掺质例如是磷或是砷。

[0080] 请参照图 3A 至图 3E,以下针对本发明各种实施例的第一掺杂区提供详细的描述。第一掺杂区 104c 可例如是位于穿孔 20 的一侧壁的基材 100a 中(如图 3A 所示),而穿孔 20 的另一侧壁上则具有绝缘结构 102a。另外,第一掺杂区 104d 可位于同一穿孔 20 的两侧壁的基材 100a 中(如图 3B 所示)。第一掺杂区 104e 也可配置于穿孔 10 的至少一侧壁与第一掺杂区 104f 同时位于同一穿孔 20 的两侧壁的基材 100a 中(如图 3C 所示)。当第一掺杂区 104e 位于穿孔 10 的一侧壁的基材 100a 中时,穿孔 10 的另一侧壁上则具有绝缘结构 102a。此外,第一掺杂区 104g、104h 可例如是分别位于穿孔 20 的一侧壁的一部分的基材 100a 中(如图 3D、图 3E 所示),端看其需求而定,但本发明并不以此为限。当第一掺杂区 104g、104h 分别位于穿孔 20 的一侧壁的一部分的基材 100a 中时,穿孔 20 的一侧壁的其他部分以及穿孔 20 的另一侧壁上具有绝缘结构 102a。

[0081] 在对应图 3A 至图 3E 的实施例中,第一掺杂区 104c、104d、104e、104f、104g 或 104h 仅位于穿孔 10、20 其中之一,或仅位于穿孔 10、20 其中之一的部分侧壁的基材 100a 中,则在进行掺杂制作工艺之前,可先于穿孔 10、20 的两侧壁上形成图案化的掩模层(未绘示)。之后,以图案化的掩模层与图案化的绝缘层 102 为掩模,进行掺杂制作工艺。掺杂制作工艺例如是离子注入制作工艺或是高温扩散掺杂制作工艺。如果是利用高温扩散掺杂制作工艺来达成掺杂时,则可用 HF(氢氟酸)或干蚀刻的方法,来去除高温掺杂时在穿孔侧壁所形成的薄氧化层。

[0082] 请回头参照图 1C,第一掺杂区 104a 与其邻近的部分基材 100a 构成二极管 105a;第一掺杂区 104b 与其邻近的部分基材 100a 构成二极管 105b。换言之,二极管 105a、105b 埋入于基材 100a 中。二极管 105a、105b 具有齐纳二极管(Zener Diode)的功效,其可当作后续封装制作工艺中的静电放电防护元件(ESD Protection Device),以防止所属的电子元件被静电放电所产生的大电压所影响,而损伤元件。

[0083] 请参照图 1D,在穿孔 10、20 的两侧壁上形成图案化的种层(Seed layer)107a、107b。具体来说,先在穿孔 10、20 的两侧壁、第一表面 S1 与第二表面 S2 的部分图案化的绝缘层 102 上形成种层(未绘示)。然后,对种层进行图案化制作工艺,暴露部分图案化的绝缘层 102,以形成图案化的种层 107a、107b。图案化的种层 107a 覆盖穿孔 10 的两侧壁、第一表面 S1 与第二表面 S2 的部分图案化的绝缘层 102。图案化的种层 107b 覆盖穿孔 20 的两侧壁、第一表面 S1 与第二表面 S2 的部分图案化的绝缘层 102。图案化的种层 107a 与 107b 彼此分离,其可避免后续封装制作工艺中的芯片的阳极与阴极电连接,而导致所属的电子元件短路。在一实施例中,种层的材料可例如是金属材料,金属材料可例如是金(Au)、银(Ag)、铜(Cu)或其组合,其形成方法可利用电子束蒸镀法((E-beam Evaporation))、溅镀法(Sputter)或电镀(Electro-plating)法来形成。在一实施例中,种层的厚度为 10nm 至 10000nm。



[0084] 此外,在一实施例中,图案化的种层 107a、107b 与基材 100a 之间可分别具有阻障层 106a、106b,其可避免图案化的种层 107a、107b 的金属材料扩散至基材 100a 中。阻障层 106a、106b 的材料可例如是金属或金属氮化物。金属或金属氮化物可例如是镍 (Ni)、铂 (Pt)、钛 (Ti)、氮化钛 (TiN)、氮化钽 (TaN)、钨 (W)、钛钨 (TiW) 或其组合,其可利用电子束蒸镀法 (E-beam Evaporation)、溅镀法 (Sputter)、电镀 (Electro-plating) 法或化学气相沉积法来形成。图案化的种层 107a、107b 的材料与阻障层 106a、106b 的材料可以互相搭配以获得最好的阻障效果。举例来说,当图案化的种层 107a、107b 的材料为金 (Au) 时,则可搭配镍 (Ni)、钯 (Pd)、铂 (Pt) 或钛 (Ti) 来当作阻障层 106a、106b 的材料;图案化的种层 107a、107b 的材料为银 (Ag) 时,则可搭配氮化钛 (TiN) 或氮化钽 (TaN) 来当作阻障层 106a、106b 的材料;图案化的种层 107a、107b 的材料为铜 (Cu) 时,则可搭配钨 (W)、钛钨 (TiW) 或钛 (Ti) 来当作阻障层 106a、106b 的材料,但本发明并不以此为限。在一实施例中,图案化的种层 107a、107b 与基材 100a 之间也可省略上述阻障层 106a、106b。

[0085] 请参照图 1E,形成导体结构 108 与导体结构 110。导体结构 108 包括第一电极 108a、第二电极 108b 以及连接部 108c。连接部 108c 贯穿基材 100a,其使得第一电极 108a 与第二电极 108b 电连接。同样地,导体结构 110 包括第一电极 110a、第二电极 110b 以及连接部 110c。连接部 110c 贯穿基材 100a,使得第一电极 110a 与第二电极 110b 电连接。导体结构 108 与导体结构 110 彼此电性隔绝,其可避免后续封装制作工艺中的芯片的阳极与阴极电连接,而导致所属的电子元件短路。另外,第一电极 108a、110a 与第二电极 108b、110b 必须具有足够厚度,以承受所属电子元件的电流 (约莫 0.02 至 20 安培),以避免产生电流过大而导致电子元件损坏的问题。在一实施例中,导体结构 108、110 的材料可例如是金属材料,金属材料可例如是金 (Au)、银 (Ag)、铜 (Cu) 或其组合,其形成方法可利用电镀法、蒸镀法或涂布印刷来形成。在一实施例中,第一电极 108a、110a 的厚度为  $1\ \mu\text{m}$  至  $100\ \mu\text{m}$ 。第二电极 108b、110b 的厚度为  $1\ \mu\text{m}$  至  $100\ \mu\text{m}$ 。

[0086] 图 1E 为本发明第一实施例的基板的剖面示意图。

[0087] 请参照图 1E,本发明第一实施例的基板 1 包括:基材 100a、图案化的绝缘层 102、两个二极管 105a、105b 以及两个导体结构 108、110。两个导体结构 108、110 分别从基材 100a 的第一表面 S1,经由穿孔 10、20,贯穿基材 100a,延伸到第二表面 S2。导体结构 108 包括:第一电极 108a、第二电极 108b 以及连接部 108c。导体结构 110 包括:第一电极 110a、第二电极 110b 以及连接部 110c。第一电极 108a、110a 分别配置于基材 100a 的第一表面 S1 上。第二电极 108b、110b 分别配置于基材 100a 的第二表面 S2 上。连接部 108c 配置于第一电极 108a 与第二电极 108b 之间,使得第一电极 108a 与第二电极 108b 电连接。连接部 110c 配置于第一电极 110a 与第二电极 110b 之间,使得第一电极 110a 与第二电极 110b 电连接。图案化的绝缘层 102 配置于基材 100a 的第一表面 S1 上,位于基材 100a 与第一电极 108a、110a 之间,图案化的绝缘层 102 还配置于基材 100a 的第二表面 S2 上,位于基材 100a 与第二电极 108b、110b 之间。图案化的绝缘层 102 使得基材 100a 与第一电极 108a、110a 以及第二电极 108b、110b 电性隔绝。

[0088] 二极管 105a、105b 分别埋入于基材 100a 中。二极管 105a 与导体结构 108 的连接部 108c 接触;而二极管 105b 与导体结构 110 的连接部 110c 接触。二极管 105a 包括具有第一导电型的部分基材 100a 以及具有第二导电型的第一掺杂区 104a。二极管 105b 包括具

有第一导电型的部分基材 100a 以及具有第二导电型的第一掺杂区 104b。第一掺杂区 104a 位于基材 100a 中,与导体结构 108 的连接部 108c 接触。第一掺杂区 104b 位于基材 100a 中,与导体结构 110 的连接部 110c 接触。在各种实施例中,第一掺杂区的位置、数量具有各种可能(如图 3A 至图 3E 所示),端看其需求而定,但本发明并不以此为限。举例来说,如图 3D 所示,基板 1a 的第一掺杂区 104g 位在穿孔 20 的一侧壁的一部分的基材 100a 中。连接部 108c、110c 的轮廓可以是沙漏形、I 字形、倒梯形或领结形(分别如图 1B、2A、2B 与 2C 所示)。连接部 108c、110c 的轮廓可依不同元件的需求来调整,但本发明并不以此为限。

[0089] 在以下的实施例中,相同或相似的元件、构件、层以相似的元件符号来表示。举例来说,图案化的绝缘层 102 与图案化的绝缘层 202、302、402、502、602 都为相同或相似的构件;导体结构 108 与导体结构 208、308、408、508、608 也为相同或相似的构件。于此不再逐一赘述。

[0090] 图 4A 为本发明第二实施例的基板的剖面示意图。图 4B 为本发明的另一第二实施例的基板的剖面示意图。

[0091] 请参照图 4A,本实施例与图 1E 的基板 1 相似,不同之处在于图 4A 的基板 2 包括基材 200。基材 200 包括主体部 210 与边缘部 220。边缘部 220 位于主体部 210 的边缘。边缘部 220 例如是切割道。边缘部 220 具有导角 230,其由第三表面 S3 与第二表面 S2 的连接处所构成。导角 230 的夹角  $\theta$  为钝角。在一实施例中,导角的夹角  $\theta$  可例如是 100 度至 170 度。导角 230 可通过每一基板 2 之间的切割道 240 上的开口 30 切割而成或是利用干、湿蚀刻方法来形成。上述导角 230 可例如是钝角。在后续封装制作工艺中,由于上述导角 230 的夹角  $\theta$  为钝角,其可解决基材 200 与下方的凸块(Bump)进行贴合时,第二表面 S2 的第二电极 208b、210b 过度挤压而外溢至角落,进而导致所属电子元件漏电或短路的问题。在一实施例中,还可在第三表面 S3 下的部分基材 200 中形成具有第二导电型的第三掺杂区 212,使得第三掺杂区 212 与其邻近的部分基材 200 构成二极管 211。二极管 211 也具有齐纳二极管的功效,以防止漏电流的发生。但本发明不限于此,在其他实施例中,也可利用喷涂或印刷的方式在基板 2 的第三表面 S3 上形成绝缘结构 202a(如图 4B 所示),以防止漏电流的发生。绝缘结构 202a 的材料可例如是硅氧树脂(Silicone)。

[0092] 图 5 为本发明第三实施例的基板的剖面示意图。

[0093] 请参照图 5,本实施例与图 1E 的基板 1 相似,不同之处在于图 5 的基板 3 还包括绝缘结构 302a 分别配置于连接部 308c、310c 的两侧壁与基材 300 之间。绝缘结构 302a 具有防止电荷击穿(punch through)的功效。当图 5 的基材 300 例如当作次载具(Submount)时,其所属的电子元件不仅可以防止电荷击穿,而且还具备静电放电防护的作用的双重保护的功。在一实施例中,绝缘结构 302a 的材料可例如是氧化硅、氮化硅、氮氧化硅或其组合,其形成方法可利用化学气相沉积法来形成。在一实施例中,绝缘结构 302a 的厚度为 100nm 至 3000nm。

[0094] 图 6 为本发明第四实施例的基板的剖面示意图。

[0095] 请参照图 6,本实施例与图 1E 的基板 1 相似,不同之处在于图 6 的基板 4 具有空腔(Cavity)40。二极管 405a、405b 埋入于空腔 40 底部的基材 400 中。由于图 5 的基材 400 具有空腔 40,因此,当基材 400 例如做为次载具时,除了具有静电放电防护的作用之外,其可减少所连接的发光二极管元件的侧向光。如此一来,不仅可减少黄晕(Yellowish Halo)

问题,在空腔 40 的侧壁上涂布反射镜也可提升所连接的发光二极管元的光学效率。

[0096] 图 7 为本发明第五实施例的基板的剖面示意图。

[0097] 请参照图 7,本实施例与图 1E 的基板 1 相似,不同之处在于图 7 的基板 5 还包括具有第一导电型的第二掺杂区 512a、512b。第二掺杂区 512a 位于具有第二导电型的第一掺杂区 504a 与导体结构 508 的连接部 508c 之间。第二掺杂区 512b 位于具有第二导电型的第一掺杂区 504b 与导体结构 510 的连接部 510c 之间。第二掺杂区 512a、第一掺杂区 504a 与基底 500 可组成 NPN 结构或 PNP 结构。第二掺杂区 512b、第一掺杂区 504b 与基底 500 也可组成 NPN 结构或 PNP 结构。通过增加第二掺杂区 512a、512b 与第一掺杂区 504a、504b 之间的界面 (Junction),可进一步增加抵抗漏电流的能力。此外,图 7 的基板 5 还包括绝缘结构 502a 覆盖于第一掺杂区 504a、504b 的表面上,而未覆盖于第二掺杂区 512a、512b 的表面上。

[0098] 图 8 为本发明第六实施例的基板的剖面示意图。

[0099] 请参照图 8,本实施例与图 1E 的基板 1 相似,不同之处在于图 8 的具有第二导电型的第一掺杂区 604a 与 604b 还延伸至基材 600 的第一表面 S1 与第二表面 S2。第一掺杂区 604a 位于第一电极 608a 与基材 600 之间以及第二电极 608b 与基材 600 之间。第一掺杂区 604b 位于第一电极 610a 与基材 600 之间以及第二电极 610b 与基材 600 之间。通过第一掺杂区 604a 与 604b 面积的增加,以减少漏电流的现象。

[0100] 本发明上述各实施例的基板上可安装芯片,而形成封装结构。在以下的实施例中,是以图 1E 的基板来说明,然而,本发明不以此为限,在其他的实施例中,可以直接将图 1E 的基材 100a 替换成上述各实施例的基材,于此不再赘述。

[0101] 图 9 为依照本发明的一实施例所绘示的封装结构。图 10 为依照本发明另一实施例所绘示的封装结构。

[0102] 请同时参照图 1E、图 9 以及图 10,本发明的实施例的封装结构包括图 1E 的基板 1 与芯片 700、800。芯片 700、800 分别安装于基板 1 上。芯片 700、800 可例如是半导体芯片、发光二极管芯片、存储芯片或其组合。基板 1 与芯片 700、800 两者之间可以各种方式来电连接。连接的方是例如是打线 (Wire Bonding)、共晶、焊接、倒装封装 (Flip Chip Bonding) 等。以下针对打线与倒装封装的方式来叙述本发明的实施例的封装结构。

[0103] 如图 9 所述,本发明的一实施例的封装结构包括芯片 700 与基板 1,基板 1 与芯片 700 通过打线方式来电连接。具体来说,芯片 700 的芯片基板 702 的第二侧表面通过固晶胶 706 安装于基板 1 上,并与导体结构 108 的第一电极 108a 电连接。芯片 700 的芯片基板 702 的第一侧表面则通过导线 (Wire) 708 将芯片 700 的焊垫 704 与基板 1 的第一电极 110a 电连接。本发明实施例的基板 1 将二极管 105a、105b 埋入基材 100 中。埋入式的二极管 105a、105b 不仅具有静电放电防护的功效,还可缩小其所属封装结构的体积,进而降低制造成本。

[0104] 如图 10 所述,本发明另一实施例的封装结构包括芯片 800 与基板 1,基板 1 与芯片 800 可例如是通过倒装封装方式来电连接。具体来说,芯片 800 安装于基板 1 上。芯片 800 包括透明基板 808 与芯片基板 802。透明基板 808 位于芯片基板 802 的第一侧的表面上。在一实施例中,透明基板 808 可例如是蓝宝石基板 (Sapphire)、SiC、InP 或 GaN 等。芯片基板 802 的第二侧的表面上通过第一凸块 804 与第二凸块 806 与基板 1 电连接。在一实

施例中,第一凸块 804 配置于芯片基板 802 与基板 1 之间,以电连接芯片基板 802 的 P 型半导体层(例如是 P 型 GaN)与基板 1 的第一电极 108a。第二凸块 806 位于芯片基板 802 与基板 1 之间,以电连接芯片基板 802 的 N 型半导体层(例如是 N 型 GaN)与基板 1 的第一电极 110a。

[0105] 综上所述,本发明的实施例在基材的穿孔的侧壁中埋入二极管,可有效地提升抗静电放电的效能,增进所属电子装置的产品可靠度,其也可缩小所属封装结构的体积。此外,上述埋入式的二极管与发光二极管电连接,则可提升发光二极管的混光效果。如此一来,本发明的实施例不仅可降低制造成本,且也符合现今电子产品轻薄短小的趋势。

[0106] 虽然结合以上实施例公开了本发明,然而其并非用以限定本发明,任何所属技术领域中具有通常知识者,在不脱离本发明的精神和范围内,可作些许的更动与润饰,故本发明的保护范围应当以附上的权利要求所界定的为准。

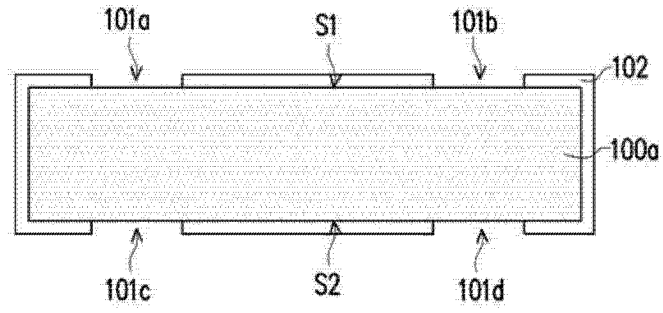


图 1A

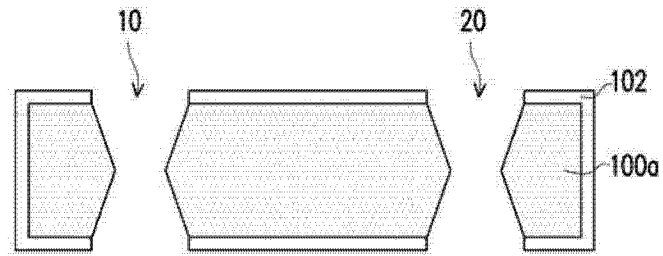


图 1B

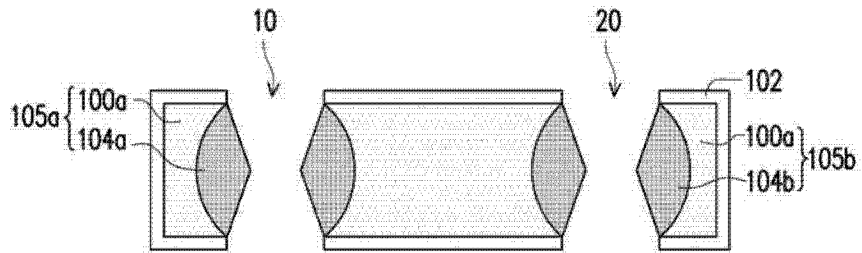


图 1C

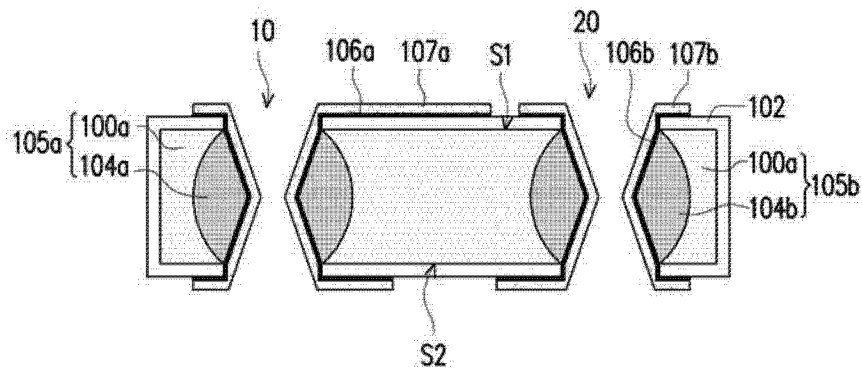


图 1D

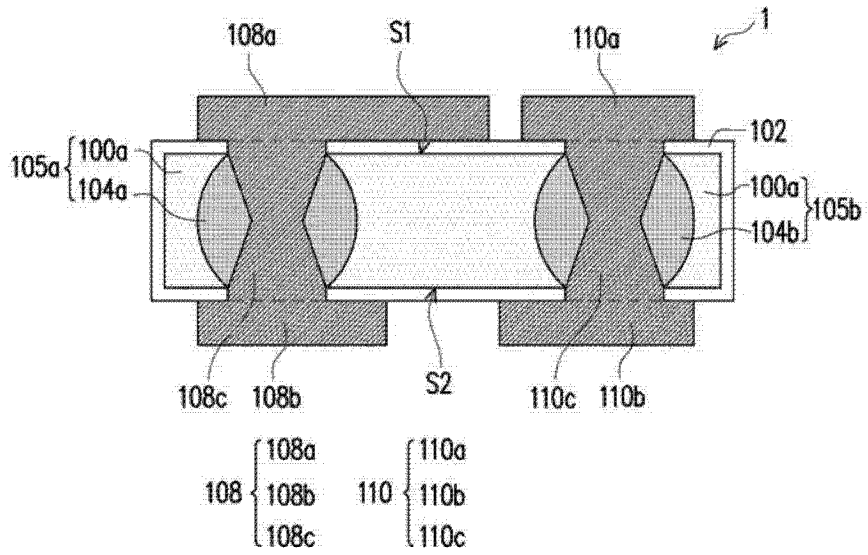


图 1E

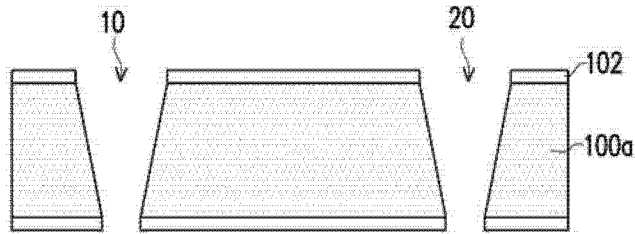


图 2A

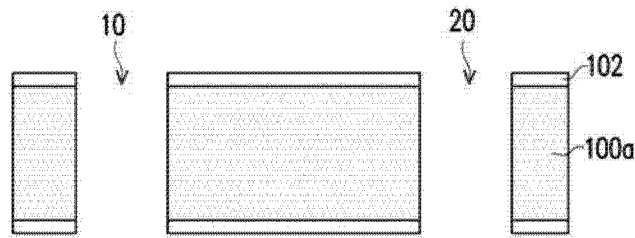


图 2B

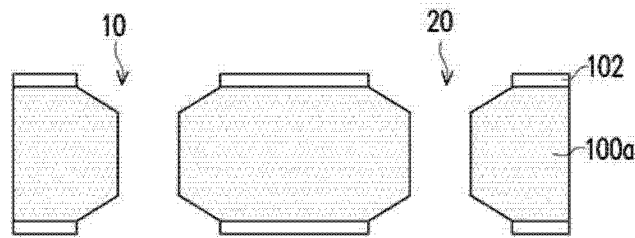


图 2C

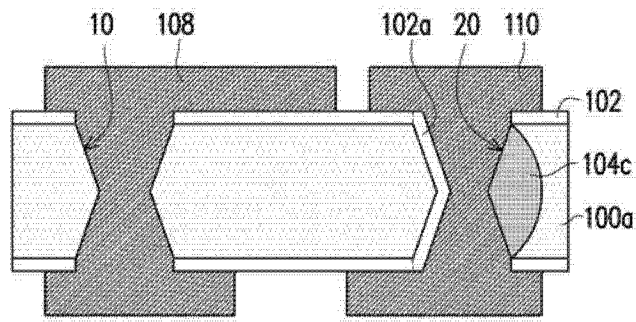


图 3A

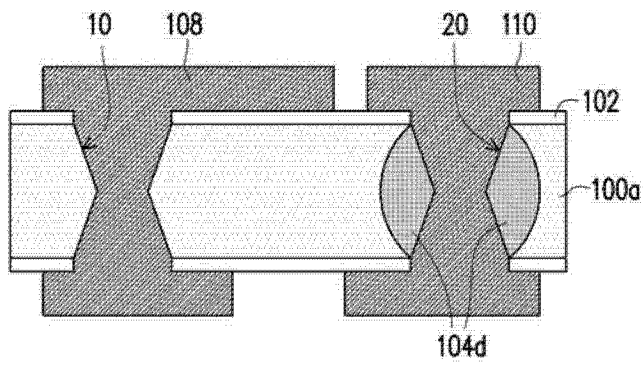


图 3B

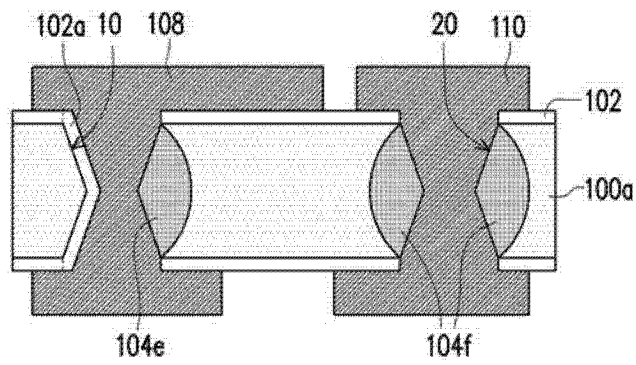


图 3C

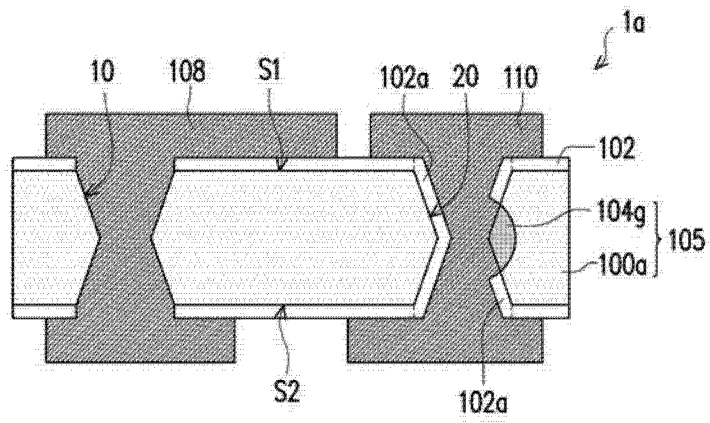


图 3D

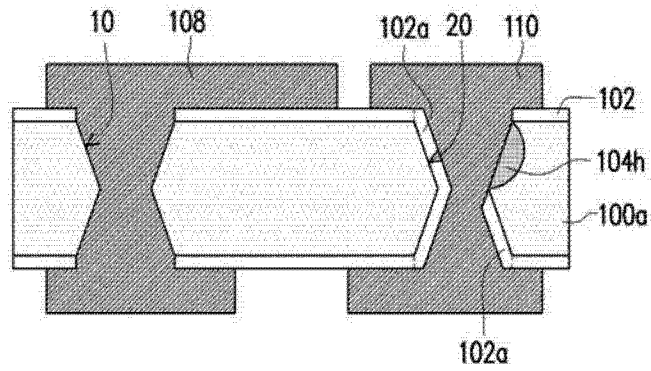


图 3E





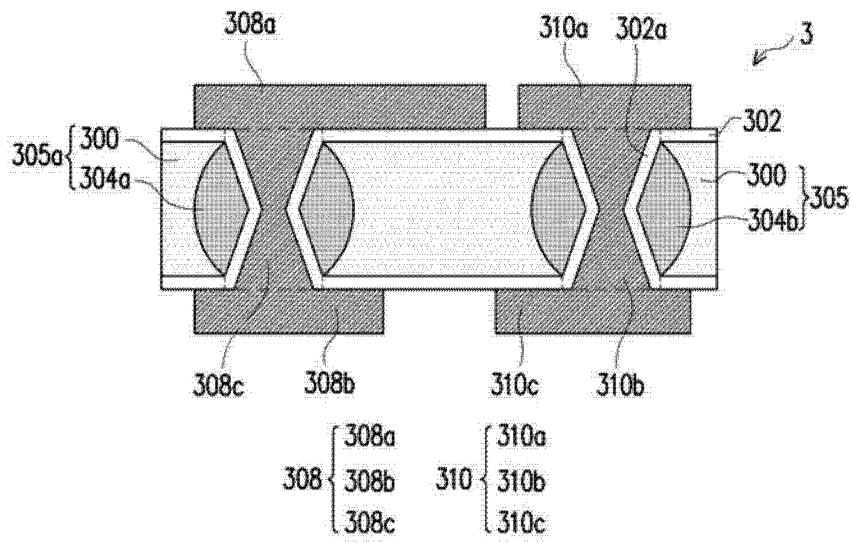


图 5

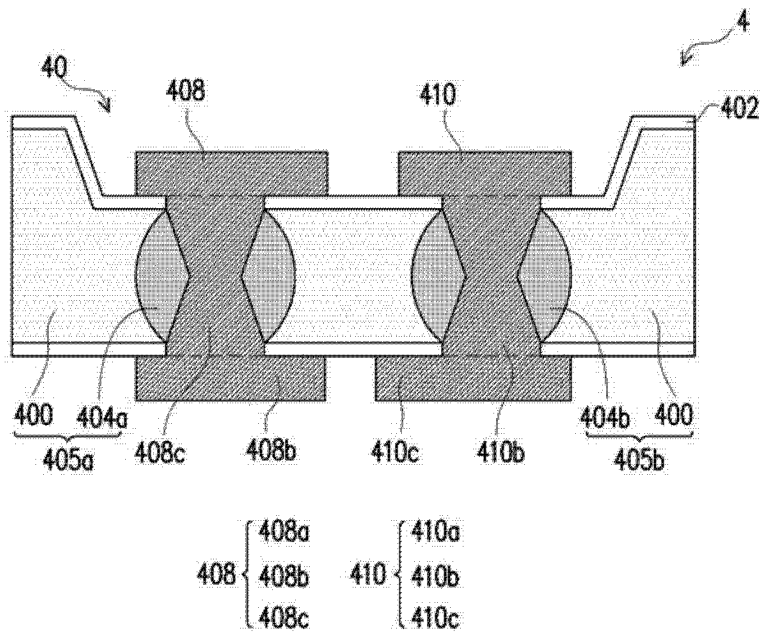


图 6

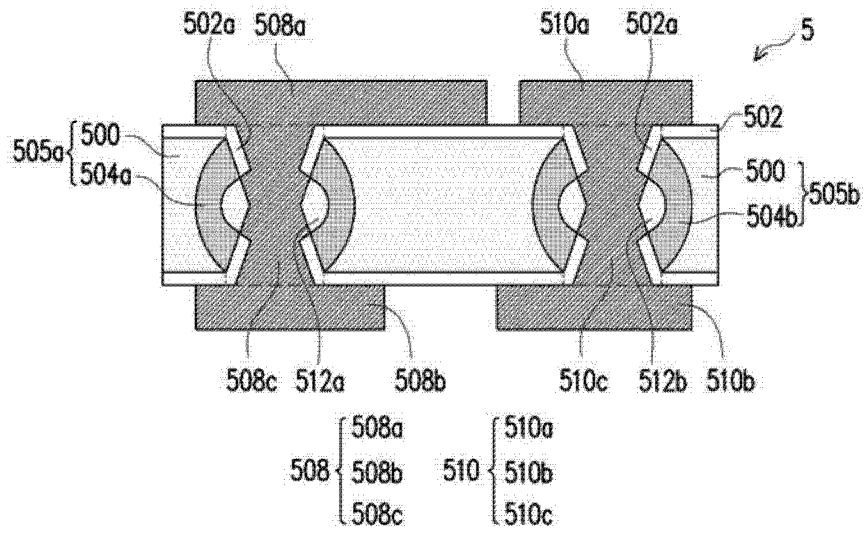


图 7

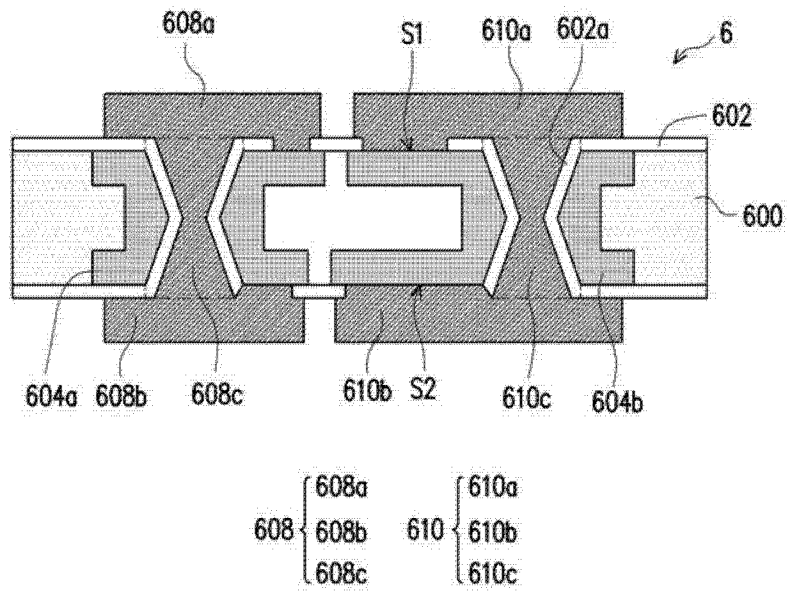


图 8

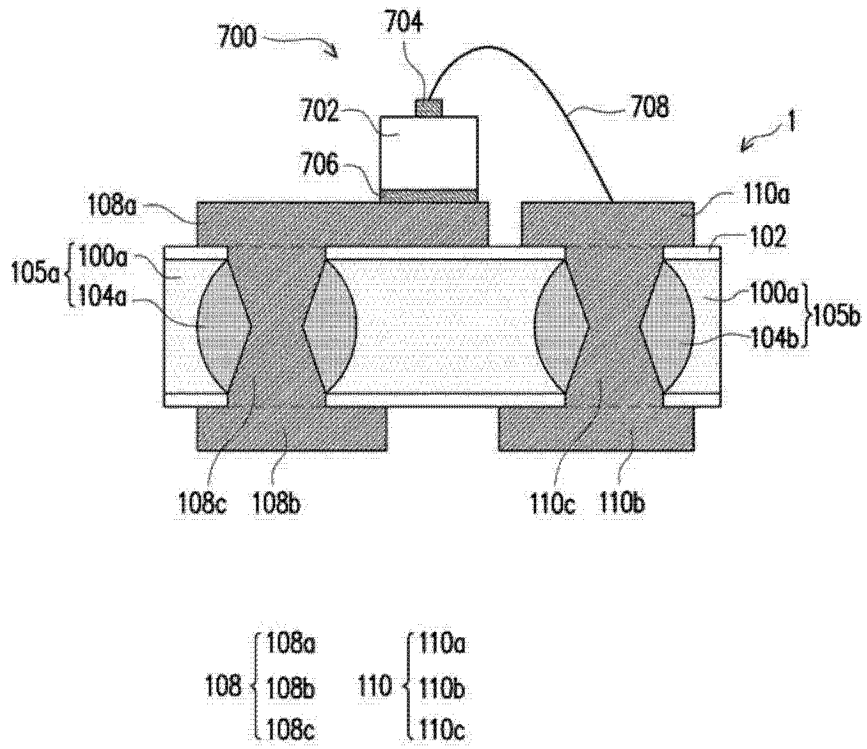


图 9

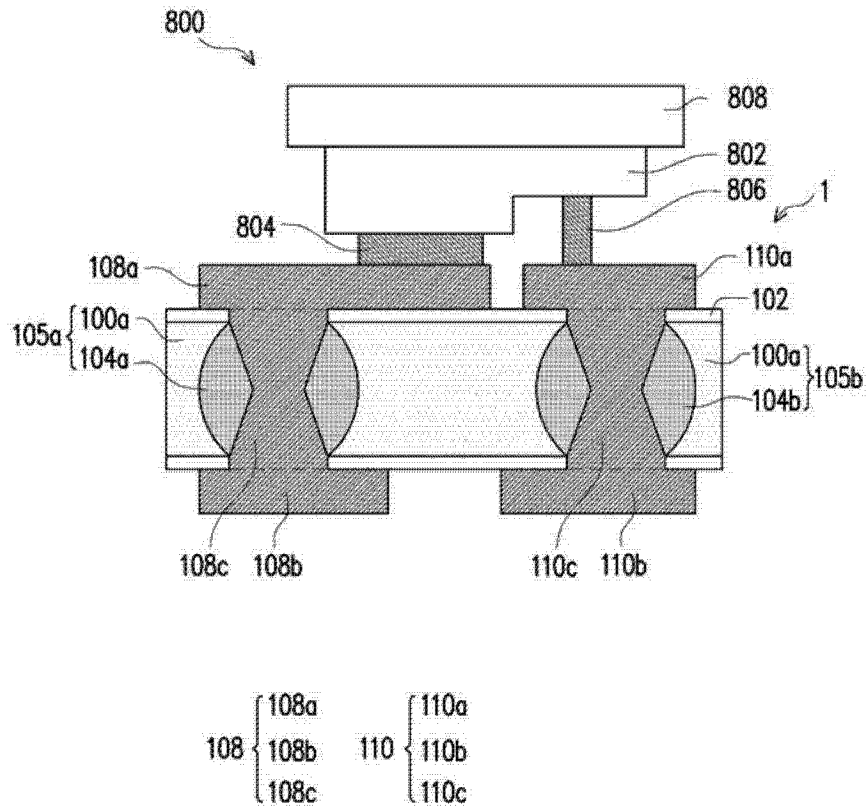


图 10