



(12) 实用新型专利

(10) 授权公告号 CN 216436399 U

(45) 授权公告日 2022. 05. 03

(21) 申请号 202123454845.2

(22) 申请日 2021.12.31

(73) 专利权人 武汉锐科光纤激光技术股份有限公司

地址 430040 湖北省武汉市东湖开发区高新大道999号

(72) 发明人 张怡静 陈明 张海洋 王冰雪
钱富琛 王建明

(74) 专利代理机构 北京康信知识产权代理有限公司 11240

代理人 张岳峰

(51) Int. Cl.

H01S 5/183 (2006.01)

H01S 5/02253 (2021.01)

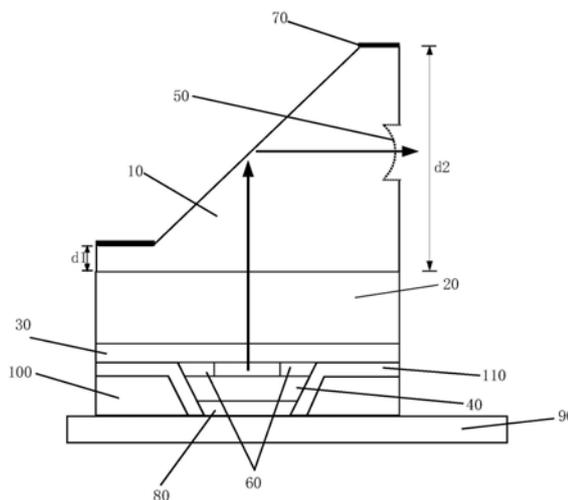
权利要求书2页 说明书10页 附图5页

(54) 实用新型名称

VCSEL芯片

(57) 摘要

本申请提供了一种VCSEL芯片,该芯片包括第一衬底、第一DBR层、量子阱层、第二DBR层以及微透镜,其中,第一衬底包括相对设置的第一表面以及第二表面,第一表面包括依次排列的第一子表面、第二子表面以及第三子表面,第一衬底还包括第三表面;第一DBR层位于第二表面上;量子阱层位于第一DBR层的远离第一衬底的表面上;第二DBR层位于量子阱层的远离第一DBR层的表面上,第一DBR层与第二DBR层的掺杂浓度不同;微透镜位于第三表面上,第二子表面用于将入射光束反射至微透镜上。通过第二子表面将入射光束反射至微透镜上,保证了微透镜输出的光束方向平行于第一子表面,无需再外加透镜装置实现光束的偏转。



1. 一种VCSEL芯片,其特征在于,包括:

第一衬底,包括相对设置的第一表面以及第二表面,所述第一表面包括依次排列的第一子表面、第二子表面以及第三子表面,所述第一子表面、所述第三子表面以及所述第二表面相互平行,所述第一子表面与所述第二表面的距离为第一距离,所述第三子表面与所述第二表面的距离为第二距离,所述第一距离小于所述第二距离,所述第二子表面分别与所述第一子表面以及所述第三子表面接触,所述第一衬底还包括第三表面,所述第三表面分别与所述第三子表面以及所述第二表面接触;

第一DBR层,位于所述第二表面上;

量子阱层,位于所述第一DBR层的远离所述第一衬底的表面上;

第二DBR层,位于所述量子阱层的远离所述第一DBR层的表面上,所述第一DBR层与所述第二DBR层的掺杂浓度不同;

微透镜,位于所述第三表面上,所述第二子表面用于将入射光束反射至所述微透镜上。

2. 根据权利要求1所述的VCSEL芯片,其特征在于,所述VCSEL芯片还包括:

多个氧化限制部,间隔的位于所述第二DBR层以及所述量子阱层之间,且各所述氧化限制部分别与所述第二DBR层以及所述量子阱层接触;

第一电极,位于所述第一子表面以及所述第三子表面上;

第二电极,位于所述第二DBR层的远离所述量子阱层的表面上;

散热片,位于所述第二电极的远离所述第二DBR层的表面上。

3. 根据权利要求2所述的VCSEL芯片,其特征在于,所述氧化限制部的材料为铝,所述散热片的材料为金属材料,所述第一电极与所述第二电极的材料为Au、Ge或者Ni。

4. 根据权利要求2所述的VCSEL芯片,其特征在于,所述VCSEL芯片还包括:

第二衬底,位于所述散热片与所述量子阱层之间,所述第二衬底具有通孔;

钝化层,位于所述通孔的侧壁上,所述钝化层还位于所述第二衬底的靠近所述量子阱层的表面上且与所述量子阱层接触,所述第二电极、所述第二DBR层以及所述氧化限制部沿靠近所述量子阱层方向依次填充在所述通孔中。

5. 根据权利要求4所述的VCSEL芯片,其特征在于,所述第一衬底、所述第一DBR层、所述量子阱层、所述第二DBR层、所述微透镜、所述第二衬底、所述钝化层以及所述第二电极分别有多个,所述第一衬底、所述第一DBR层、所述量子阱层、所述第二DBR层、所述微透镜、所述第二衬底、所述钝化层以及所述第二电极一一对应。

6. 根据权利要求4所述的VCSEL芯片,其特征在于,所述第一DBR层、所述量子阱层、所述第二DBR层、所述微透镜、所述第二衬底、所述钝化层以及所述第二电极分别有多个,所述第一DBR层、所述量子阱层、所述第二DBR层、所述微透镜、所述第二衬底、所述钝化层以及所述第二电极一一对应,多个所述微透镜间隔地位于所述第三表面上,各所述第一DBR层间隔地位于所述第二表面上。

7. 根据权利要求4至6中任一项所述的VCSEL芯片,其特征在于,所述第二衬底的材料为In,所述钝化层的材料为二氧化硅。

8. 根据权利要求1至6中任一项所述的VCSEL芯片,其特征在于,所述第二子表面的法线与所述入射光束的角度大于 16.2° 。

9. 根据权利要求1至6中任一项所述的VCSEL芯片,其特征在于,所述第一DBR层以及所

述第二DBR层分别包括M个交替叠置的第一子层以及第二子层,其中, $20 \leq M \leq 40$,所述第一子层与所述第二子层的折射率不同。

10. 根据权利要求1至6中任一项所述的VCSEL芯片,其特征在于,所述第一衬底的材料为GaAs,所述微透镜的材料为GaAs。

VCSEL芯片

技术领域

[0001] 本申请涉及激光芯片领域,具体而言,涉及一种VCSEL芯片。

背景技术

[0002] VCSEL (Vertical-cavity surface-emitting laser,垂直腔面发射激光器)本质上是一种半导体激光器,是用来发射激光的装置。根据激光芯片的结构,半导体激光器可以分为边发射激光器(EEL,Edge Emitting Laser)和垂直腔面发射激光器(VCSEL)。与传统的边发射激光器不同,VCSEL的激光出射方向垂直于衬底表面,可获得圆形光斑。因为其谐振腔长与波长接近,动态单模性比较好,具备发光效率高、功耗极低、光束质量好的特点。VCSEL垂直出光更适合用来做成二维阵列形式。此外,VCSEL阈值电流很小,可以在1~2mA之间的低电流下工作。

[0003] VCSEL主要有两种基本结构,一种是顶发射结构:采用MOCVD (Metal Organic Chemical Vapor Deposition,金属有机化合物化学气相沉积)技术在n型GaAs衬底上生长而成,以DBR 作为激光腔镜,量子阱有源区位于n-DBR和p-DBR之间。由于量子阱厚度小,单程增益小,因此反射镜的反射率较高,一般全反腔镜的反射率>99.9%,然后在衬底和p-DBR外表面制作金属接触层。并在p-DBR或n-DBR上制作一个圆形出光窗口,获得圆形光束,窗口直径从几微米可到几百微米,最后和导热性好的热沉键合,提高芯片的散热性能。另一种是底发射结构,一般用于产生976~1064nm波段,通常将衬底减薄至150 μ m以下以减少衬底吸收损耗,在生长一层增透膜以提高激光光束质量,最后将增益芯片安装在热沉上。

[0004] VCSEL的出光方向只能垂直于衬底,一般需要外加透镜装置实现光束的偏转。此外,由于电流注入较为集中,衬底较厚,常常存在散热效果不佳、出现横模现象的问题。

[0005] 在背景技术部分中公开的以上信息只是用来加强对本文所描述技术的背景技术的理解,因此,背景技术中可能包含某些信息,这些信息对于本领域技术人员来说并未形成在本国已知的现有技术。

实用新型内容

[0006] 本申请的主要目的在于提供一种VCSEL芯片,以解决现有技术中VCSEL只能垂直于衬底出光的问题。

[0007] 为了实现上述目的,根据本申请的一个方面,提供了一种VCSEL芯片,所述VCSEL芯片包括第一衬底、第一DBR层、量子阱层、第二DBR层以及微透镜,其中,所述第一衬底包括相对设置的第一表面以及第二表面,所述第一表面包括依次排列的第一子表面、第二子表面以及第三子表面,所述第一子表面、所述第三子表面以及所述第二表面相互平行,所述第一子表面与所述第二表面的距离为第一距离,所述第三子表面与所述第二表面的距离为第二距离,所述第一距离小于所述第二距离,所述第二子表面分别与所述第一子表面以及所述第三子表面接触,所述第一衬底还包括第三表面,所述第三表面分别与所述第三子表面以及所述第二表面接触;所述第一DBR层位于所述第二表面上;所述量子阱层位于所述第一

DBR 层的远离所述第一衬底的表面上;所述第二DBR层位于所述量子阱层的远离所述第一DBR 层的表面上,所述第一DBR层与所述第二DBR层的掺杂浓度不同;所述微透镜位于所述第三表面上,所述第二子表面用于将入射光束反射至所述微透镜上。

[0008] 可选地,所述VCSEL芯片还包括多个氧化限制部、第一电极、第二电极以及散热片,其中,所述多个氧化限制部间隔的位于所述第二DBR层以及所述量子阱层之间,且各所述氧化限制部分别与所述第二DBR层以及所述量子阱层接触;所述第一电极位于所述第一子表面以及所述第三子表面上;所述第二电极位于所述第二DBR层的远离所述量子阱层的表面上;所述散热片位于所述第二电极的远离所述第二DBR层的表面上。

[0009] 可选地,所述氧化限制部的材料为铝,所述散热片的材料为金属材料,所述第一电极与所述第二电极的材料为Au、Ge或者Ni。

[0010] 可选地,所述VCSEL芯片还包括第二衬底以及钝化层,其中,所述第二衬底位于所述散热片与所述量子阱层之间,所述第二衬底具有通孔;所述钝化层位于所述通孔的侧壁上,所述钝化层还位于所述第二衬底的靠近所述量子阱层的表面上且与所述量子阱层接触,所述第二电极、所述第二DBR层以及所述氧化限制部沿靠近所述量子阱层方向依次填充在所述通孔中。

[0011] 可选地,所述第一衬底、所述第一DBR层、所述量子阱层、所述第二DBR层、所述微透镜、所述第二衬底、所述钝化层以及所述第二电极分别有多个,所述第一衬底、所述第一DBR层、所述量子阱层、所述第二DBR层、所述微透镜、所述第二衬底、所述钝化层以及所述第二电极一一对应。

[0012] 可选地,所述第一DBR层、所述量子阱层、所述第二DBR层、所述微透镜、所述第二衬底、所述钝化层以及所述第二电极分别有多个,所述第一DBR层、所述量子阱层、所述第二DBR层、所述微透镜、所述第二衬底、所述钝化层以及所述第二电极一一对应,多个所述微透镜间隔地位于所述第三表面上,各所述第一DBR层间隔地位于所述第二表面上。

[0013] 可选地,所述第二衬底的材料为In,所述钝化层的材料为二氧化硅。

[0014] 可选地,所述第二子表面的法线与所述入射光束的角度大于 16.2° 。

[0015] 可选地,所述第一DBR层以及所述第二DBR层分别包括M个交替叠置的第一子层以及第二子层,其中, $20 \leq M \leq 40$,所述第一子层与所述第二子层的折射率不同。

[0016] 可选地,所述第一衬底的材料为GaAs,所述微透镜的材料为GaAs。

[0017] 应用本申请的技术方案,所述VCSEL芯片包括第一衬底、第一DBR层、量子阱层、第二DBR层以及微透镜,其中,所述第一衬底包括相对设置的第一表面以及第二表面,所述第一表面包括依次排列的第一子表面、第二子表面以及第三子表面,所述第一衬底还包括第三表面;所述第一DBR层位于所述第二表面上;所述量子阱层位于所述第一DBR层的远离所述第一衬底的表面上;所述第二DBR层位于所述量子阱层的远离所述第一DBR层的表面上,所述第一DBR层与所述第二DBR层的掺杂浓度不同;所述微透镜位于所述第三表面上,所述第二子表面用于将入射光束反射至所述微透镜上。相比现有技术中VCSEL只能垂直于衬底出光的问题,本申请的所述的VCSEL芯片,通过所述第二子表面将入射光束反射至所述微透镜上,可以实现光束的偏转,再通过所述微透镜对偏转后的所述光束进行准直和汇聚,保证了所述微透镜输出的光束方向平行于所述第一子表面,无需再外加透镜装置实现光束的偏转。

附图说明

[0018] 构成本申请的一部分的说明书附图用来提供对本申请的进一步理解,本申请的示意性实施例及其说明用于解释本申请,并不构成对本申请的不当限定。在附图中:

[0019] 图1示出了根据本申请的第一种实施例的VCSEL芯片示意图;

[0020] 图2至图5分别示出了根据本申请的微透镜制作的流程示意图;

[0021] 图6示出了根据本申请的第二种实施例的VCSEL芯片示意图;

[0022] 图7示出了根据本申请的第三种实施例的VCSEL芯片示意图;

[0023] 图8示出了根据本申请的第四种实施例的VCSEL芯片示意图。

[0024] 其中,上述附图包括以下附图标记:

[0025] 10、第一衬底;20、第一DBR层;30、量子阱层;40、第二DBR层;50、微透镜;60、氧化限制部;70、第一电极;80、第二电极;90、散热片;100、第二衬底;101、GaAs层;110、钝化层;120、SiO₂层;130、光刻胶;140、SiO₂部。

具体实施方式

[0026] 应该指出,以下详细说明都是例示性的,旨在对本申请提供进一步的说明。除非另有指明,本文使用的所有技术和科学术语具有与本申请所属技术领域的普通技术人员通常理解相同含义。

[0027] 需要注意的是,这里所使用的术语仅是为了描述具体实施方式,而非意图限制根据本申请的示例性实施方式。如在这里所使用的,除非上下文另外明确指出,否则单数形式也意图包括复数形式,此外,还应当理解的是,当在本说明书中使用术语“包含”和/或“包括”时,其指明存在特征、步骤、操作、器件、组件和/或它们的组合。

[0028] 应该理解的是,当元件(诸如层、膜、区域、或衬底)描述为在另一元件“上”时,该元件可直接在该另一元件上,或者也可存在中间元件。而且,在说明书以及权利要求书中,当描述有元件“连接”至另一元件时,该元件可“直接连接”至该另一元件,或者通过第三元件“连接”至该另一元件。

[0029] 正如背景技术所介绍的,现有技术中VCSEL只能垂直于衬底出光的问题,为了解决如上问题,本申请提出了一种VCSEL芯片。

[0030] 根据本申请的一种典型的实施例,提供了一种VCSEL芯片,如图1所示,上述VCSEL芯片包括第一衬底10、第一DBR层20、量子阱层30、第二DBR层40以及微透镜50,其中,上述第一衬底10包括相对设置的第一表面以及第二表面,上述第一表面包括依次排列的第一子表面、第二子表面以及第三子表面,上述第一子表面、上述第三子表面以及上述第二表面相互平行,上述第一子表面与上述第二表面的距离为第一距离d1,上述第三子表面与上述第二表面的距离为第二距离d2,上述第一距离d1小于上述第二距离d2,上述第二子表面分别与上述第一子表面以及上述第三子表面接触,上述第一衬底还包括第三表面,上述第三表面分别与上述第三子表面以及上述第二表面接触;上述第一DBR层20位于上述第二表面上;上述量子阱层30位于上述第一DBR层20的远离上述第一衬底10的表面上;上述第二DBR层40位于上述量子阱层30的远离上述第一DBR层20的表面上,上述第一DBR层20与上述第二DBR层40的掺杂浓度不同;上述微透镜50位于上述第三表面上,上述第二子表面用于将入射光束反射至上述微透镜上。

[0031] 上述VCSEL芯片,包括第一衬底、第一DBR层、量子阱层、第二DBR层以及微透镜,其中,上述第一衬底包括相对设置的第一表面以及第二表面,上述第一表面包括依次排列的第一子表面、第二子表面以及第三子表面,上述第一衬底还包括第三表面;上述第一DBR层位于上述第二表面上;上述量子阱层位于上述第一DBR层的远离上述第一衬底的表面上;上述第二DBR层位于上述量子阱层的远离上述第一DBR层的表面上,上述第一DBR层与上述第二DBR层的掺杂浓度不同;上述微透镜位于上述第三表面上,上述第二子表面用于将入射光束反射至上述微透镜上。相比现有技术中VCSEL只能垂直于衬底出光的问题,本申请的上述的VCSEL芯片,通过上述第二子表面将入射光束反射至上述微透镜上,可以实现光束的偏转,再通过上述微透镜对偏转后的上述光束进行准直和汇聚,保证了上述微透镜输出的光束方向平行于上述第一子表面,无需再外加透镜装置实现光束的偏转。

[0032] 具体地,上述量子阱层由数个5~10nm厚的 $\text{In}_x\text{Ga}_{1-x}\text{As}$ 量子阱和5~10nm厚的 $\text{Ga}_y\text{As}_{1-y}\text{P}$ 势垒层构成($0 < x \leq 1, 0 < y \leq 1$),其中,上述量子阱层不掺杂。上述第二子表面与上述第一子表面的夹角范围为 $0 < \text{夹角} < 90^\circ$ 。

[0033] 一种具体地实施例中,如图2所示,上述微透镜的具体制备过程为:提供GaAs层101;用PECVD的方法在上述GaAs层101的表面生长厚度为200nm的 SiO_2 层120作掩模, SiO_2 层120的厚度由膜厚监控仪检测;然后利用传统的光刻工艺,在 SiO_2 表面形成一系列不同直径的圆孔,圆孔边缘需要完整;如图3所示,采用AZ4330光刻胶130,曝光时间为60s,显影时间为30s,显影完毕后,在 100°C 的加热板上坚膜20min;如图4所示,再利用1:1:8的 NH_4F 、HF和 H_2O 组成的腐蚀液把圆孔内部的 SiO_2 腐蚀掉,剩余的上述 SiO_2 层120形成 SiO_2 部140;如图5所示,最后在HBr、 H_2O_2 、 H_2O 组成的腐蚀液中腐蚀出微透镜50,腐蚀时间为30min,腐蚀液的配比为2:1:60,最终形成的上述微透镜50中间高度为 $0.55\mu\text{m}$,直径为 $20\mu\text{m}$ 。由于 Br_2 在掩膜边缘处碰撞几率较小,因此 Br_2 在边缘扩散较快,中间扩散较慢,所以圆孔外围的反应要快于圆孔中央,控制好腐蚀的时间和腐蚀液的配比度就可以腐蚀出不同曲率半径的凸透镜,上述微透镜可以实现对输出光束的自准直,不需要外加透镜装置,就可以改善输出光束的光束质量,可以大大降低器件的成本和体积,上述VCSEL芯片不仅可以排成一维阵列,还可以排成二维阵列,实现侧向多光束的输出,有利于器件的集成,上述VCSEL芯片实现侧向发射的VCSEL器件在某种程度上可以替代传统的边发射激光器,而且输出的光束质量比边发射激光器要高。

[0034] 根据本申请的一种具体实施例,如图1所示,上述VCSEL芯片还包括多个氧化限制部60、第一电极70、第二电极80以及散热片90,其中,上述多个氧化限制部60间隔的位于上述第二DBR层40以及上述量子阱层30之间,且各上述氧化限制部60分别与上述第二DBR层40以及上述量子阱层30接触;上述第一电极70位于上述第一子表面以及上述第三表面上;上述第二电极80位于上述第二DBR层40的远离上述量子阱层30的表面上;上述散热片90位于上述第二电极80的远离上述第二DBR层40的表面上。上述氧化限制部保证了上述VCSEL芯片阈值较小,且有抑制高阶横模的作用,上述散热片保证了上述VCSEL芯片散热性能较好,上述第一电极以及上述第二电极用于输入或者导出电流。

[0035] 具体地,上述氧化限制部的具体制备过程为:采用N面出光的结构,电流由P面圆形电极注入。第二DBR层用湿化学刻蚀法刻蚀台面,在 $400^\circ\text{C} \sim 500^\circ\text{C}$ 的温度范围内,由氮气携带 90°C 水蒸气进行氧化形成氧化限制部,对注入电流进行限制。利用感应耦合等离子体

(Inductive Coupled Plasma Emission Spectrometer, ICP) 刻蚀形成台面,然后在台面上利用等离子体增强化学气相沉积(PECVD)一层200nm~300nm厚的SiO₂绝缘层,防止电流由台面侧向注入从而导致器件短路。在上述第二DBR层上制备P面电极。将VCSEL器件的P面一侧利用In焊料键合在散热片上;

[0036] 一种具体的实施例中,上述第二电极键合在上述散热片上,上述第一电极以及上述第二电极的厚度为50nm~200nm。

[0037] 根据本申请的另一种具体实施例,上述氧化限制部的材料为铝,上述散热片的材料为金属材料,上述第一电极与上述第二电极的材料为Au、Ge或者Ni。

[0038] 具体地,上述散热片的材料为铜或者铝。

[0039] 一种具体的实施例中,上述氧化限制部的厚度为10~100nm。

[0040] 根据本申请的又一种具体实施例,如图1所示,上述VCSEL芯片还包括第二衬底100以及钝化层110,其中,上述第二衬底100位于上述散热片90与上述量子阱层30之间,上述第二衬底100具有通孔;上述钝化层110位于上述通孔的侧壁上,上述钝化层110还位于上述第二衬底100的靠近上述量子阱层30的表面上且与上述量子阱层30接触,上述第二电极80、上述第二DBR层40以及上述氧化限制部60沿靠近上述量子阱层30方向依次填充在上述通孔中。上述第二衬底用于将上述第二DBR层固定在上述散热片上,保证了上述VCSEL芯片的散热性能较好,上述钝化层一方面保证了上述电极之间的绝缘作用,另一方面保证了上述VCSEL芯片的表面效应较小,避免了尘埃、水汽、酸气或者金属颗粒对上述VCSEL芯片的玷污。

[0041] 根据本申请的一种具体实施例,如图6所示,上述第一衬底、上述第一DBR层、上述量子阱层、上述第二DBR层、上述微透镜、上述第二衬底、上述钝化层以及上述第二电极分别有多个,上述第一衬底、上述第一DBR层、上述量子阱层、上述第二DBR层、上述微透镜、上述第二衬底、上述钝化层以及上述第二电极一一对应。这样实现了侧向多光束的输出,有利于器件的集成。

[0042] 为了进一步地实现侧向多光束的输出,根据本申请的另一种具体实施例,如图7所示,上述第一DBR层、上述量子阱层、上述第二DBR层、上述微透镜、上述第二衬底、上述钝化层以及上述第二电极分别有多个,上述第一DBR层、上述量子阱层、上述第二DBR层、上述微透镜、上述第二衬底、上述钝化层以及上述第二电极一一对应,多个上述微透镜间隔地位于上述第三表面上,各上述第一DBR层间隔地位于上述第二表面上。

[0043] 根据本申请的又一种具体实施例,上述第二衬底的材料为In,上述钝化层的材料为二氧化硅。

[0044] 根据本申请的一种具体实施例,上述第二子表面的法线与上述入射光束的角度大于16.2°。上述第二子表面的法线与上述入射光束的角度大于16.2°,保证了上述光经过上述第二子表面可以发生全反射,进一步保证了上述微透镜输出的光束方向平行于上述第一子表面,同时也保证了上述微透镜输出的光束质量较好。

[0045] 一种具体的实施例中,上述第二子表面的制备过程包括:利用ICP刻蚀技术对N型GaAs衬底进行斜面刻蚀,刻蚀气体选用Cl₂/BCl₃,气体流量比例1:3,Cl₂流量为10sccm~30sccm,BCl₃流量为30sccm~90sccm,功率为500W~700W,气压为1mTorr~10mTorr。

[0046] 根据本申请的另一种具体实施例,上述第一DBR层以及上述第二DBR层分别包括M

个交替叠置的第一子层以及第二子层,其中, $20 \leq M \leq 40$,上述第一子层与上述第二子层的折射率不同。上述第一DBR层以及上述DBR层对光的反射达到99%以上,保证了光的可以按照预定路程射出。

[0047] 一种具体的实施例中,上述第一DBR层由生长20~40对 $\text{Al}_x\text{Ga}_{1-x}\text{As}/\text{Al}_y\text{Ga}_{1-y}\text{As}$ ($0 < x \leq 1, 0 < y \leq 1$) 材料组成。上述P型DBR是由生长20~40对 $\text{Al}_x\text{Ga}_{1-x}\text{As}/\text{Al}_y\text{Ga}_{1-y}\text{As}$ ($0 < x \leq 1, 0 < y \leq 1$) 材料组成。其中,上述第一DBR层以及上述第二DBR层的每层厚度为10~100nm,掺杂浓度为 $1 \times 10^{18}/\text{cm}^3 \sim 1 \times 10^{19}/\text{cm}^3$,每层材料的光学厚度为中心反射波长的1/4,频率落在能隙范围内的电磁波无法穿越,保证了上述第一DBR层以及上述第二DBR层反射率可达99%以上。

[0048] 根据本申请的又一种具体实施例,上述第一衬底的材料为GaAs,上述微透镜的材料为GaAs。

[0049] 具体地,当光从光密介质射入光疏介质时,同时发生折射和反射。如果入射角逐渐增大,折射光离法线越来越远,而且越来越弱,反射光却越来越强。当入射角增大到某一角度,使折射角达到 90° 时,折射光完全消失,只剩下反射光,这种现象叫做全反射。当光恰好发生全反射现象(即折射角等于 90°)时的入射角叫做介质的临界角,用字母C来表示。已知上述第一衬底的材料为GaAs,且GaAs材料的折射率为3.6,空气的折射率为1,则光从GaAs射向空气时发生全反射的临界角为

$$[0050] \quad \sin C = \frac{1}{n} \approx 0.28$$

[0051] 可知临界角C约为 16.2° 。

[0052] 一种具体的实施例中,通过金属有机化学气相沉积(MOCVD)或分子束外延(Molecular Beam Epitaxy, MBE)依次生长上述第一DBR层、上述量子阱层、上述氧化限制部、上述第二DBR层、上述第一电极以及上述第二电极;通过激光脉冲沉积(Pulsed Laser Deposition, PLD)法制备上述钝化层。

[0053] 实施例1:单个倒装侧向发射VCSEL芯片的结构及其制备过程,如图1所示。

[0054] 步骤1:在N型GaAs衬底上,用金属有机化学气相沉积(MOCVD)或分子束外延(MBE)依次生长N型DBR、量子阱有源区、氧化限制层、P型DBR。上述N型DBR由生长40对 $\text{Al}_{0.90}\text{Ga}_{0.10}\text{As}/\text{Al}_{0.10}\text{Ga}_{0.90}\text{As}$ 材料组成,每层厚度为20nm,N型掺杂浓度为 $4 \times 10^{18}/\text{cm}^3$ 。上述P型DBR是由生长40对 $\text{Al}_{0.90}\text{Ga}_{0.10}\text{As}/\text{Al}_{0.10}\text{Ga}_{0.90}\text{As}$ 材料组成,每层厚度为20nm,P型掺杂浓度为 $4 \times 10^{18}/\text{cm}^3$ 。上述氧化限制层是由高Al组分的 $\text{Al}_{0.90}\text{Ga}_{0.10}\text{As}$ ($0 < y \leq 1$) 材料经氧化得到,厚度为30nm,P型掺杂浓度为 $5 \times 10^{18}/\text{cm}^3$ 。上述量子阱有源区是由3对 $\text{In}_{0.17}\text{Ga}_{0.83}\text{As}$ 量子阱和 $\text{Ga}_{0.08}\text{As}_{0.92}$ P势垒层构成。量子阱厚度为6nm,不掺杂。势垒层厚度为4nm,不掺杂。上述N型GaAs衬底的掺杂浓度为 $1 \times 10^{18}/\text{cm}^3$;

[0055] 步骤2:采用N面出光的结构,电流由P面圆形电极注入。P型DBR用湿化学刻蚀法刻蚀台面,在 450°C 的温度范围内,由氮气携带 90°C 水蒸气进行氧化4小时形成 Al_xO_y 绝缘层,对注入电流进行限制。利用感应耦合等离子体(ICP)刻蚀形成台面,然后在台面上利用等离子体增强化学气相沉积(PECVD)一层200nm厚的 SiO_2 绝缘层,防止电流由台面侧向注入从而导致器件短路。在第二DBR层上制备P面电极。将VCSEL器件的P面一侧利用In焊料键合在散热片上;

[0056] 步骤3:利用ICP刻蚀技术对N型GaAs衬底进行斜面刻蚀,刻蚀气体选用 Cl_2/BCl_3 ,气体流量比例为1:3, Cl_2 流量为20sccm, BCl_3 流量为60sccm,功率为500W,气压为1mTorr;

[0057] 步骤4:如图2所示,用PECVD在GaAs表面生长厚度为200nm的 SiO_2 作掩模, SiO_2 薄膜的厚度由膜厚监控仪检测。若厚度较薄,光刻腐蚀时易产生针孔,影响表面平整;若较厚,光刻后腐蚀时间过长,使边缘不整齐,影响微透镜的表面形貌。然后利用传统的光刻工艺,如图3所示,在 SiO_2 表面形成一系列不同直径的圆孔,圆孔边缘需要完整,这对以后腐蚀 SiO_2 和形成微透镜影响很大。主要是控制好曝光时间和显影时间。采用AZ4330光刻胶,曝光时间为60s,显影时间为30s,显影完毕后,在100℃的加热板上坚膜20min。如图4所示,再利用1:1:8的 NH_4F 、 HF 和 H_2O 组成的腐蚀液把圆孔内部的 SiO_2 腐蚀掉。如图5所示,最后在 HBr 、 H_2O_2 、 H_2O 组成的腐蚀液中腐蚀微透镜,腐蚀时间为30min,腐蚀液的配比为2: 1:60;

[0058] 步骤5GaAs微透镜制备完毕后,制备VCSEL激光器的N面电极。最终形成倒装侧向发射的VCSEL激光器。

[0059] 实施例2:一维阵列异侧出光,集成 2×4 , 2×8 , 2×12 , 2×16 , 2×32 等VCSEL激光芯片,具体示意图如图6所示。实施例2与实施例1的主要区别就是在同一散热片上键合两个相互对称的VCSEL激光器阵列。

[0060] 步骤1:在N型GaAs衬底上,用金属有机化学气相沉积(MOCVD)或分子束外延(MBE)依次生长N型DBR、量子阱有源区、氧化限制层、P型DBR。上述N型DBR由生长30对 $\text{Al}_{0.80}\text{Ga}_{0.20}\text{As}/\text{Al}_{0.20}\text{Ga}_{0.80}\text{As}$ 材料组成,每层厚度为15nm,N型掺杂浓度为 $4.5 \times 10^{18}/\text{cm}^3$ 。上述P型DBR是由生长30对 $\text{Al}_{0.80}\text{Ga}_{0.20}\text{As}/\text{Al}_{0.20}\text{Ga}_{0.80}\text{As}$ 材料组成,每层厚度为15nm,P型掺杂浓度为 $4.5 \times 10^{18}/\text{cm}^3$ 。上述氧化限制层是由高Al组分的 $\text{Al}_{0.90}\text{Ga}_{0.10}\text{As}$ ($0 < y \leq 1$)材料经氧化得到,厚度为40nm,P型掺杂浓度为 $6 \times 10^{18}/\text{cm}^3$ 。上述量子阱有源区是由3对 $\text{In}_{0.17}\text{Ga}_{0.83}\text{As}$ 量子阱和 $\text{Ga}_{0.08}\text{As}_{0.92}\text{P}$ 势垒层构成。量子阱厚度为6nm,不掺杂。势垒层厚度为4nm,不掺杂。上述N型GaAs衬底的掺杂浓度为 $1 \times 10^{18}/\text{cm}^3$;

[0061] 步骤2:采用N面出光的结构,电流由P面圆形电极注入。P型DBR用湿化学刻蚀法刻蚀台面,在400℃的温度范围内,由氮气携带90℃水蒸气进行氧化5小时形成 Al_xO_y 绝缘层,对注入电流进行限制。利用感应耦合等离子体(ICP)刻蚀形成台面,然后在台面上利用等离子体增强化学气相沉积(PECVD)一层200nm厚的 SiO_2 绝缘层,防止电流由台面侧向注入从而导致器件短路。在第二DBR层上制备P面电极。将VCSEL器件的P面一侧利用In焊料键合在散热片上。形成 2×4 , 2×8 , 2×12 , 2×16 , 2×32 等VCSEL阵列;

[0062] 步骤3:利用ICP刻蚀技术对N型GaAs衬底进行斜面刻蚀,刻蚀气体选用 Cl_2/BCl_3 ,气体流量比例为1:3, Cl_2 流量为20sccm, BCl_3 流量为60sccm,功率为500W,气压为1mTorr。每行两个VCSEL芯片的斜面形成对称结构;

[0063] 步骤4:如图2所示,用PECVD在GaAs表面生长厚度为200nm的 SiO_2 作掩模, SiO_2 薄膜的厚度由膜厚监控仪检测。若厚度较薄,光刻腐蚀时易产生针孔,影响表面平整;若较厚,光刻后腐蚀时间过长,使边缘不整齐,影响微透镜的表面形貌。然后利用传统的光刻工艺,如图3所示,在 SiO_2 表面形成一系列不同直径的圆孔,圆孔边缘需要完整,这对以后腐蚀 SiO_2 和形成微透镜影响很大。主要是控制好曝光时间和显影时间。采用AZ4330光刻胶,曝光时间为60s,显影时间为30s,显影完毕后,在100℃的加热板上坚膜20min。如图4所示,再利用1:1:8的 NH_4F 、 HF 和 H_2O 组成的腐蚀液把圆孔内部的 SiO_2 腐蚀掉。如图5所示,最后在 HBr 、 H_2O_2 、 H_2O 组

成的腐蚀液中腐蚀微透镜,腐蚀时间为30min,腐蚀液的配比为3: 1:55;

[0064] 步骤5:当GaAs微透镜制备完毕后,在两个VCSEL激光器之间沉积SiO₂层。防止两个VCSEL激光芯片相互之间存在电流干扰,进而影响两者之间的光电转换效率;

[0065] 步骤6:GaAs微透镜制备完毕后,制备VCSEL激光器的N面电极。最终形成倒装侧向发射的VCSEL激光器。

[0066] 实施例3:一维阵列同侧出光,集成2×4,2×8,2×12,2×16,2×32等VCSEL激光芯片,具体示意图如图7所示。实施例3与实施例1的主要区别就是在同一GaAs衬底上制备出多个VCSEL器件。

[0067] 步骤1:在N型GaAs衬底上,用金属有机化学气相沉积(MOCVD)或分子束外延(MBE)依次生长N型DBR、量子阱有源区、氧化限制层、P型DBR。上述N型DBR由生长30对Al_{0.70}Ga_{0.30}As/Al_{0.30}Ga_{0.70}As材料组成,每层厚度为15nm,N型掺杂浓度为 $4.5 \times 10^{18}/\text{cm}^3$ 。上述P型DBR是由生长30对Al_{0.70}Ga_{0.30}As/Al_{0.30}Ga_{0.70}As材料组成,每层厚度为15nm,P型掺杂浓度为 $4.5 \times 10^{18}/\text{cm}^3$ 。上述氧化限制层是由高Al组分的高Al_{0.90}Ga_{0.10}As ($0 < y \leq 1$)材料经氧化得到,厚度为40nm,P型掺杂浓度为 $6 \times 10^{18}/\text{cm}^3$ 。上述量子阱有源区是由3对In_{0.17}Ga_{0.83}As量子阱和Ga_{0.08}As_{0.92}P势垒层构成。量子阱厚度为6nm,不掺杂。势垒层厚度为4nm,不掺杂。上述N型GaAs衬底的掺杂浓度为 $1 \times 10^{18}/\text{cm}^3$;

[0068] 步骤2:采用N面出光的结构,电流由P面圆形电极注入。P型DBR用湿化学刻蚀法刻蚀台面,在400℃的温度范围内,由氮气携带90℃水蒸气进行氧化5小时形成Al_xO_y绝缘层,对注入电流进行限制。利用感应耦合等离子体(ICP)刻蚀形成台面,然后在台面上利用等离子体增强化学气相沉积(PECVD)一层200nm厚的SiO₂绝缘层,防止电流由台面侧向注入从而导致器件短路。在第二DBR层上制备P面电极。将VCSEL器件的P面一侧利用In焊料键合在散热片上。形成2×4,2×8,2×12,2×16,2×32等VCSEL阵列;

[0069] 步骤3:利用ICP刻蚀技术对N型GaAs衬底进行斜面刻蚀,刻蚀气体选用Cl₂/BCl₃,气体流量比例为1:3,Cl₂流量为20sccm,BCl₃流量为60sccm,功率为500W,气压为1mTorr。同一斜面上可以反射多个VCSEL激光器出射的激光;

[0070] 步骤4:如图2所示,用PECVD在GaAs表面生长厚度为200nm的SiO₂作掩模,SiO₂薄膜的厚度由膜厚监控仪检测。若厚度较薄,光刻腐蚀时易产生针孔,影响表面平整;若较厚,光刻后腐蚀时间过长,使边缘不整齐,影响微透镜的表面形貌。然后利用传统的光刻工艺,如图3所示,在SiO₂表面形成一系列不同直径的圆孔,圆孔边缘需要完整,这对以后腐蚀SiO₂和形成微透镜影响很大。主要是控制好曝光时间和显影时间。采用AZ4330光刻胶,曝光时间为60s,显影时间为30s,显影完毕后,在100℃的加热板上坚膜20min。如图4所示,再利用1:1:8的NH₄F、HF和H₂O组成的腐蚀液把圆孔内部的SiO₂腐蚀掉。如图5所示,最后在HBr、H₂O₂、H₂O组成的腐蚀液中腐蚀微透镜,腐蚀时间为30min,腐蚀液的配比为3: 1:55。在GaAs衬底的侧面上腐蚀出多个GaAs微透镜;

[0071] 步骤5:GaAs微透镜制备完毕后,制备VCSEL激光器的N面电极。最终形成倒装侧向发射的VCSEL激光器。

[0072] 实施例4:二维阵列异侧出光,集成4×4,4×8,4×12,4×16,4×32等VCSEL激光芯片,具体示意图如图8所示。

[0073] 步骤1:在N型GaAs衬底上,用金属有机化学气相沉积(MOCVD)或分子束外延(MBE)

依次生长N型DBR、量子阱有源区、氧化限制层、P型DBR。上述N型DBR由生长40对 $\text{Al}_{0.60}\text{Ga}_{0.40}\text{As}/\text{Al}_{0.40}\text{Ga}_{0.60}\text{As}$ 材料组成,每层厚度为15nm,N型掺杂浓度为 $4.5 \times 10^{18}/\text{cm}^3$ 。上述P型DBR是由生长30对 $\text{Al}_{0.60}\text{Ga}_{0.40}\text{As}/\text{Al}_{0.40}\text{Ga}_{0.60}\text{As}$ 材料组成,每层厚度为15nm,P型掺杂浓度为 $4.5 \times 10^{18}/\text{cm}^3$ 。上述氧化限制层是由高Al组分的 $\text{Al}_{0.90}\text{Ga}_{0.10}\text{As}$ ($0 < y \leq 1$)材料经氧化得到,厚度为40nm,P型掺杂浓度为 $6 \times 10^{18}/\text{cm}^3$ 。上述量子阱有源区是由3对 $\text{In}_{0.17}\text{Ga}_{0.83}\text{As}$ 量子阱和 $\text{Ga}_{0.08}\text{As}_{0.92}\text{P}$ 势垒层构成。量子阱厚度为6nm,不掺杂。势垒层厚度为4nm,不掺杂。上述N型GaAs衬底的掺杂浓度为 $1 \times 10^{18}/\text{cm}^3$;

[0074] 步骤2:采用N面出光的结构,电流由P面圆形电极注入。P型DBR用湿化学刻蚀法刻蚀台面,在 400°C 的温度范围内,由氮气携带 90°C 水蒸气进行氧化5小时形成 Al_xO_y 绝缘层,对注入电流进行限制。利用感应耦合等离子体(ICP)刻蚀形成台面,然后在台面上利用等离子体增强化学气相沉积(PECVD)一层200nm厚的 SiO_2 绝缘层,防止电流由台面侧向注入从而导致器件短路。在第二DBR层上制备P面电极。将VCSEL器件的P面一侧利用In焊料键合在散热片上。形成 $2 \times 4, 2 \times 8, 2 \times 12, 2 \times 16, 2 \times 32$ 等VCSEL阵列;

[0075] 步骤3:利用ICP刻蚀技术对N型GaAs衬底进行斜面刻蚀,刻蚀气体选用 Cl_2/BCl_3 ,气体流量比例为1:3, Cl_2 流量为20sccm, BCl_3 流量为60sccm,功率为500W,气压为1mTorr。同一斜面上可以反射多个VCSEL激光器出射的激光;

[0076] 步骤4:如图2所示,用PECVD在GaAs表面生长厚度为200nm的 SiO_2 作掩模, SiO_2 薄膜的厚度由膜厚监控仪检测。若厚度较薄,光刻腐蚀时易产生针孔,影响表面平整;若较厚,光刻后腐蚀时间过长,使边缘不整齐,影响微透镜的表面形貌。然后利用传统的光刻工艺,如图3所示,在 SiO_2 表面形成一系列不同直径的圆孔,圆孔边缘需要完整,这对以后腐蚀 SiO_2 和形成微透镜影响很大。主要是控制好曝光时间和显影时间。采用AZ4330光刻胶,曝光时间为60s,显影时间为30s,显影完毕后,在 100°C 的加热板上坚膜20min。如图4所示,再利用1:1:8的 $\text{NH}_4\text{F}/\text{HF}$ 和 H_2O 组成的腐蚀液把圆孔内部的 SiO_2 腐蚀掉。如图5所示,最后在 $\text{HBr}/\text{H}_2\text{O}_2/\text{H}_2\text{O}$ 组成的腐蚀液中腐蚀微透镜,腐蚀时间为30min,腐蚀液的配比为3:1:55。在GaAs衬底的侧面上腐蚀出多个GaAs微透镜;

[0077] 步骤5:当GaAs微透镜制备完毕后,在两个上述步骤2制备出的VCSEL激光器阵列之间沉积 SiO_2 层。防止两个VCSEL激光器阵列相互之间存在电流干扰,进而影响两者之间的光电转换效率;

[0078] 步骤6:GaAs微透镜制备完毕后,制备VCSEL激光器的N面电极。最终形成倒装侧向发射的VCSEL激光器。

[0079] 在本实用新型的上述实施例中,对各个实施例的描述都各有侧重,某个实施例中并没有详述的部分,可以参见其他实施例的相关描述。

[0080] 从以上的描述中,可以看出,本申请上述的实施例实现了如下技术效果:

[0081] 本申请的上述VCSEL芯片,包括第一衬底、第一DBR层、量子阱层、第二DBR层以及微透镜,其中,上述第一衬底包括相对设置的第一表面以及第二表面,上述第一表面包括依次排列的第一子表面、第二子表面以及第三子表面,上述第一衬底还包括第三表面;上述第一DBR层位于上述第二表面上;上述量子阱层位于上述第一DBR层的远离上述第一衬底的表面上;上述第二DBR层位于上述量子阱层的远离上述第一DBR层的表面上,上述第一DBR层与上述第二DBR层的掺杂浓度不同;上述微透镜位于上述第三表面上,上述第二子表面用于将

入射光束反射至上述微透镜上。相比现有技术中VCSEL只能垂直于衬底出光的问题,本申请的上述的VCSEL芯片,通过上述第二子表面将入射光束反射至上述微透镜上,可以实现光束的偏转,再通过上述微透镜对偏转后的上述光束进行准直和汇聚,保证了上述微透镜输出的光束方向平行于上述第一子表面,无需再外加透镜装置实现光束的偏转。

[0082] 以上所述仅为本申请的优选实施例而已,并不用于限制本申请,对于本领域的技术人员来说,本申请可以有各种更改和变化。凡在本申请的精神和原则之内,所作的任何修改、等同替换、改进等,均应包含在本申请的保护范围之内。

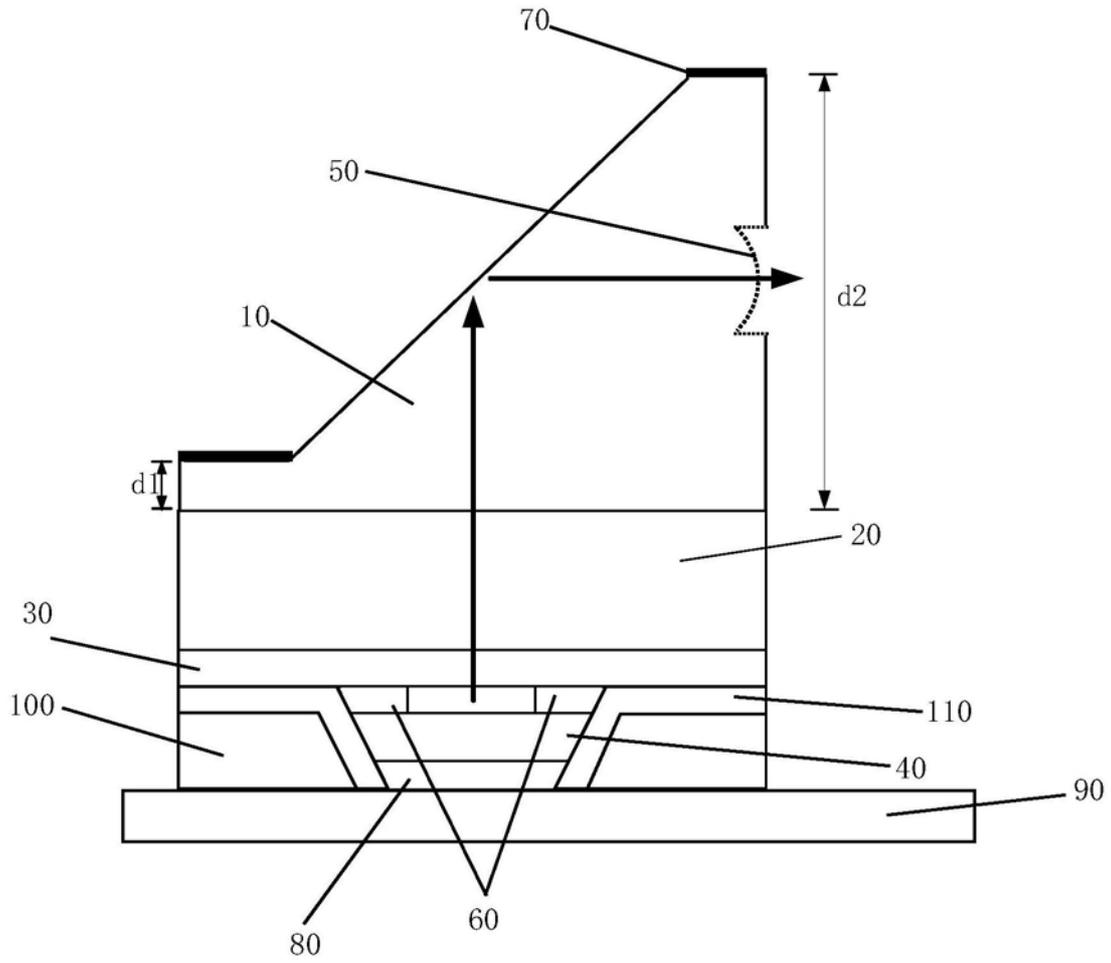


图1

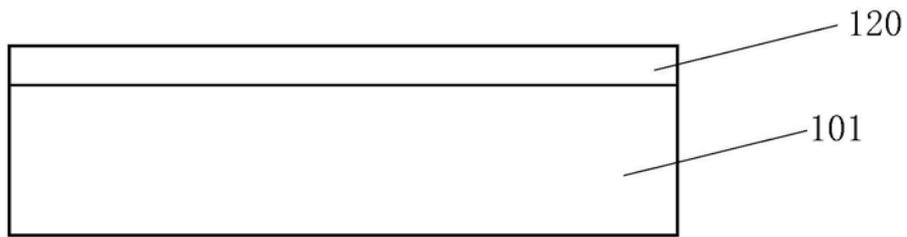


图2

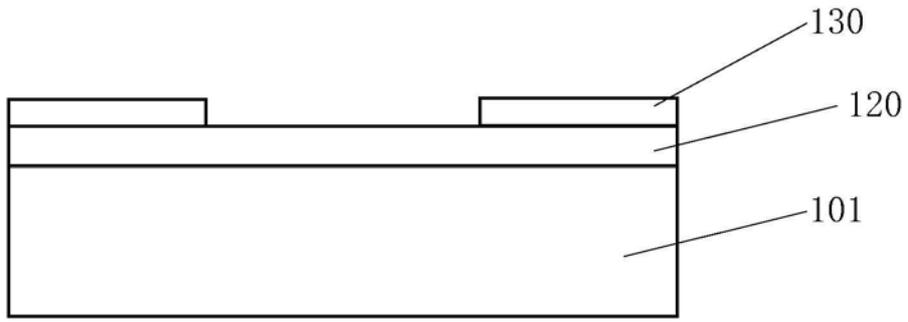


图3

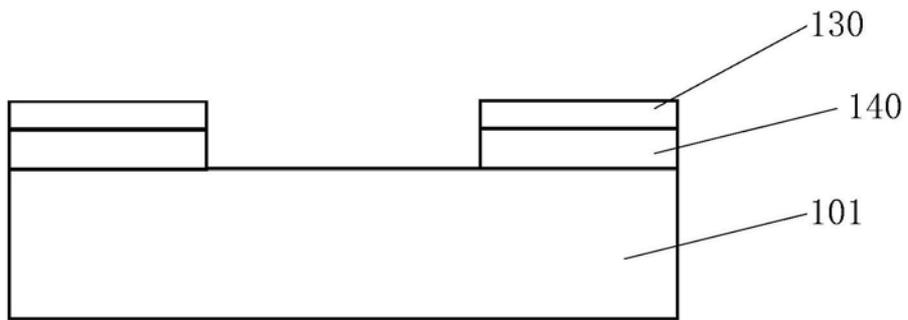


图4

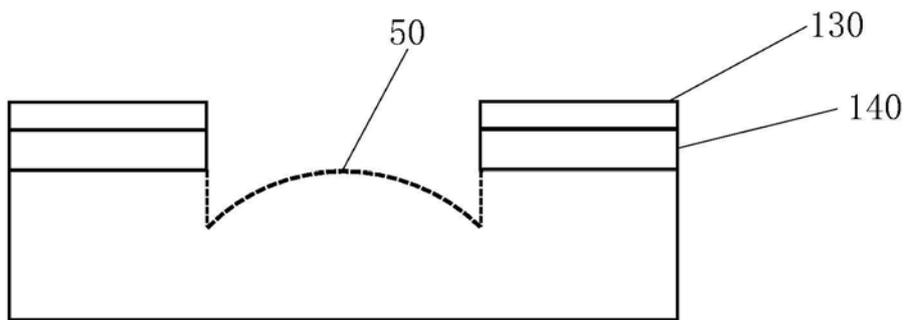


图5

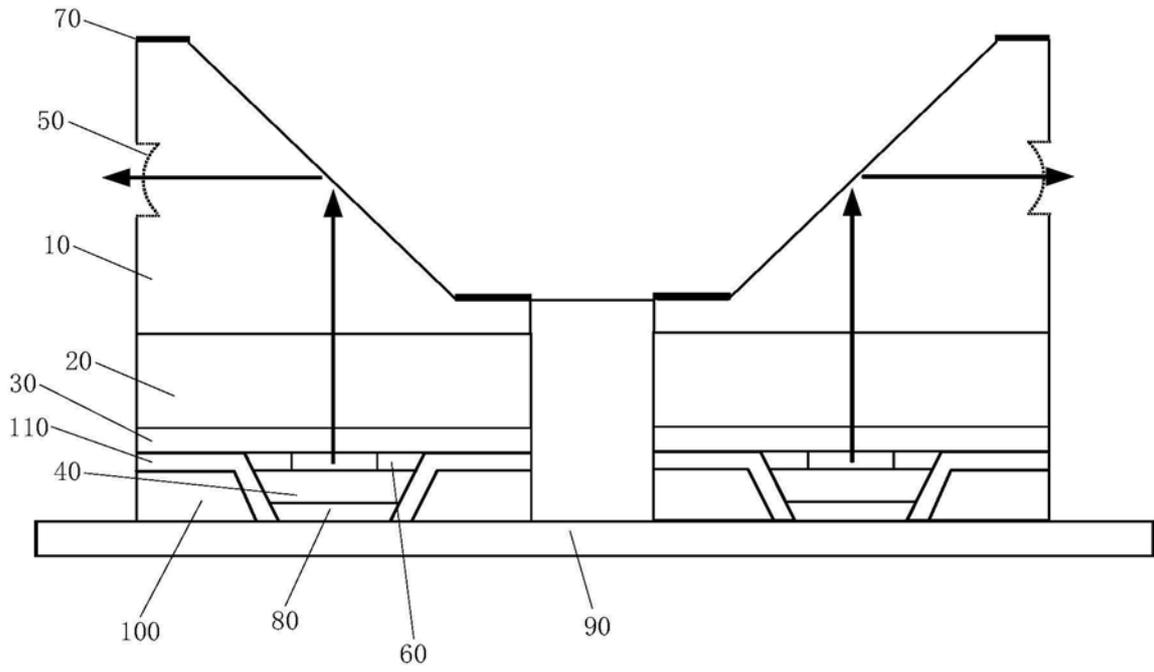


图6

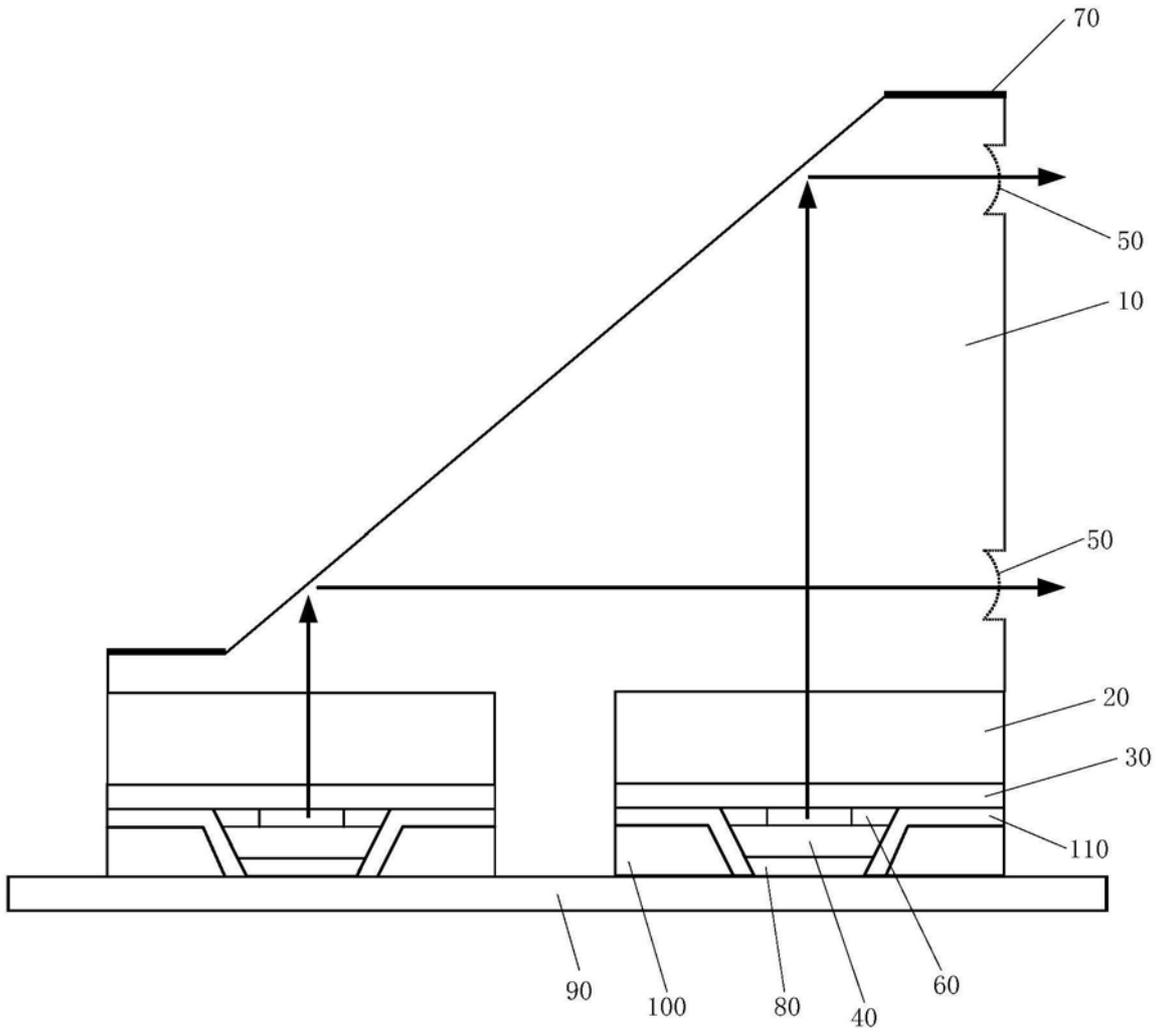


图7

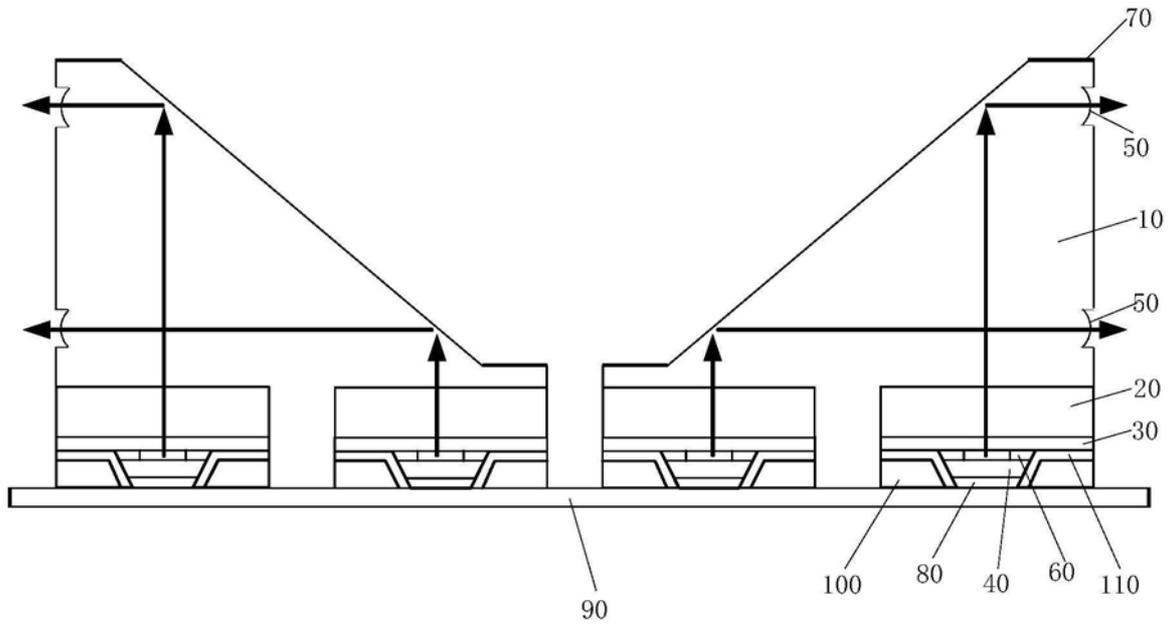


图8