

I299497

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：

93112387

※申請日期：

93.6.24

※IPC 分類：

G11C 5/02

壹、發明名稱：(中文/英文)

記憶裝置存取方法及相關裝置 /

METHOD AND RELATED APPARATUS FOR ACCESSING
MEMORY APPARATUS

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

威盛電子股份有限公司 / VIA TECHNOLOGIES INC.

代表人：(中文/英文)

王雪紅 / WANG, HSUEH-HUNG

住居所或營業所地址：(中文/英文)

台北縣新店市中正路五三五號八樓 / 8F, No. 535, Chung-Cheng Rd.,
Hsin-Tien City, Taipei Hsien, Taiwan, R.O.C.

國籍：(中文/英文) 中華民國 / TWN

參、發明人：(共 3 人)

姓名：(中文/英文)

1. 劉明熙 / LIOU, MING-SHI

2. 謝博偉 / HSIEH, BOWEI

3. 賴瑾 / LAI, JIIN

住居所地址：(中文/英文)

1. 台北縣新店市中正路五三五號八樓 / 8F, No. 535, Chung-Cheng
Rd., Hsin-Tien City, Taipei Hsien 231, Taiwan, R.O.C.

2. 台北縣新店市中正路五三五號八樓 / 8F, No. 535, Chung-Cheng
Rd., Hsin-Tien City, Taipei Hsien 231, Taiwan, R.O.C.

3. 台北縣新店市中正路五三五號八樓 / 8F, No. 535, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R.O.C.

國 籍：(中文/英文)

1. 中華民國 / TWN
2. 中華民國 / TWN
3. 中華民國 / TWN

肆、聲明事項：

本案係符合專利法第二十條第一項 第一款但書或 第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家（地區）申請專利 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1.

2.

3.

4.

5.

主張國內優先權（專利法第二十五條之一）：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

本發明係提供一種記憶裝置的存取方法與相關裝置，尤指一種能在不對稱配置之雙通道記憶裝置中提高資料存取效能的記憶裝置存取方法與相關裝置。

【先前技術】

微處理器系統，像是電腦系統等等，已成為現代資訊社會最重要的硬體基礎之一；而對微處理器系統之效能要求，也日益提高。如熟知技術人士所知，電腦系統是以中央處理器配合晶片組（像是北橋晶片）與記憶裝置來運作的。舉例來說，記憶裝置可以是隨機存取記憶裝置，以儲存程式碼及數據等等資料；中央處理器透過晶片組存取記憶裝置中的程式碼及相關數據並加以執行，就能實現電腦系統的功能。由此可知，要提升電腦/微處理器系統的效能，其關鍵之一，就是提升對記憶裝置資料存取的效能。

如熟知技術人士所知，在現行常見的電腦系統規格中，記憶裝置是由一或數個記憶體模組(memory module)所共同組合出來的。每個記憶體模組可以設有一或兩個記憶陣列(rank)，而每個記憶體陣列中又設有複數個記憶電路顆粒(device)，以記錄資料。舉例來說，現行電腦系統規格中，有所謂的單邊(single sided)或雙邊

(double sided)的雙直列記憶體模組(DIMM, Dual-Inline Memory Module);單邊的記憶體模組中僅於一側設有記憶電路顆粒,而這些記憶電路顆粒會被統一連接為一個記憶陣列。相對地,雙邊記憶陣列的兩側均設有記憶電路顆粒,各自連接為一個記憶陣列,故雙邊的記憶體模組中可提供兩個記憶容量相同的記憶陣列。現行的電腦系統多可容納複數個記憶體模組,並透過晶片組之控制而將這些記憶體模組整合為一個整體的記憶裝置,以統一支援電腦系統的記憶體資源。

在存取記憶裝置時,晶片組可透過通道(channel)來傳輸各個記憶體模組中記錄於記憶陣列的資料。現行的電腦系統中可設有兩個通道(雙通道),各個通道可連接於一或多個對應的記憶體模組。特別的是,當連接於同一通道上的每個記憶陣列都在另一個通道上有一個記憶容量相同的對應記憶陣列時,就可在雙通道上成對地形成對稱配置之記憶裝置。當記憶裝置具有對稱配置時,晶片組可同時在兩個通道上傳輸資料,在單位時間內同時傳輸兩個通道上的資料,以雙通道的資料傳輸頻寬(資料傳輸頻寬即單位時間內資料傳輸量與傳輸速率的乘積)來存取記憶裝置。相對地,若記憶裝置並非對稱配置時,晶片組在同一時間內就只能由單一通道存取資料,在單位時間內傳輸一個通道上的資料,也就是以單通道的資料傳輸頻寬來存取記憶裝置。

一般來說，即使在每個通道上的資料傳輸速率都是一定的，但由於雙通道的存取方式能同時以兩個通道傳輸資料，故雙通道之傳輸頻寬遠高於單通道之傳輸頻寬，顯然雙通道之資料傳輸具有較高效能。然而，雙通道之資料傳輸頻寬只能在記憶裝置具有對稱配置時才能實現，這也進一步限制了記憶裝置在組態配置上的彈性。舉例來說，使用者在配置記憶裝置時，就一定要使用成對、記憶容量、構造相同（像是同為雙邊記憶體模組）的記憶體模組才能組合出對稱配置的記憶裝置，這也就增加了電腦系統配置的成本。另一方面，在習知技術中，若使用者配置的記憶裝置不具有對稱配置，即使記憶裝置有兩通道，也完全無法利用雙通道來提升記憶裝置存取的傳輸頻寬。

【發明內容】

因此，本發明即提供一種能在不對稱之記憶裝置中有效利用雙通道特性以提升資料傳輸頻寬的存取方法與相關裝置，以克服習知技術的缺點。

本發明之存取方法及相關裝置可建構於晶片組內，以配合雙通道記憶裝置之存取。當該記憶裝置的配置不對稱時，若一通道上的某一個記憶陣列在另一個通道上仍有另一個記憶容量相同的記憶陣列可與之成對地搭配對應時，本發明就可將這兩個連接於不同通道的成對記憶陣列劃分為同一個虛擬的記憶陣列；而虛擬

記憶陣列就可視為該記憶裝置的對稱配置部分。相對地，未被劃分為虛擬記憶陣列的不成對記憶陣列就可視為該記憶裝置的不對稱配置部分。

針對記憶裝置中的對稱配置部分，本發明就可用雙通道傳輸頻寬來加以存取。也就是說，當要存取的資料是儲存於對稱配置部分時，資料就可被劃分為兩部分，在同一時間內分別經由兩個通道來存取、傳輸，達成雙通道資料傳輸頻寬。當要存取的資料是儲存於不對稱部分時，才以單通道的資料傳輸頻寬來加以存取。

換句話說，即使記憶裝置的配置不對稱，本發明還是可針對對稱配置部分來充分發揮雙通道的高傳輸頻寬，進而提升電腦系統的運作效能，記憶裝置的配置彈性也較高。相較之下，在習知技術中，就只能以單通道的傳輸頻寬來存取不對稱配置的記憶裝置。

【實施方式】

請參考圖一。圖一即為本發明控制電路 20 實施於一電腦系統 42 之晶片組 38 以對一雙通道之記憶裝置 30 進行存取控制的功能方塊示意圖。在電腦系統 42（像是一個人電腦或其他之微處理器系統）中，晶片組 38 可以是一記憶體存取控制晶片，以作為記憶裝置 30 的存取介面，使一主端(host)40 可利用記憶裝置 30 所提供

的記憶體資源。其中，主端 40 可以是中央處理器，或是其他可進行直接記憶存取的裝置或電路；晶片組 38 中則包括有一介面模組 22 與一控制電路 20。為實現本發明之技術，控制電路 20 中設有一判斷模組 24、一存取模組 26 及一定址模組 28。至於記憶裝置 30 中，則設有複數個記憶體模組的插槽（在圖一中以插槽 34A 至 34B、36A 至 36B 做為代表），各插槽可插置安裝一記憶體模組（像是可隨機存取之雙直列記憶體模組，DIMM）；集合各插槽上記憶體模組的記憶容量，也就是記憶裝置 30 所能提供的總記憶體資源。而晶片組 38、通道 32A、32B 以及記憶裝置 30 中的各個記憶體模組也就組合出一複數通道（雙通道）之記憶體存取裝置。

為了存取各插槽上記憶體模組所記錄的資料，存取模組 26 可將各種存取控制之指令、訊號經由各插槽傳輸至各個記憶體模組。舉例來說，若某一插槽上插置的是雙邊的記憶體模組而具有兩個記憶陣列，該插槽就能針對各個記憶陣列而將不同的控制訊號分別傳輸至同一記憶體模組的不同的記憶陣列。為了要回應存取控制的指令、訊號，各個記憶體模組還可經透過插槽所連接的通道來傳輸其所記錄的資料。像在圖一的實施例中，插槽 34A、36A 就連接於通道 32A，而插槽 34B、36B 則連接於通道 32B。這樣一來，插置於插槽 34A、36A 上的記憶體模組就可經由通道 32A 來將其所記錄的資料傳輸出去，或將傳輸至記憶體模組資料記錄起來。同理，安裝於插槽 34B、36B 的記憶體模組則可經由通道

32B 來傳輸資料。

晶片組 38 對記憶裝置 30 進行存取控制的情形可描述如下。當電腦系統 42 開機時，其會對記憶裝置 30 進行檢測（像是由基本輸出入系統，Basic Input Output System，來進行檢測），以偵測記憶裝置 30 中各記憶體模組的配置（像是在那個插槽上的記憶體模組具有多少記憶容量等等），進而確認記憶裝置 30 總共能提供的記憶體資源。而晶片組 38 就會將記憶裝置 30 所能提供的整體記憶體資源定址、區分為不同的位址（像是實體位址），並建立位址與各記憶陣列間的映對關係，使得主端 40 可根據位址來對記憶裝置 30 進行隨機的資料存取。舉例來說，假設記憶裝置 30 中安裝的記憶體模組總共可提供三個記憶陣列，晶片組 38 就可將這三個記憶陣列所能提供的記憶空間映對至不同的位址。當主端 40 要將資料存入某個位址時，晶片組 38 可先解碼出該位址是屬於哪一個記憶陣列所提供的記憶空間，然後以對應的控制訊號控制該記憶陣列，並將資料傳輸至該記憶陣列，以記錄該筆資料。同理，若主端 40 要讀出某個位址對應的資料，晶片組 38 就可解碼出該位址對應於那個記憶陣列，並以對應的控制訊號由該記憶陣列讀出資料。

在對記憶裝置進行存取時，針對不同的記憶裝置配置，本發明控制電路 20 也可對記憶裝置 30 進行不同模式之存取控制。首

先請參考圖二；延續圖一中的架構，圖二即為晶片組 38 針對對稱配置之記憶裝置 30 進行存取控制的示意圖。在圖二的示意例中，假設在插槽 34A、34B 上分別安裝有一雙邊的記憶體模組 46A、46B，故記憶體模組 46A 具有兩個記憶陣列 460、461，記憶體模組 46B 同樣也具有兩個記憶陣列 464、465。透過插槽 34A、34B，記憶陣列 460 至 461、464 至 465 可分別接收晶片組 38 的控制訊號 S0 至 S1、S4 至 S5。在圖二的配置情況下，若記憶陣列 460、461 分別和記憶陣列 464、465 具有相同的記憶容量，就可形成進一步形成對稱配置的記憶裝置。在此配置下，連接於通道 32A 之記憶陣列 460 在另一通道 32B 上有一記憶容量相同之記憶陣列 464 與其成對對應，記憶陣列 461 也在另一通道上有一記憶容量相同之記憶陣列 465 與其成對對應，使得記憶裝置 30 在雙通道上具有對稱之配置。

當記憶裝置 30 為對稱配置時，本發明控制電路 20 就可將雙通道上成對的記憶陣列劃分為同一個虛擬的記憶陣列，以雙通道的資料傳輸頻寬來存取記憶裝置 30。以圖二中的對稱配置為例，定址模組 28 就會將雙通道上成對的記憶陣列 460 與 464、記憶陣列 461 與 465 分別當作是一個虛擬陣列，並據此來將記憶裝置 30 所能提供的整體記憶體資源映對至不同的位址。當有一筆資料（譬如說是一筆 8QW 的資料，一個 16 位元即一個 quad word(四字)，可簡記為 QW) 要存入虛擬陣列時，存取模組 26 實際上是將這筆

資料分解為兩部分（像是兩個各 4 QW 的部分），分別記錄於兩通道上成對的記憶陣列中。由於這兩部分的資料可以同時在兩通道上分別傳輸至對應的記憶陣列，故可發揮雙通道的資料傳輸頻寬。同理，若要從一虛擬陣列中將一筆資料讀出，存取模組 26 實際上是由兩個通道的成對記憶陣列中將同一筆資料的兩個部分分別經由對應的通道讀出，再組合為原來的資料。為進一步說明上述過程進行的原理，請繼續參考圖三（並一併參考圖二）。圖三即為晶片組 38 針對圖二中對稱配置之記憶裝置而在記憶裝置 30 中進行資料存取時，各相關資料訊號的時序圖；圖三的橫軸為時間。

延續圖二中的例子，在圖三中，假設在時點 t_0 時，主端 40 要求要從記憶裝置 30 中讀出某個位址的一筆資料，該筆資料長度為 8QW，是由 8 個長度為 1QW 之資料 D_{t0} 至 D_{t7} 所共同組成。假設此位址映對到的記憶空間是在記憶陣列 460、464 所形成的虛擬陣列中，存取模組 26 就會在時點 t_1 同時以相同的讀取控制指令 RDX 作為控制訊號 S_0 、 S_4 （圖二），分別傳輸至兩個通道上的記憶陣列 460 及 464。到了時點 t_2 ，記憶陣列 460 就會由通道 32A 依序開始傳輸資料 D_{t0} 、 D_{t2} 、 D_{t4} 、 D_{t6} ；在此同時，記憶陣列 464 也會由通道 32B 依序開始傳輸資料 D_{t1} 、 D_{t3} 、 D_{t5} 、 D_{t7} 。晶片組 38 將資料 D_{t0} 至 D_{t7} 組合起來，就可得到原來的 8QW 資料。換句話說，當一筆 8QW 的資料要儲存至記憶裝置 30 時，若記憶裝置 30 是對稱配置的，晶片組 38 就可對稱地控制雙通道上成對的記憶

陣列，同時在各個記憶陣列中分別存入 4QW 的資料；就像以上討論的例子，晶片組 38 可交錯地將 8QW 資料的第一、三、五、七個 QW 作為一部份，第二、四、六、八個 QW 做為另一部分而分別存入兩記憶陣列。要將該筆資料讀出時，晶片組 38 也就可以對稱地由雙通道之成對記憶陣列中同時將各 4QW 之資料讀出，組合出原來的 8QW 資料。

由上述討論可知，若記憶裝置 30 在雙通道上具有對稱配置時，晶片組 38 就可對稱地以相同控制指令及控制訊號來分別控制雙通道上成對的記憶陣列進行存取。由於同一時間內雙通道都可傳輸資料，故可達成較高的資料傳輸頻寬。就如圖三中所示，由於一筆 8QW 的資料可在雙通道上平行地傳輸，故僅需 2 個週期 T 的時間就可完成 8QW 的資料傳輸（假設使用的記憶體模組為雙資料傳輸速率，Double Data Rate）。此外，雙通道的對稱存取還能降低存取作業的延遲(latency)。舉例來說，在時點 t_3 ，存取模組 26 又可以向雙通道上成對的記憶陣列同時發出另一個控制指令 RDY 作為控制訊號，使得成對的記憶陣列分別再由雙通道上傳輸 8QW 之資料 Dy_0 至 Dy_7 ，以組成另一筆 8QW 的資料。

不過，當記憶裝置不是對稱配置時，就完全無法利用雙通道的高傳輸頻寬。由於配置不對稱，晶片組就不會以對稱的控制訊號來同時控制雙通道上的不同記憶陣列；不管資料儲存在哪一個

記憶陣列中，晶片組在同一時間內都只會控制單一個記憶陣列，經由單一個通道來傳輸資料。換句話說，一筆 8QW 的資料只能完全由單一個通道傳輸，故需要 4 個週期 T 的時間才能完成 8QW 資料的傳輸。

而本發明可以克服無法在非對稱配置的記憶裝置中運用雙通道的缺點，進而提升非對稱記憶裝置之資料傳輸效能。當一記憶裝置的配置並非對稱時，本發明仍然可將該記憶裝置中對稱配置的部分劃分為同一個虛擬陣列，進而利用雙通道的高資料傳輸頻寬。以下即以實例來說明本發明在不對稱配置之記憶裝置中進行資料存取的技术精神。

請參考圖四及圖五；延續圖一中的電腦系統架構，假設記憶裝置 30 的配置是如圖四所示般的不對稱配置，圖五即為本發明對圖四中之記憶裝置進行存取時相關資料訊號的時序示意圖，圖五之橫軸為時間。在圖四的不對稱配置中，假設記憶裝置 30 有三個插槽 34A、36A 及 34B 分別安裝有一記憶體模組 46A、48A 及 46B。其中，記憶體模組 46A、46B 為雙邊的記憶體模組，分別具有記憶陣列 460 及 461、464 及 465，且記憶陣列 460 與 464、461 與 465 具有相同的記憶容，故可將記憶陣列 460 與 464 視為成對對稱的記憶陣列，記憶陣列 461、465 則為另一組成對對稱的記憶陣列。這些成對的記憶陣列就形成記憶裝置 30 中對稱配置的部分。相對

地，另一個具有記憶陣列 462、463 的雙邊記憶體模組 48A 則成為不對稱配置的部分。由於連接在通道 32A 上的記憶陣列 462、463 在另一通道上都沒有相對的記憶陣列與之成對搭配，使得記憶裝置 30 的整體配置是不對稱的。

雖然記憶裝置 30 的整體配置是不對稱的，但由於記憶陣列 460、461 還是在另一通道上具有相同記憶容量的記憶陣列 464、465 與之成對對應，故在本發明中，定址模組 28 就會將雙通道上成對的記憶陣列 460、464 劃分為同一個虛擬陣列，並將記憶陣列 461、465 劃分為另一個虛擬陣列；而這些虛擬陣列就能以雙通道的資料傳輸頻寬來加以存取。像記憶陣列 462、463 這些無法在另一通道上找到成對記憶陣列的不成對記憶陣列，才以單通道的資料傳輸頻寬來加以存取。

換句話說，當電腦系統 42 開機而偵測到記憶裝置 30 不具有對稱配置時，本發明定址模組 28 還是會根據記憶裝置 30 中具有對稱配置的部分來將雙通道上成對的記憶陣列劃分為同一虛擬陣列，不對稱部分的每個記憶陣列則視為單通道上的一個記憶陣列，並根據上述這些陣列配置來建立記憶空間的映對關係。當主端 40 有一筆資料要寫入至記憶裝置 30 中的某個位址時，本發明中的判斷模組 24 會先判斷該位址是映對至成對記憶陣列所形成的虛擬陣列記憶空間，還是不成對記憶陣列所形成的記憶空間。若

該位址映對的是雙通道上成對記憶陣列所形成的記憶空間，存取模組 26 就可利用相同的控制訊號對稱地控制成對的記憶陣列，同時將該筆資料的不同部分利用雙通道傳輸至成對的記憶陣列中，以雙通道的資料傳輸頻寬完成資料存取。相對地，若該位址是映對至不成對記憶陣列所提供的記憶空間，存取模組 26 則利用單通道來將整筆資料傳輸至同一記憶陣列。

請參考圖五中的例子。假設主端 40 要讀取兩筆 8QW 資料，一筆資料由 1QW 之資料 Dt0 至 Dt7 組成，該筆資料的位址映對至成對記憶陣列 461 及 465 (圖四) 所形成之虛擬陣列中，故該筆資料實際上是被分為兩部分而分別被記錄於記憶陣列 461 及 465 中。相對地，假設另一筆 8QW 資料有 8 個 1QW 資料 Dy0 至 Dy7，且該筆 8QW 資料之位址映對之記憶空間是在不成對之記憶陣列 462 中，故這筆 8QW 資料的所有資料 Dy0 至 Dy7 都記錄於同一記憶陣列 462 中。當主端 40 要存取上述兩筆資料時，本發明之判斷模組 24 會判斷這兩筆資料之位址映對至的記憶空間為何。其中，前一筆 8QW 資料是記錄於成對記憶陣列所形成的虛擬陣列中，故存取電路 30 就會在同時以相同的控制指令 RDX 來作為雙通道上的控制訊號 S1、S5，使記憶陣列 461 及 465 同時在時點 tb 開始依序傳輸資料 Dt0、Dt2、Dt4、Dt6 以及 Dt1、Dt3、Dt5、Dt7，也就是以雙通道的資料傳輸頻寬來存取這筆記錄於成對記憶陣列中的資料。

要存取另一筆 8QW 資料，本發明之判斷模組 24 會根據該資料的位址判斷其係記錄於未成對之記憶陣列 462 中。故存取模組 26 會在時點 ta2 以單一通道 32A 上的控制指令 RDY 來作為控制訊號 S2，以控制記憶陣列 462 在時點 tb2 開始依序傳輸該筆資料的 8 個 1QW 資料 Dy0 至 Dy7。

由上述描述可知，雖然記憶裝置 30 的整體配置是不對稱的，但本發明還是可針對記憶裝置中具有對稱配置的部分來充分發揮雙通道資料傳輸的優點。請注意，在習知技術中，若其記憶裝置的整體配置不對稱，不論要存取成對或不成對的記憶陣列，習知晶片組都僅能利用單一通道來進行資料存取。以圖四、圖五中的例子來說明，在記憶裝置不具有對稱配置的情形下，由於習知晶片組不會將成對之記憶模組劃分為同一虛擬陣列，即使要存取記憶陣列 461 中的 8QW 資料，習知技術也還是只能利用時點 tb2 之後的時序，在單一通道上傳輸全部 8 個 1QW 資料 Dt0 至 Dt7，而無法像本發明一樣充分利用「記憶陣列 461 在另一通道上另有一成對記憶陣列 465」之特性。

延續圖二中的電路架構，以下將再以圖六、圖七中的兩個配置例來說明本發明實施於不對稱配置記憶裝置的情形。在圖六中，記憶裝置 30 配置有四個記憶體模組 46A 至 46B、48A 至 48B，其中，記憶體模組 46A、48B 是雙邊的，分別設有記憶陣列 460

及 461、記憶陣列 466 及 467。記憶體模組 48A、46B 則是單邊的記憶體模組，各具有一記憶陣列 462、465。假設記憶陣列 460、461 及 466、467 分別具有相同的記憶容量而在雙通道上對稱，本發明之定址模組 28 就可將雙通道上的記憶陣列 460、466 搭配成對而視為一虛擬陣列，而雙通道上的另一對記憶陣列 461、467 則成為另一虛擬陣列；而這兩個虛擬陣列中的資料就可以用雙通道的方式來存取（像是在圖四中對成對記憶陣列 461 及 465 進行存取的方式）。另外，若記憶陣列 462、465 的記憶容量不相同，就變成單通道上不成對的記憶陣列，而本發明則是以單通道的方式來存取記憶陣列 462、465（就是對圖四中不成對記憶陣列 462 的存取方式）。

在圖七中，記憶裝置 30 則配置有一個雙邊記憶體模組 46A 及一單邊記憶體模組 48B，記憶體模組 46A 具有兩個記憶陣列 460、461；記憶體模組 48B 中則設有一記憶陣列 467。假設記憶陣列 460、461 及 467 的記憶容量均相同，但記憶體模組 46A 的兩個記憶陣列之一會無法在另一通道上找到成對搭配的記憶陣列，故記憶裝置 30 的整體配置是不對稱的。在此種配置下，本發明定址模組 28 可將雙通道上的記憶陣列 460 與記憶陣列 467（或是記憶陣列 461 與記憶陣列 467）視為同一個虛擬陣列，而不成對的記憶陣列 461（或是記憶陣列 460）則是單通道上的獨立記憶陣列。當主端 40 要存取某一位址的資料時，判斷模組 24 會判斷該位址映對

的記憶空間。若該位址是在不成對記憶陣列 461(或是記憶陣列 460)所形成的記憶空間中，存取模組 26 就可以在通道 32A 上以單通道的模式加以存取。若該位址是在成對記憶陣列 460、467(或是記憶陣列 461、467)所形成的虛擬陣列中時，存取模組 26 就可同時利用雙通道來對稱地存取這兩個成對的記憶陣列，充分利用雙通道高資料傳輸頻寬的特性。

圖八為本發明存取不對稱配置記憶模組的流程圖。若在一個通道上有一個記憶陣列 A 其容量大小與另一個通道上的記憶陣列 B 相同時，則位於不同通道上的記憶陣列 A 和 B 即設成一個虛擬陣列。當存取資料的目標位置位於虛擬陣列上時，則可以同時利用雙通道存取資料。反之，如果目標位置布在虛擬陣列上，則以單通道存取記憶體。

總結來說，在習知技術中，若記憶裝置的配置是不對稱的，無論資料是記錄於哪一個記憶陣列，習知晶片組都只會以單通道的方式來加以存取。相較之下，當本發明實施於不對稱之記憶裝置中時，只有在存取不成對記憶陣列時才會沿用單通道的存取方式；針對雙通道上成對的記憶陣列，本發明仍然可以充分發揮雙通道同時資料傳輸的優點。即使記憶裝置的配置不對稱，本發明還是可以實質提升此類記憶裝置的存取效能。在本發明於圖一的實施架構中，判斷模組 24、定址模組 28 的功能可以用軟體（像是

以晶片組來執行軟體程式碼)或硬體電路來實現,以便在位址解碼(address decoding)、分頁解碼(page decoding)及指令排序(command scheduling)時根據存取位址是否映對至成對記憶陣列而改變對記憶裝置的存取方式。

以上所述僅為本發明之較佳實施例,凡依本發明申請專利範圍所做之均等變化與修飾,皆應屬本發明專利之涵蓋範圍。

【圖式簡單說明】

圖式之簡單說明

圖一為本發明實施於一電腦系統中之功能方塊示意圖。

圖二是以對稱配置來實現圖一中記憶裝置的示意圖。

圖三為本發明存取圖二中對稱配置記憶裝置時各相關訊號之時序示意圖。

圖四是以一不對稱配置來實現圖一中記憶裝置的示意圖。

圖五為本發明存取圖四中不對稱記憶裝置時各相關訊號之時序示意圖。

圖六、圖七是以另外兩種不對稱配置來實現圖一中記憶裝置的示意圖。

圖八為本發明存取記憶體資料之流程圖

圖式之符號說明

20	控制電路	22	介面模組
24	判斷模組	26	存取模組
28	定址模組	30	記憶裝置
32A-32B	通道	34A-34B、36A-36B	插槽
38	晶片組	40	主端
42	電腦系統	46A-46B、48A-48B	記憶體模組
460-467	記憶陣列	T	週期
S0-S7	控制訊號	t0-t4、ta-tb、ta2-tb2	時點
RDX、RDY			控制指令

伍、中文發明摘要：

本發明提供一記憶裝置的存取方法及相關裝置。在本發明的一實施例中，該記憶裝置具有雙通道，而各通道上連接的記憶陣列為不對稱之配置；也就是各通道上分別連接有至少一個相同容量的記憶陣列而形成雙通道上成對之對稱配置部分，但另外至少有一未成對之記憶陣列而形成雙通道之不對稱配置部分。在存取該記憶裝置時，本發明係以單通道之傳輸頻寬來存取不對稱配置部分之資料，而以雙通道之高傳輸頻寬來存取對稱部分的資料。這樣一來，即使配置於雙通道之記憶陣列並不對稱，本發明仍可利用雙通道的特性來提升記憶裝置的存取效能。

陸、英文發明摘要：

Method and related apparatus for accessing a memory apparatus. In an embodiment of the invention, the memory apparatus has two channels with asymmetric configuration, that is, ranks of same capacity are respectively connected to each channel to form a paired symmetric portion of the memory apparatus, and at least one unpaired rank is connected to one channel to form an asymmetric portion of the memory apparatus. In the invention, data stored in the asymmetric portion are accessing with single channel transmission bandwidth, while data stored in the symmetric portion are accessing with higher two-channel transmission bandwidth, such that an average transmission efficient higher than single channel transmission efficient can be achieved on asymmetric-configured memory apparatus.

拾、申請專利範圍：

1. 一種複數通道記憶體存取方法，其中每一個該通道分別連結至少一個記憶陣列，該存取方法包含有：
判斷一欲存取資料之目標記憶陣列是否屬於一虛擬陣列；
若該資料之目標記憶陣列不屬於該虛擬陣列，則以一預設傳輸頻寬存取該資料；以及
若該資料之目標記憶陣列屬於該虛擬陣列，則以該預設傳輸頻寬之倍數存取該資料。
2. 如申請專利範圍第 1 項之複數通道記憶體存取方法，其中更包含：當不同該通道中皆對應有一容量大小相同之一第一記憶陣列時，則將不同該通道之複數個該第一記憶陣列劃分為一虛擬陣列。
3. 如申請專利範圍第 1 項之複數通道記憶體存取方法，其中當該資料欲儲存之目標記憶陣列屬於該虛擬陣列時，交錯儲存該資料之各部分於該虛擬陣列所包含之該複數個第一記憶陣列中。
4. 如申請專利範圍第 1 項之複數通道記憶體存取方法，其中當該資料欲讀取之目標記憶陣列屬於該虛擬陣列時，則分別從於該虛擬陣列所包含之該複數個第一記憶陣列中讀取該資料之各部分後重疊出該資料。
5. 如申請專利範圍第 1 項之複數通道記憶體存取方法，其中該預設傳輸頻寬為一該通道之頻寬。

6. 一種雙通道記憶體存取裝置，包含有：

一控制晶片；

一第一記憶體模組，包含至少一記憶陣列；

一第二記憶體模組，包含至少一記憶陣列；

一第一通道，連結該第一記憶體模組以及該控制晶片，用以傳送該至少

一第一記憶體模組上之該至少一個記憶陣列之資料；以及

一第二通道，連結該第二記憶體模組以及該控制晶片，用以傳送該至少

一第二記憶體模組上之該至少一個記憶陣列之資料；

其中當該第一記憶體模組有一第一記憶陣列同時該第二記憶體模組亦有一與該第一記憶陣列記憶容量相同之第二記憶陣列時，則該控制晶片將該第一記憶陣列以及該第二記憶陣列劃分成一虛擬陣列。

7. 如申請專利範圍第6項之雙通道記憶體存取裝置，其中當一欲存取資料

之目標記憶陣列不屬於該虛擬陣列時，則該控制晶片利用該資料所對應

之該第一通道或該第二通道存取該資料，若該資料之目標記憶陣列屬於

該虛擬陣列時，則該控制晶片同時利用該第一通道以及該第二通道存取

該資料

8. 如申請專利範圍第6項之雙通道記憶體存取裝置，其中其中當該資料欲

儲存之目標記憶陣列屬於該虛擬陣列時，交錯儲存該資料之各部分於該

第一記憶陣列以及該第二記憶陣列中。

9. 如申請專利範圍第 6 項之雙通道記憶體存取裝置，其中當該資料欲讀取之目標記憶陣列屬於該虛擬陣列時，則分別從於該第一記憶陣列以及該第二記憶陣列中讀取該資料之各部分後重疊出該資料。
10. 如申請專利範圍第 6 項之雙通道記憶體存取裝置，其中該第一通道與該第二通道之傳輸頻寬相同。
11. 如申請專利範圍第 6 項之雙通道記憶體存取裝置，其中該控制晶片包含有：
 - 一存取模組，用以存取外部該第一記憶體模組以及該第二記憶體模組；
 - 一定址模組，連結至該存取模組，用以劃分記憶容量相同之該第一記憶陣列以及該第二記憶陣列為該虛擬陣列；以及
 - 一判斷模組，連結至該存取模組以及該定址模組，用以判斷該欲存取資料之目標記憶陣列是否屬於該虛擬陣列。
12. 一種複數通道記憶體存取裝置，包含有：
 - 一控制晶片；
 - 複數個記憶體模組，其中每一個記憶體模組皆包含至少一個記憶陣列；
 - 以及
 - 複數個通道，每一個通道分別對應一該記憶體模組，用以連結該記憶體模組與該控制晶片，並傳送對應該記憶體模組之該至少一個記憶陣列之資料；

其中，當不同該通道中皆連結有一記憶容量相同之第一記憶陣列時，則該控制晶片將不同該通道之複數個該第一記憶陣列劃分為一虛擬陣列。

13.如申請專利範圍第 12 項之複數通道記憶體存取裝置，其中當一欲存取資料之目標記憶陣列不屬於該虛擬陣列時，則該控制晶片利用該資料所對應之複數個該通道其中之一存取該資料，若該資料之目標記憶陣列屬於該虛擬陣列時，則該控制晶片同時利用複數個該通道存取該資料。

14.如申請專利範圍第 12 項之複數通道記憶體存取裝置，其中當該資料欲儲存之目標記憶陣列屬於該虛擬陣列時，交錯儲存該資料之各部分於該虛擬陣列所包含之該複數個第一記憶陣列中。

15.如申請專利範圍第 12 項之複數通道記憶體存取裝置，其中當該資料欲讀取之目標記憶陣列屬於該虛擬陣列時，則分別從於該虛擬陣列所包含之該複數個第一記憶陣列中讀取該資料之各部分後重疊出該資料。

16.如申請專利範圍第 12 項之複數通道記憶體存取裝置，其中該複數個通道之傳輸頻寬相同。

17.如申請專利範圍第 12 項之複數通道記憶體存取裝置，其中該控制晶片包含有：

一存取模組，用以存取外部該複數個記憶體模組；

一定址模組，連結至該存取模組，用以劃分複數個記憶容量相同之該第一記憶陣列為該虛擬陣列；以及

一判斷模組，連結至該存取模組以及該定址模組，用以判斷該欲存取資料之

目標記憶陣列是否屬於該虛擬陣列。

18.一種記憶體存取控制晶片，用以存取外部複數通道記憶體模組，其中每一個該記憶體模組對應有一通道且該記憶體模組包含至少一個記憶陣列，該控制晶片包含有：

一存取模組，用以存取外部該複數通道記憶體模組；

一定址模組，連結至該存取模組，當不同該通道中對應有相同容量之一記憶陣列，將所有該通道中相同容量的複數個該記憶陣列當作一虛擬陣列；以及

一判斷模組，連結至該存取模組以及該定址模組，用以判斷一欲存取資料之目標記憶陣列是否屬於該虛擬陣列；

其中當該判斷模組判斷該資料之目標記憶陣列不屬於該虛擬陣列時，則該存取模組利用該資料所對應之一該通道存取該資料，若該判斷模組判斷該資料之目標記憶陣列屬於該虛擬陣列時，則該存取模組同時利用複數個該通道存取該資料。

19.如申請專利範圍第 18 項之記憶體存取控制晶片，其中當該資料欲儲存之目標記憶陣列屬於該虛擬陣列時，交錯儲存該資料之各部分至該虛擬陣

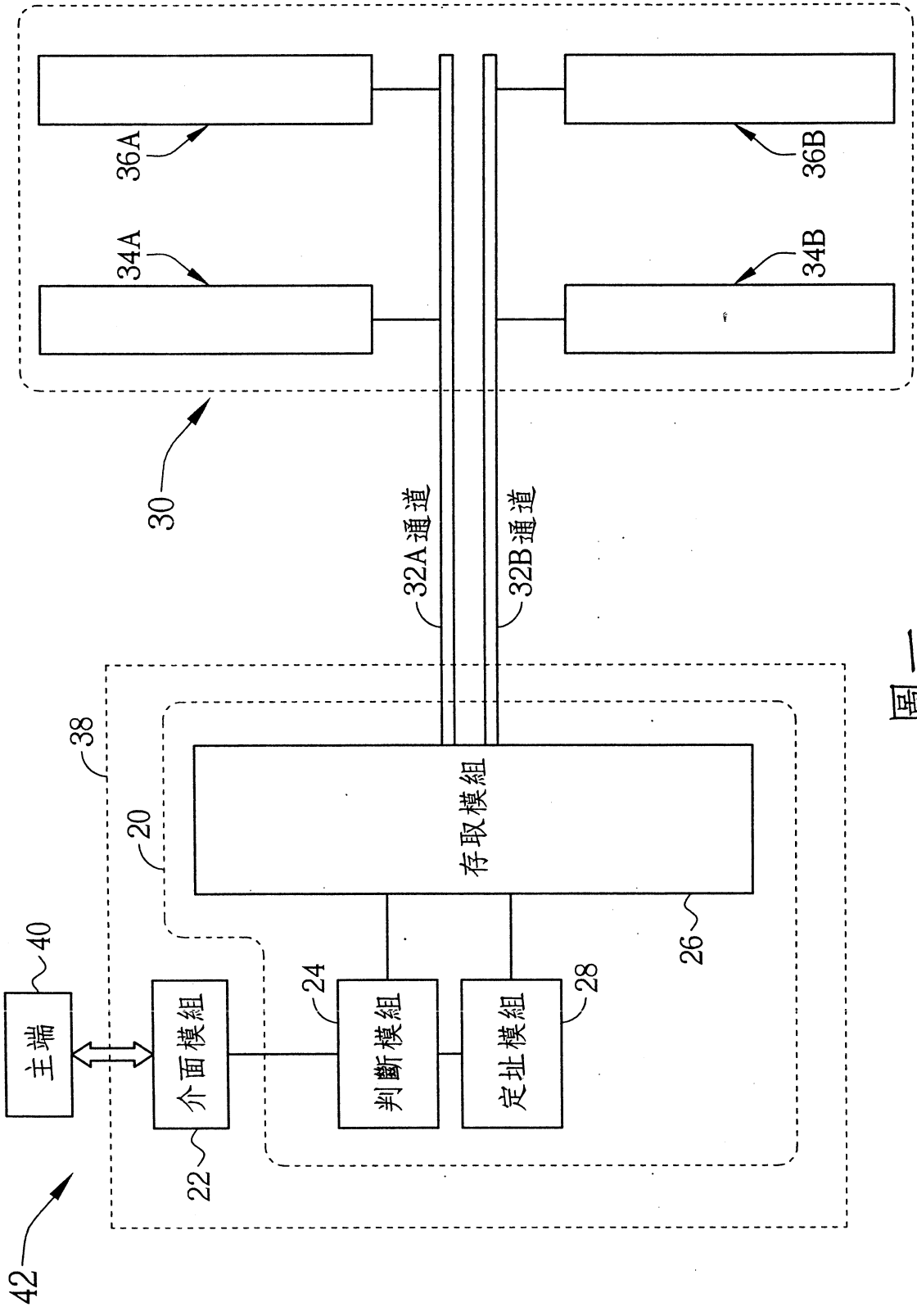
列所包含之該複數個記憶陣列中。

20.如申請專利範圍第 18 項之記憶體存取控制晶片，其中當該資料欲讀取之目標記憶陣列屬於該虛擬陣列時，則分別從於該虛擬陣列所包含之該複數個記憶陣列中讀取該資料之各部分後重疊出該資料。

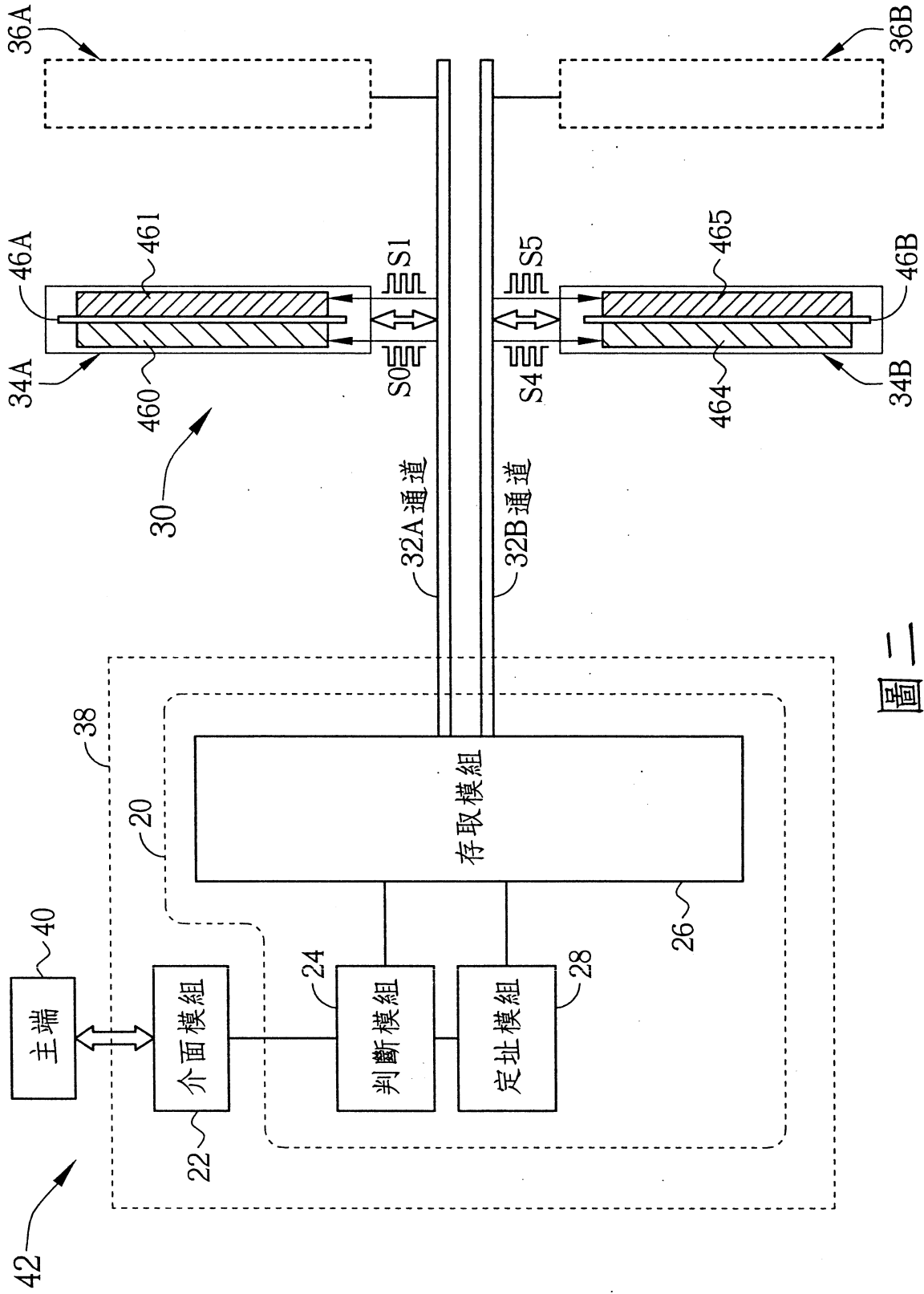
21.如申請專利範圍第 18 項之記憶體存取控制晶片，其中該通道之傳輸頻寬相同。

I299497

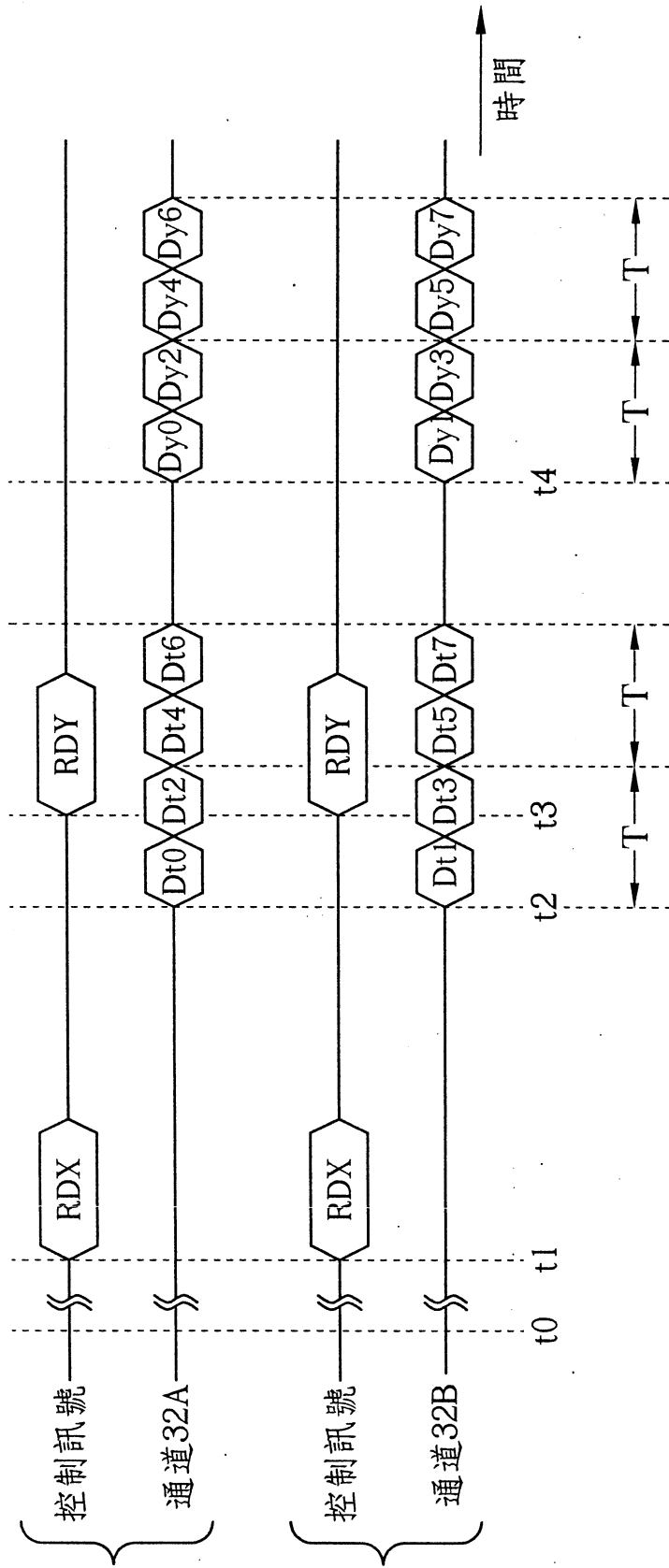
拾壹、圖式：



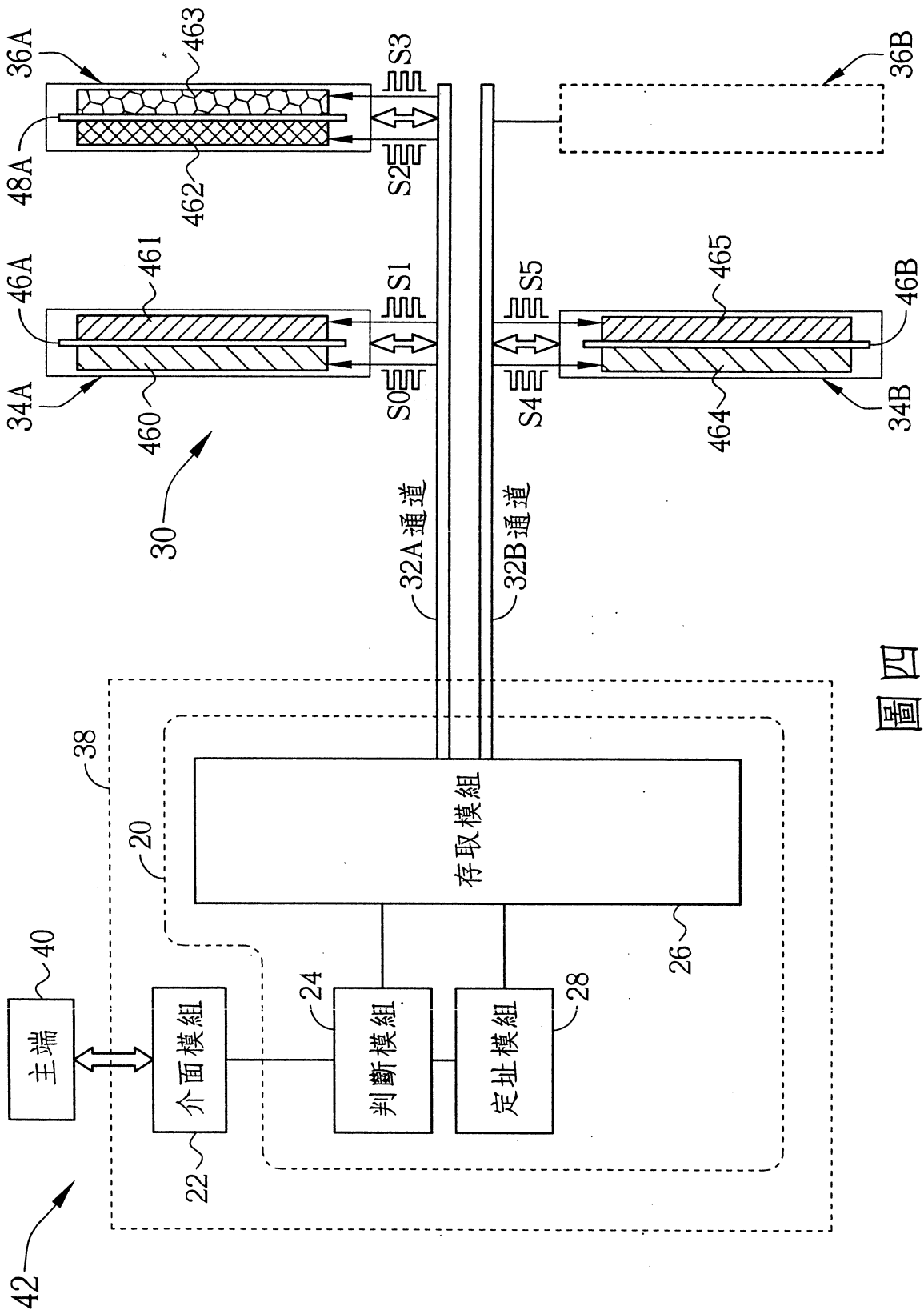
圖一



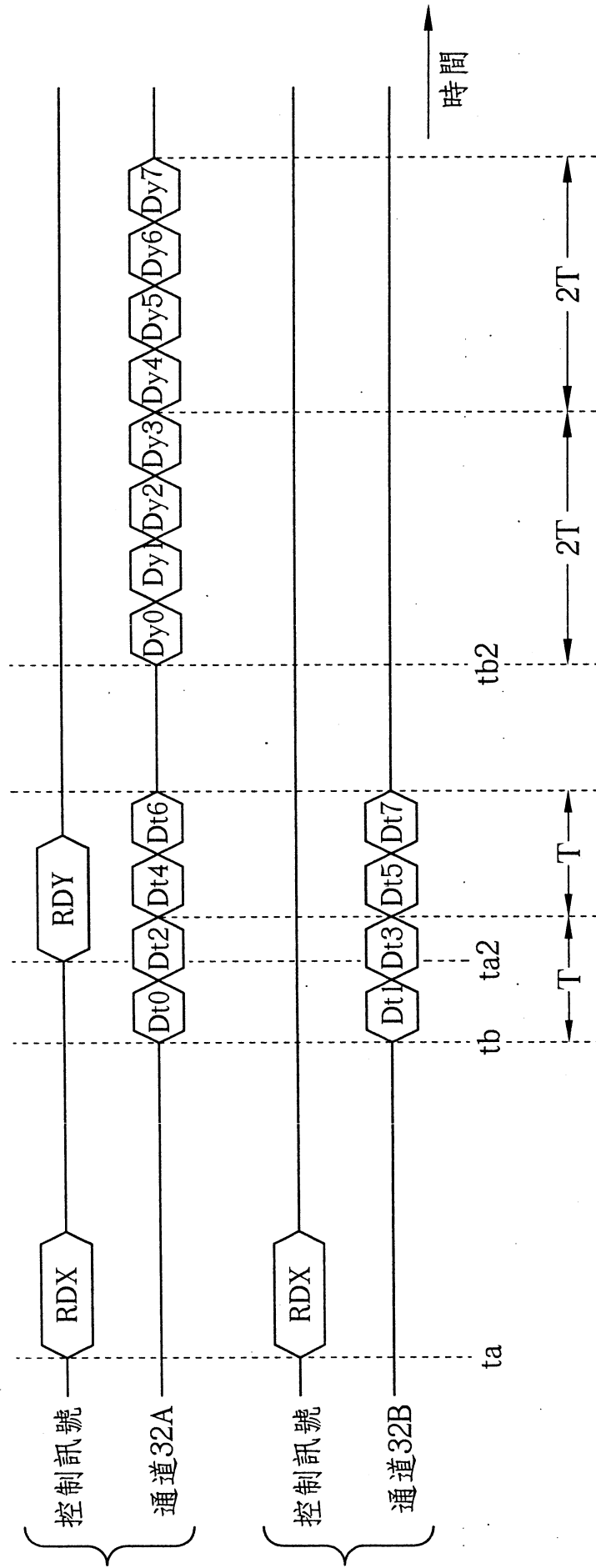
圖二



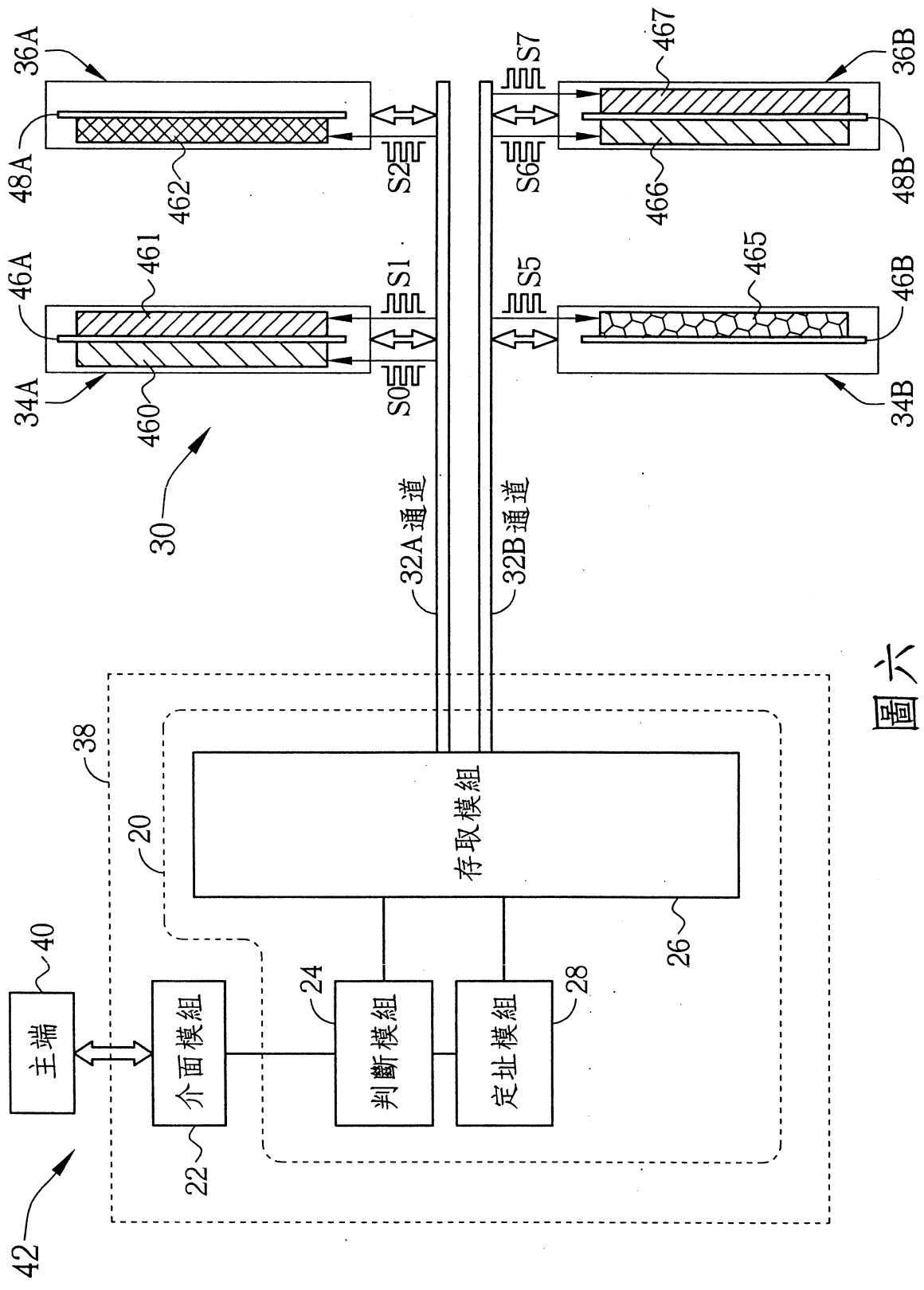
圖三



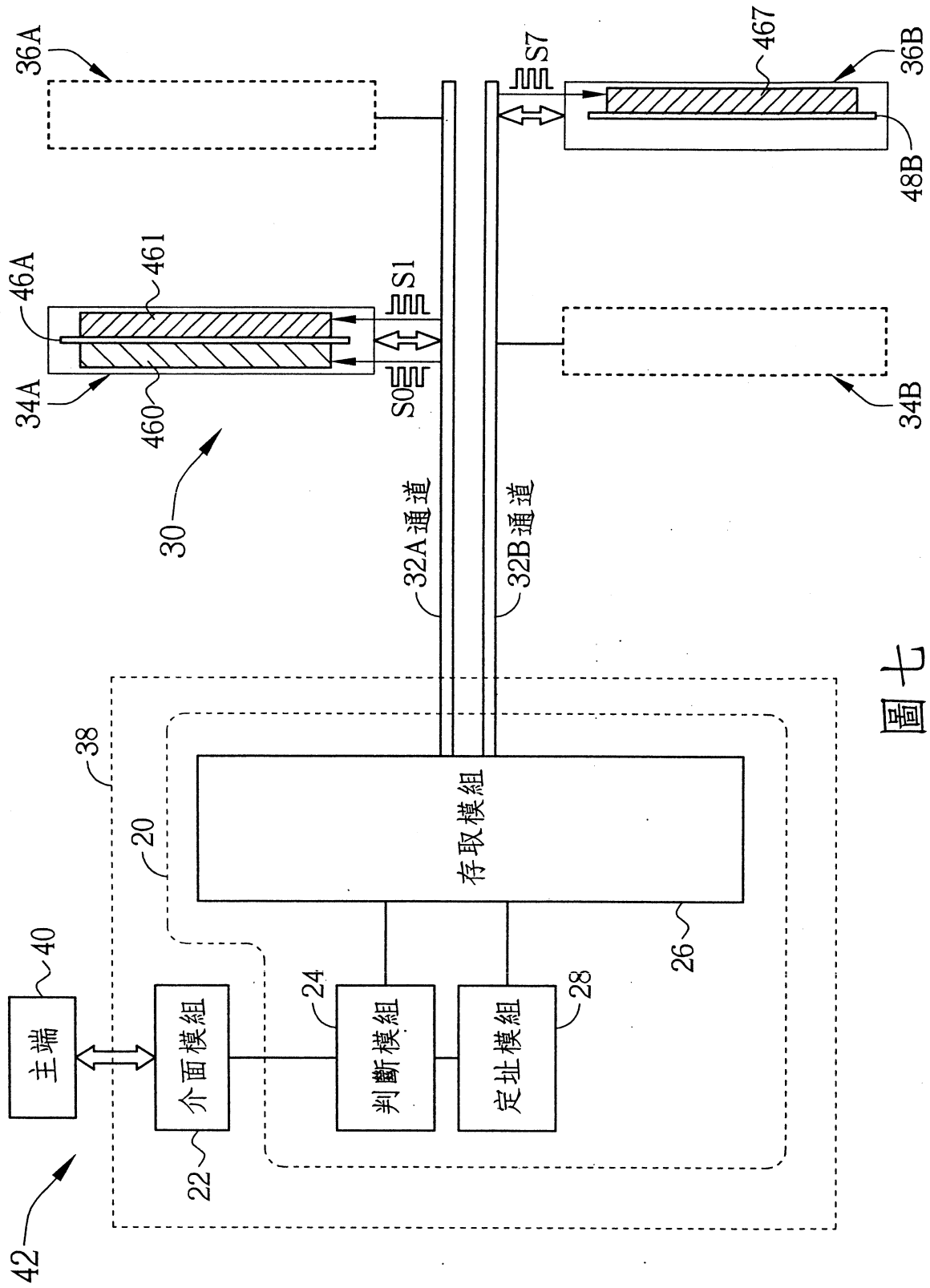
圖四



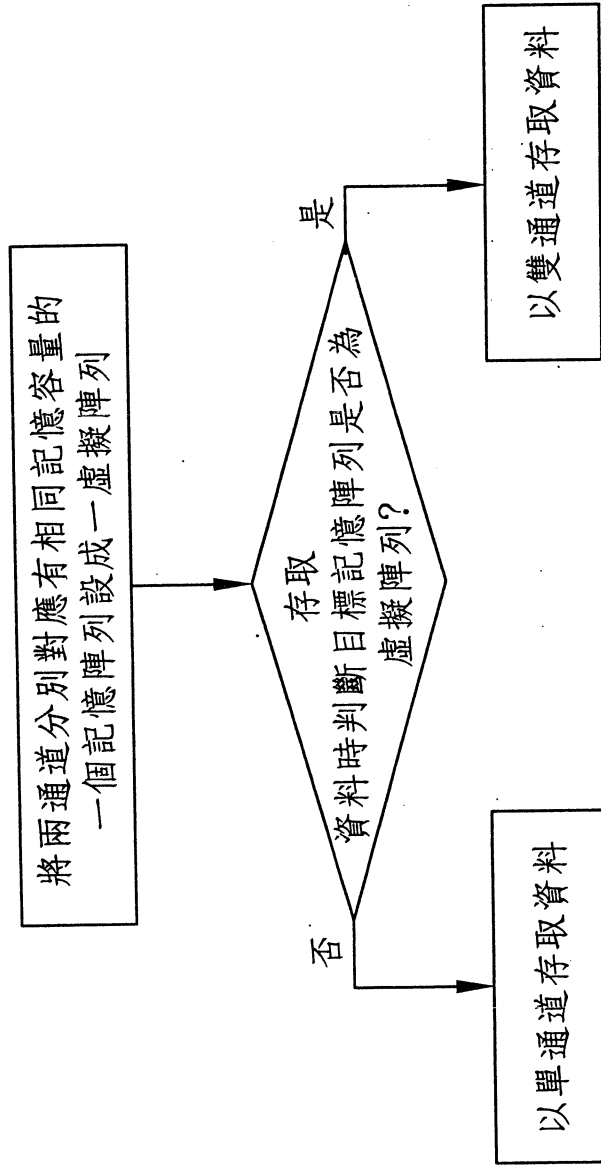
圖五



圖六



圖七



圖八

柒、指定代表圖：

(一)本案指定代表圖為：第(五)圖。

(二)本代表圖之元件代表符號簡單說明：

RDX、RDY	控制指令
32A、32B	通道
Dt0-Dt7、Dy0-Dy7	資料
ta-tb、ta2-tb2	時點
T	週期

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無