



(12) 发明专利

(10) 授权公告号 CN 115142036 B

(45) 授权公告日 2024. 08. 06

(21) 申请号 202210290302.1
 (22) 申请日 2022.03.23
 (65) 同一申请的已公布的文献号
 申请公布号 CN 115142036 A
 (43) 申请公布日 2022.10.04
 (30) 优先权数据
 2021-058453 2021.03.30 JP
 (73) 专利权人 佳能特机株式会社
 地址 日本新潟县
 (72) 发明人 泷泽毅 川畑奉代 河合慈
 (74) 专利代理机构 中国贸促会专利商标事务所
 有限公司 11038
 专利代理人 李双亮

(51) Int. Cl.
 G23C 14/54 (2006.01)
 G23C 14/50 (2006.01)
 G23C 14/04 (2006.01)
 H01L 21/683 (2006.01)
 H10K 71/00 (2023.01)
 H10K 71/16 (2023.01)

(56) 对比文件
 CN 101401198 A, 2009.04.01
 US 2011104363 A1, 2011.05.05
 JP 2019125603 A, 2019.07.25
 JP 2017195351 A, 2017.10.26
 CN 109972083 A, 2019.07.05
 审查员 龙华

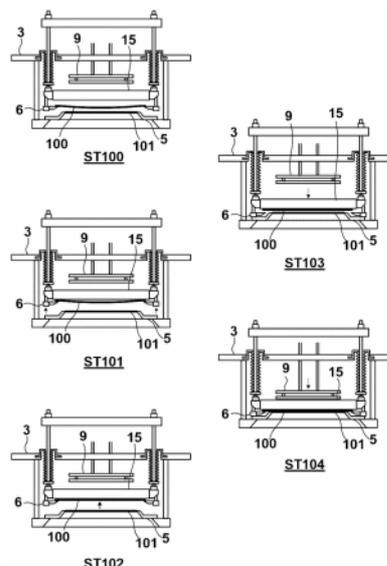
权利要求书3页 说明书16页 附图11页

(54) 发明名称

控制装置、成膜装置、基板吸附方法、计划设定方法及电子器件的制造方法

(57) 摘要

本发明涉及控制装置、成膜装置、基板吸附方法、计划设定方法及电子器件的制造方法，提供一种抑制成膜精度的降低的技术。成膜装置的控制装置具备：静电吸盘，所述静电吸盘吸附基板；以及检测部件，所述检测部件检测由静电吸盘进行的对基板的吸附。控制装置具备：取得部件，所述取得部件取得检测部件的检测结果；以及电压控制部件，所述电压控制部件基于根据取得部件所取得的检测结果确定的由静电吸盘进行的对基板的吸附时间，设定静电吸盘的吸附电压。



1. 一种控制装置,其是具备静电吸盘和检测部件的成膜装置的控制装置,所述静电吸盘吸附基板,所述检测部件用于检测由所述静电吸盘进行的对基板的吸附,其特征在于,

所述检测部件在对所述静电吸盘施加恒定的电压的状态下检测基板与所述静电吸盘之间的静电电容,

所述控制装置具备:

取得部件,所述取得部件基于所述检测部件检测出的所述静电电容,取得从对所述静电吸盘施加用于吸附基板的吸附电压起到所述检测部件检测出的所述静电电容成为稳定值为止的时间作为与吸附时间相关的信息;以及

电压控制部件,所述电压控制部件基于所述取得部件所取得的所述信息,变更为了吸附之后的基板而开始向所述静电吸盘施加的所述吸附电压的大小。

2. 根据权利要求1所述的控制装置,其特征在于,

所述电压控制部件在将所述吸附电压设定为第一电压的情况下,在所述吸附时间为规定范围外时,将之后的基板的吸附时的所述吸附电压设定为与所述第一电压不同的第二电压。

3. 根据权利要求1所述的控制装置,其特征在于,

所述电压控制部件在将所述吸附电压设定为第一电压的情况下,在所述吸附时间为第一阈值以上时,将之后的基板的吸附时的所述吸附电压设定为比所述第一电压高的电压。

4. 根据权利要求1所述的控制装置,其特征在于,

所述电压控制部件在将所述吸附电压设定为第一电压的情况下,在所述吸附时间为第二阈值以下时,将之后的基板的吸附时的所述吸附电压设定为比所述第一电压低的电压。

5. 根据权利要求1~4中任一项所述的控制装置,其特征在于,

所述电压控制部件基于规定块数的基板的所述吸附时间来设定之后的基板的吸附时的所述吸附电压。

6. 根据权利要求1~4中任一项所述的控制装置,其特征在于,

所述检测部件检测所述静电吸盘的多个位置处的基板的吸附,所述电压控制部件基于根据所述多个位置处的基板的吸附的检测结果确定的所述吸附时间来变更所述吸附电压。

7. 根据权利要求6所述的控制装置,其特征在于,

所述静电吸盘包含多个电极部,所述电压控制部件基于根据所述多个位置处的基板的吸附的检测结果确定的所述吸附时间,按各所述电极部来设定所述吸附电压。

8. 根据权利要求6所述的控制装置,其特征在于,

所述静电吸盘包含分别具有多个电极部的多个组,所述电压控制部件基于根据所述多个位置处的基板的吸附的检测结果确定的所述吸附时间,按各所述组来设定所述吸附电压。

9. 根据权利要求1所述的控制装置,其特征在于,

所述控制装置还具备计划控制部件,所述计划控制部件控制所述成膜装置的工序计划,

所述计划控制部件基于所述取得部件所取得的所述信息,变更针对之后的一个基板

的、从开始向所述静电吸盘的所述吸附电压的施加起到在基板的吸附之后进行的工序的开始时机为止的时间。

10. 根据权利要求9所述的控制装置,其特征在于,

所述计划控制部件在将所述开始时机设定为第一时机的情况下,在所述吸附时间为规定范围外时,将在之后的基板的吸附之后进行的工序的所述开始时机设定为与所述第一时机不同的第二时机。

11. 根据权利要求9所述的控制装置,其特征在于,

所述计划控制部件在将所述开始时机设定为第一时机的情况下,在所述吸附时间为第三阈值以上时,将在之后的基板的吸附之后进行的工序的所述开始时机设定为比所述第一时机晚。

12. 根据权利要求9所述的控制装置,其特征在于,

所述计划控制部件在将所述开始时机设定为第一时机的情况下,在所述吸附时间为第四阈值以下时,将在之后的基板的吸附之后进行的工序的所述开始时机设定为比所述第一时机早。

13. 根据权利要求9~12中任一项所述的控制装置,其特征在于,

所述计划控制部件基于规定块数的基板的所述吸附时间,设定在之后的基板的吸附之后进行的工序的所述开始时机。

14. 根据权利要求9~12中任一项所述的控制装置,其特征在于,

在所述基板的吸附之后进行的工序是进行吸附于所述静电吸盘的基板与掩模的对准的对准工序。

15. 根据权利要求9~12中任一项所述的控制装置,其特征在于,

所述检测部件检测所述静电吸盘的多个位置处的基板的吸附,所述计划控制部件基于根据所述多个位置处的基板的吸附的检测结果确定的所述吸附时间,变更所述开始时机。

16. 一种成膜装置,其特征在于,

所述成膜装置具备:

静电吸盘,所述静电吸盘吸附基板;以及

检测部件,所述检测部件检测由所述静电吸盘进行的对基板的吸附,

所述成膜装置由权利要求1~15中任一项所述的控制装置进行控制。

17. 根据权利要求16所述的成膜装置,其特征在于,

所述检测部件是检测基板与所述静电吸盘之间的静电电容的静电电容传感器。

18. 根据权利要求17所述的成膜装置,其特征在于,

所述成膜装置还具备测定部件,所述测定部件测定从开始对所述静电吸盘施加用于吸附的电压起到所述静电电容成为稳定值为止的时间作为所述吸附时间。

19. 根据权利要求16所述的成膜装置,其特征在于,

所述检测部件是检测基板与所述静电吸盘的接触的接触式传感器。

20. 一种基板吸附方法,其是具备静电吸盘和检测部件的成膜装置的基板吸附方法,所述静电吸盘吸附基板,所述检测部件用于检测由所述静电吸盘进行的对基板的吸附,其特征在于,

所述基板吸附方法包括：

检测工序，在所述检测工序中，在对所述静电吸盘施加恒定的电压的状态下检测基板与所述静电吸盘之间的静电电容；

取得工序，在所述取得工序中，基于在所述检测工序中检测出的所述静电电容，取得从对所述静电吸盘施加用于吸附基板的吸附电压起到在所述检测工序中检测出的所述静电电容成为稳定值为止的时间作为与吸附时间相关的信息；以及

电压控制工序，在所述电压控制工序中，基于在所述取得工序中取得的所述信息，变更为了吸附之后的基板而开始向所述静电吸盘施加的所述吸附电压的大小。

21. 一种电子器件的制造方法，其特征在于，

所述电子器件的制造方法包括：

基板吸附工序，在所述基板吸附工序中，通过权利要求20所述的基板吸附方法使基板吸附于所述静电吸盘；

对准工序，在所述对准工序中，进行通过所述基板吸附工序吸附于所述静电吸盘的基板与载置于掩模台的掩模的对准；以及

成膜工序，在所述成膜工序中，经由所述掩模在所述基板上进行成膜。

22. 一种计划设定方法，其是设定具备静电吸盘和检测部件的成膜装置的工序计划的计划设定方法，所述静电吸盘吸附基板，所述检测部件用于检测由所述静电吸盘进行的对基板的吸附，其特征在于，

所述计划设定方法包括：

检测工序，在所述检测工序中，在对所述静电吸盘施加恒定的电压的状态下检测基板与所述静电吸盘之间的静电电容；

取得工序，在所述取得工序中，基于在所述检测工序中检测出的所述静电电容，取得从对所述静电吸盘施加用于吸附基板的吸附电压起到在所述检测工序中检测出的所述静电电容成为稳定值为止的时间作为与吸附时间相关的信息；

电压控制工序，在所述电压控制工序中，基于在所述取得工序中取得的所述信息，变更为了吸附之后的基板而开始向所述静电吸盘施加的所述吸附电压的大小；以及

计划设定工序，在所述计划设定工序中，设定所述成膜装置的工序计划，

在所述计划设定工序中，基于通过所述取得工序取得的所述信息，变更针对之后的一个基板的、从开始向所述静电吸盘的所述吸附电压的施加起到在基板的吸附之后进行的工序的开始时机为止的时间。

23. 一种电子器件的制造方法，其特征在于，

所述电子器件的制造方法包括：

计划设定工序，在所述计划设定工序中，通过权利要求22所述的计划设定方法来设定所述开始时机；

对准工序，在所述对准工序中，在通过所述计划设定工序设定的所述开始时机，进行吸附于所述静电吸盘的基板与载置于掩模台的掩模的对准；以及

成膜工序，在所述成膜工序中，经由所述掩模在所述基板上进行成膜。

控制装置、成膜装置、基板吸附方法、计划设定方法及电子器件的制造方法

技术领域

[0001] 本发明涉及控制装置、成膜装置、基板吸附方法、计划设定方法及电子器件的制造方法。

背景技术

[0002] 在有机EL显示面板等的制造中,经由掩模在基板上对蒸镀物质进行成膜。成膜处理有时在使基板吸附于静电吸盘的状态下进行。已知在利用静电吸盘的吸附中读取从对静电吸盘施加电压起到静电电容取得稳定值为止的时间的技术(例如专利文献1、2)。另外,在专利文献3中公开了对静电吸盘的电极的电压进行控制的控制部根据由静电电容传感器测量的静电电容的变化来调整电压。

[0003] 在先技术文献

[0004] 专利文献

[0005] 专利文献1:日本特开平05-036806号公报

[0006] 专利文献2:日本特开2001-308164号公报

[0007] 专利文献3:日本特开2016-063005号公报

发明内容

[0008] 发明要解决的课题

[0009] 若在由静电吸盘进行的对基板的吸附不充分的状态下执行成膜处理,则有时会使成膜精度降低。作为一例,有时会产生未按照设置于掩模的开口部的形状及尺寸那样进行成膜的所谓的“膜模糊”。

[0010] 本发明提供一种抑制成膜精度的降低的技术。

[0011] 用于解决课题的手段

[0012] 根据本发明的一侧面,提供一种控制装置,其是具备静电吸盘和检测部件的成膜装置的控制装置,所述静电吸盘吸附基板,所述检测部件检测由所述静电吸盘进行的对基板的吸附,其特征在于,所述控制装置具备:取得部件,所述取得部件取得所述检测部件的检测结果;以及电压控制部件,所述电压控制部件基于根据所述取得部件所取得的检测结果确定的由所述静电吸盘进行的对基板的吸附时间,设定所述静电吸盘的吸附电压。

[0013] 另外,根据本发明的另一侧面,提供一种控制装置,其是具备静电吸盘和检测部件的成膜装置的控制装置,所述静电吸盘吸附基板,所述检测部件检测由所述静电吸盘进行的对基板的吸附,其特征在于,所述控制装置具备:取得部件,所述取得部件取得与从对所述静电吸盘施加用于吸附基板的吸附电压起到所述检测部件的检测结果成为规定值为止的吸附时间相关的信息;以及计划控制部件,所述计划控制部件控制所述成膜装置的工序计划,所述计划控制部件基于所述取得部件所取得的所述信息,变更针对一个基板的、从开始向所述静电吸盘的所述吸附电压的施加起到在基板的吸附之后进行的工序的开始时机

为止的时间。

[0014] 另外,根据本发明的另一侧面,提供一种成膜装置,其特征在于,所述成膜装置具备:静电吸盘,所述静电吸盘吸附基板;以及检测部件,所述检测部件检测由所述静电吸盘进行的对基板的吸附,所述成膜装置由所述控制装置进行控制。

[0015] 另外,根据本发明的另一侧面,提供一种基板吸附方法,其是具备静电吸盘和检测部件的成膜装置的基板吸附方法,所述静电吸盘吸附基板,所述检测部件检测由所述静电吸盘进行的对基板的吸附,其特征在于,所述基板吸附方法包括:取得工序,在所述取得工序中,取得与从对所述静电吸盘施加用于吸附基板的吸附电压起到所述检测部件的检测结果成为规定值为止的吸附时间相关的信息;以及电压控制工序,在所述电压控制工序中,基于在所述取得工序中取得的所述信息,变更向所述静电吸盘施加的所述吸附电压的大小。

[0016] 另外,根据本发明的另一侧面,提供一种电子器件的制造方法,其特征在于,所述电子器件的制造方法包括:基板吸附工序,在所述基板吸附工序中,通过所述基板吸附方法使基板吸附于所述静电吸盘;对准工序,在所述对准工序中,进行通过所述基板吸附工序吸附于所述静电吸盘的基板与载置于掩模台的掩模的对准;以及成膜工序,在所述成膜工序中,经由所述掩模在所述基板上进行成膜。

[0017] 另外,根据本发明的另一侧面,提供一种计划设定方法,其是设定具备静电吸盘和检测部件的成膜装置的工序计划的计划设定方法,所述静电吸盘吸附基板,所述检测部件检测由所述静电吸盘进行的对基板的吸附,其特征在于,所述计划设定方法包括:取得工序,在所述取得工序中,取得与从对所述静电吸盘施加用于吸附基板的吸附电压起到所述检测部件的检测结果成为规定值为止的吸附时间相关的信息;以及计划设定工序,在所述计划设定工序中,设定所述成膜装置的工序计划,在所述计划设定工序中,基于通过所述取得工序取得的所述信息,变更针对一个基板的、从开始向所述静电吸盘的所述吸附电压的施加起到在基板的吸附之后进行的工序的开始时机为止的时间。

[0018] 另外,根据本发明的另一侧面,提供一种电子器件的制造方法,其特征在于,所述电子器件的制造方法包括:计划设定工序,在所述计划设定工序中,通过所述计划设定方法来设定所述开始时机;对准工序,在所述对准工序中,在通过所述计划设定工序设定的所述开始时机,进行吸附于所述静电吸盘的基板与载置于掩模台的掩模的对准;以及成膜工序,在所述成膜工序中,经由所述掩模在所述基板上进行成膜。

[0019] 发明的效果

[0020] 根据本发明,能够抑制成膜精度的降低。

附图说明

[0021] 图1是电子器件的生产线的一部分的示意图。

[0022] 图2是一实施方式的成膜装置的概略图。

[0023] 图3是基板支承单元及吸附板的说明图。

[0024] 图4是示出成膜装置的硬件的结构例的图。

[0025] 图5是示出成膜装置的制造工序的例子的流程图。

[0026] 图6是图5的流程图的各工序中的成膜装置的状态的说明图。

[0027] 图7(A)是示出静电吸盘吸附基板时的静电吸盘及基板的关系的示意图,(B)是示

出形成于基板的导电膜图案的例子的图。

[0028] 图8(A)及(B)是示出处理部的处理例的流程图。

[0029] 图9是示出吸附电压与吸附时间的关系的图。

[0030] 图10(A)及(B)是示出处理部的处理例的流程图。

[0031] 图11(A)是有机EL显示装置的整体图,(B)是示出一个像素的截面构造的图。

[0032] 附图标记说明

[0033] 1成膜装置、5掩模台、6基板支承单元、141处理部、15静电吸盘、151电极部、16检测单元、100基板、101掩模。

具体实施方式

[0034] 以下,参照附图,对实施方式进行详细说明。此外,以下的实施方式并不对权利要求书的技术方案进行限定。虽然在实施方式中记载了多个特征,但上述多个特征的全部未必都是发明所必需的特征,另外,多个特征也可以任意地组合。而且,在附图中,对相同或者同样的结构标注相同的附图标记,并省略重复的说明。

[0035] <电子器件的生产线>

[0036] 图1是示出能够应用本发明的成膜装置的电子器件的生产线的结构的一部分的示意图。图1的生产线例如用于智能手机用的有机EL显示装置的显示面板的制造,基板100被依次搬运到成膜模块301,并在基板100上进行有机EL元件的成膜。

[0037] 在成膜模块301中,在俯视时具有八边形的形状的搬运室302的周围配置有对基板100进行成膜处理的多个成膜室303a~303d和收纳使用前后的掩模的掩模保存室305。在搬运室302配置有搬运基板100的搬运机器人302a。搬运机器人302a包括保持基板100的手部和使手部沿水平方向移动的多关节臂。换言之,成膜模块301是以包围搬运机器人302a的周围的方式配置有多个成膜室303a~303d的群集型的成膜单元。此外,在对成膜室303a~303d进行统称的情况下或者在不进行区别的情况下,记载为成膜室303。

[0038] 在基板100的搬运方向(箭头方向)上,在成膜模块301的上游侧、下游侧分别配置有缓冲室306、回转室307、交接室308。在制造过程中,各室被维持为真空状态。此外,在图1中仅图示了一个成膜模块301,但本实施方式的生产线具有多个成膜模块301,多个成膜模块301具有利用由缓冲室306、回转室307、交接室308构成的连结装置连结而成的结构。此外,连结装置的结构并不被限定于此,例如也可以仅由缓冲室306或交接室308构成。

[0039] 搬运机器人302a进行基板100从上游侧的交接室308向搬运室302的搬入、成膜室303间的基板100的搬运、掩模保存室305与成膜室303之间的掩模的搬运以及基板100从搬运室302向下游侧的缓冲室306的搬出。

[0040] 缓冲室306是用于根据生产线的运转状况而暂时地保存基板100的室。在缓冲室306设置有也被称为盒的基板收纳搁板和升降机构。基板收纳搁板具有能够在保持着基板100的被处理面(被成膜面)朝向重力方向的下方的水平状态的情况下收纳多块基板100的多层构造。升降机构为了使将基板100搬入或搬出的层与搬运位置相匹配而使基板收纳搁板升降。由此,能够在缓冲室306中暂时收容并滞留多个基板100。

[0041] 回转室307具备变更基板100的朝向的装置。在本实施方式中,回转室307通过设置于回转室307的搬运机器人而使基板100的朝向旋转180度。设置于回转室307的搬运机器人

通过在对由缓冲室306接收到的基板100进行支承的状态下回转180度并交付到交接室308,由此,在缓冲室306内和交接室308中对基板的前端与后端进行调换。由此,将基板100搬入成膜室303时的朝向在各成膜模块301中成为相同的朝向,因此,能够使相对于基板100的蒸发源的扫描方向、掩模的朝向在各成膜模块301中一致。通过设为这样的结构,能够使在各成膜模块301中将掩模设置于掩模保存室305的朝向一致,能够简化掩模的管理并提高可用性。

[0042] 生产线的控制系统包括作为主机而对生产线整体进行控制的上位装置300和控制各结构的控制装置14a~14d、309、310,它们能够经由有线或无线的通信线路300a进行通信。控制装置14a~14d与成膜室303a~303d对应地设置,对后述的成膜装置1进行控制。此外,在对控制装置14a~14d进行统称的情况下或者在不进行区别的情况下,记载为控制装置14。

[0043] 控制装置309对搬运机器人302a进行控制。控制装置310对回转室307的装置进行控制。上位装置300向各控制装置14、309、310发送与基板100相关的信息、搬运时机等指示,各控制装置14、309、310基于接收到的指示对各结构进行控制。

[0044] <成膜装置的概要>

[0045] 图2是一实施方式的成膜装置1的概略图。设置于成膜室303的成膜装置1是在基板100上对蒸镀物质进行成膜的装置,经由掩模101形成规定图案的蒸镀物质的薄膜。利用成膜装置1进行成膜的基板100的材质能够适当地选择玻璃、树脂、金属等材料,优选使用在玻璃上形成有聚酰亚胺等树脂层的材质。作为蒸镀物质,可以为有机材料、无机材料(金属、金属氧化物等)等物质。成膜装置1例如能够应用于制造显示装置(平板显示器等)、薄膜太阳能电池、有机光电转换元件(有机薄膜拍摄元件)等电子器件、光学构件等的制造装置,特别是能够应用于制造有机EL面板的制造装置。在以下的说明中,对成膜装置1通过真空蒸镀而在基板100上进行成膜的例子进行说明,但本实施方式并不限于此,也能够应用于溅射或CVD等各种成膜方法。此外,在各图中,箭头Z表示上下方向(重力方向),箭头X及箭头Y表示相互正交的水平方向。

[0046] 成膜装置1具有能够将内部保持为真空的箱型的真空腔室3(也简称为腔室)。真空腔室3的内部空间3a被维持在真空环境或氮气等惰性气体环境中。在本实施方式中,真空腔室3与未图示的真空泵连接。此外,在本说明书中,“真空”是指被比大气压低的压力的气体充满的状态,换言之,是指减压状态。在真空腔室3的内部空间3a配置有以水平姿态支承基板100的基板支承单元6、支承掩模101的掩模台5、成膜单元4、板单元9、静电吸盘15。掩模101是具有与在基板100上形成的薄膜图案对应的开口图案的金属掩模,被载置在掩模台5之上。此外,掩模台5能够置换为将掩模101固定于规定位置的其他形态的部件。作为掩模101,能够使用具有在框状的掩模框架上焊接固定有几 μm ~几十 μm 左右的厚度的掩模箔的构造的掩模。掩模101的材质并不被特别限定,例如也可以使用因瓦合金等热膨胀系数小的金属。在将基板100载置在掩模101之上并使基板100与掩模101相互重叠的状态下进行成膜处理。

[0047] 板单元9具备冷却板10和磁铁板11。冷却板10以能够相对于磁铁板11在Z方向上位移的方式悬挂于磁铁板11之下。冷却板10具有通过在成膜时与后述的静电吸盘15接触而对在成膜时吸附于静电吸盘15的基板100进行冷却的功能。冷却板10并不限于具备水冷机

构等而积极地冷却基板100,也可以是虽然未设置水冷机构等但通过与静电吸盘15接触而夺取基板100的热的那样的板状构件。磁铁板11是通过磁力来吸引掩模101的板,其载置于基板100的上方,在成膜时提高基板100与掩模101的密接性。

[0048] 此外,也可以适当地省略冷却板10和磁铁板11。例如,在将冷却机构设置于静电吸盘15的情况下,也可以没有冷却板10。另外,在静电吸盘15吸附掩模101的情况下,也可以省略磁铁板11。

[0049] 成膜单元4由加热器、挡板、蒸发源的驱动机构、蒸发速率监视器等构成,是将蒸镀物质蒸镀在基板100上的蒸镀源。更具体而言,在本实施方式中,成膜单元4是多个喷嘴(未图示)在X方向上排列配置并从各个喷嘴排出蒸镀材料的线性蒸发源。例如,线性蒸发源通过蒸发源移动机构(未图示)在Y方向(装置的进深方向)上往复移动。在本实施方式中,成膜单元4设置于执行后述的对准工序的真空腔室3。然而,在利用与进行对准的真空腔室3不同的腔室进行成膜处理的实施方式中,成膜单元4不配置于真空腔室3。

[0050] 除了图2之外,还参照图3进行说明。图3是基板支承单元6及静电吸盘15的说明图,且是从下侧观察它们的图。

[0051] 基板支承单元6支承基板100的周缘部。基板支承单元6具备构成其外框的多个基座部61a~61d和从基座部61a~61d向内侧突出的多个载置部62及63。此外,载置部62及63有时也被称为“承接爪”或“指状件”。基座部61a~61d分别由支承轴R3支承。多个载置部62以承接基板100的周缘部的长边侧的方式隔开间隔地配置于基座部61a~61d。另外,多个载置部63以承接基板100的周缘部的短边侧的方式隔开间隔地配置于基座部61a~61d。由搬运机器人302a搬入到成膜装置1的基板100由多个载置部62及63支承。以下,在对基座部61a~61d进行统称的情况下或者在不进行区别的情况下,记载为基座部61。

[0052] 在本实施方式中,多个载置部62及63由板簧构成,在使由多个载置部62及63支承的基板100吸附于静电吸盘15时,能够通过板簧的弹性力将基板100的周缘压靠于静电吸盘15。

[0053] 此外,在图3的例子中,由四个基座部61构成局部具有切口的矩形的框体,但并不限于此,基座部61也可以是包围矩形形状的基板100的外周的那样的无缝隙的矩形框体。但是,通过利用多个基座部61设置切口,从而能够在搬运机器人302a向载置部62及63交接基板100时使搬运机器人302a避开基座部61而进行退让。由此,能够提高基板100的搬运及交接的效率。

[0054] 此外,也可以采用如下形态:在基板支承单元6与多个载置部62及63对应地设置多个夹紧部,利用夹紧部夹持并保持载置于载置部62及63的基板100的周缘部。

[0055] 静电吸盘15吸附基板100。在本实施方式中,静电吸盘15设置于基板支承单元6与板单元9之间,由一个或多个支承轴R1支承。在本实施方式中,静电吸盘15由四个支承轴R1支承。在一实施方式中,支承轴R1为圆柱形状的轴。

[0056] 静电吸盘15例如包含在陶瓷材质的基体(也被称为基体)的内部埋入有金属电极等电路的构造。静电吸盘15的表面既可以为聚酰亚胺(树脂),也可以被进行铝阳极化加工。在本实施方式中,静电吸盘15具有多个电极部151。电极部151包含被施加正(+)电压的电极1511和被施加负(-)电压的电极1512。在对电极1511及电极1512施加电压时,通过陶瓷基体将极化电荷引导至基板100,通过基板100与静电吸盘15之间的静电引力(静电力)将基板

100吸附固定于静电吸盘15的吸附面150。

[0057] 在本实施方式中,电极1511及电极1512分别具有梳齿形状的金属构件,上述梳齿部分以成为相互交错的结构的方式交替地配置。然而,电极部151的结构能够适当地设定,只要能够在与作为被吸附物的基板100之间产生静电引力即可。另外,电极部151的形状及个数也能够适当地变更。例如,也可以遍及静电吸盘15的吸附面150的大致整个面地形成一个电极部151。

[0058] 另外,在静电吸盘15形成有多个开口152,通过使后述的测量单元(第一测量单元7及第二测量单元8)经由多个开口152对后述的对准用标记进行拍摄,从而取得同基板100与掩模101的相对位置关系相关的信息。

[0059] 位置调整单元20调整周缘部被基板支承单元6支承的基板100或由静电吸盘15吸附的基板100与掩模101的相对位置。位置调整单元20通过使基板支承单元6或静电吸盘15在X-Y平面上位移,从而调整基板100相对于掩模101的相对位置。即,位置调整单元20也可以说是调整掩模101与基板100的水平位置关系的单元。例如,位置调整单元20能够使基板支承单元6在X方向及Y方向上位移,并且绕Z方向的轴旋转。在本实施方式中,将掩模101的位置固定并使基板100位移,对它们的相对位置进行调整,但既可以使掩模101位移而进行调整,或者也可以使基板100和掩模101这双方位移。例如,位置调整单元20也可以利用作为驱动源的马达及将马达的驱动力转换为直线运动的滚珠丝杠机构等公知的结构使基板支承单元6位移。

[0060] 距离调整单元22通过使静电吸盘15及基板支承单元6升降来调整它们与掩模台5的距离,使基板100与掩模101在基板100的厚度方向(Z方向)上接近及分离(远离)。在本实施方式中,距离调整单元22具备经由多个支承轴R1支承静电吸盘15并经由多个支承轴R3支承基板支承单元6的第一升降板220。距离调整单元22通过使第一升降板220升降而使静电吸盘15及基板支承单元6升降。即,距离调整单元22使基板100与掩模101向重叠的方向接近,或者向其相反方向分离。此外,由距离调整单元22进行调整的“距离”是所谓的垂直距离(或铅垂距离),距离调整单元也可以说是调整掩模101与基板100的垂直位置的单元。例如,位置调整单元20也可以利用作为驱动源的马达及将马达的驱动力转换为直线运动的滚珠丝杠机构等公知的结构使第一升降板220位移。另外,距离调整单元22包含使基板支承单元6相对于第一升降板220相对移动的致动器65,由此,使基板支承单元6相对于静电吸盘15的相对位置变化。

[0061] 此外,本实施方式的距离调整单元22将掩模台5的位置固定并使基板支承单元6及静电吸盘15移动而对它们的Z方向的距离进行调整,但并不限于此。既可以将基板支承单元6或静电吸盘15的位置固定并使掩模台5移动而进行调整,或者也可以使基板支承单元6、静电吸盘15及掩模台5中的每一个移动而对彼此的距离进行调整。

[0062] 板单元升降单元13通过使配置在真空腔室3的外部的第二升降板12升降,从而使与第二升降板12连结并配置在真空腔室3的内部的板单元9升降。板单元9经由一个或多个支承轴R2与第二升降板12连结。在本实施方式中,板单元9由两个支承轴R2支承。支承轴R2从磁铁板11向上方延伸设置,并通过上壁部30的开口部、固定板20a及可动板20b的各开口部以及第一升降板220的开口部而与第二升降板12连结。例如,位置调整单元20也可以利用作为驱动源的马达及将马达的驱动力转换为直线运动的滚珠丝杠机构等公知的结构使第

二升降板12位移。

[0063] 供前述各支承轴R1~R3通过的真空腔室3的上壁部30的开口部具有可供各支承轴R1~R3在X方向及Y方向上位移的大小。为了维持真空腔室3的气密性,在供各支承轴R1~R3通过的上壁部30的开口部设置有波纹管等。

[0064] 测量单元(第一测量单元7及第二测量单元8)对掩模101与周缘部被基板支承单元6支承的基板100的位置偏移进行测量。本实施方式的第一测量单元7及第二测量单元8均是对图像进行拍摄的拍摄装置(相机)。第一测量单元7及第二测量单元8配置在上壁部30的上方,能够经由形成于上壁部30的窗部(未图示)对真空腔室3内的图像进行拍摄。

[0065] 在本实施方式中,在基板100及掩模101分别形成有用于它们的对准的对准标记。进一步而言,在基板100及掩模101分别设置有用于进行它们的大致的位置调整的粗略对准用标记和用于进行更高精度的位置调整的精细对准用标记。

[0066] 第一测量单元7是视野相对较宽但具有较低的分辨率的低倍率CCD相机(粗略相机),测量基板100与掩模101的大致的位置偏移。例如,第一测量单元7设置有两个,以便经由开口152对分别设置于基板100及掩模101的短边中央附近的粗略对准用标记进行拍摄。

[0067] 第二测量单元8是视野相对较窄但具有较高的分辨率(例如几 μm 的量级)的高倍率CCD相机(精细相机),高精度地测量基板100与掩模101的位置偏移。第二测量单元8例如设置有四个,以便经由开口152对分别设置于基板100及掩模101的四个角的精细对准用标记进行拍摄。

[0068] 在本实施方式中,在基于第一测量单元7的测量结果进行基板100与掩模101的大致的位置调整之后,基于第二测量单元8的测量结果来进行基板100与掩模101的精密的位置调整。

[0069] <硬件结构>

[0070] 图4是示出成膜装置1的硬件的结构例的图。此外,图4是以与本实施方式的特征相关的结构为中心进行表示的图,且省略一部分的结构地示出。

[0071] 控制装置14控制成膜装置1的整体。控制装置14具备处理部141、存储部142、输入输出接口(I/O)143及通信部144。处理部141是以CPU为代表的处理器,执行存储于存储部142的程序而对成膜装置1进行控制。存储部142为ROM、RAM、HDD等存储器件,除了处理部141执行的程序之外,还存储各种控制信息。I/O143是收发处理部141与成膜装置1的各构成要素之间的信号的接口。通信部144是经由通信线路300a与上位装置300或其他控制装置14、309、310等进行通信的通信器件,处理部141经由通信部144从上位装置300接收信息,或者向上位装置300发送信息。此外,控制装置14、上位装置300的全部或一部分也可以由PLC、ASIC、FPGA构成。

[0072] 电源单元17是从交流电源等外部电源90接收电力并转换为规定的电力的电源电路。在本实施方式中,电源单元17包含分别与多个电极部151对应的多个电源171。电源171基于处理部141的指示而对电极部151施加规定的直流电压。

[0073] 检测单元16检测静电吸盘15的电极部151的静电电容。在本实施方式中,检测单元16包含分别与多个电极部151对应的多个检测器161。即,在本实施方式中,电极部151、检测器161及电源171的组设置有多个。另外,在本实施方式中,检测单元16设置在腔室3的外部。

[0074] 在本实施方式中,检测单元16无需为了检测静电吸盘15的电极部151的静电电容

而在静电吸盘15另行设置静电电容检测用的电极等。由此,能够将静电吸盘15的电极部151的配置区域确保为较宽,能够提高静电吸盘15的吸附力。

[0075] 在本实施方式中,处理部141基于检测单元16的检测结果来确定由静电吸盘15进行的对基板100的吸附时间。具体而言,在电源171对电极部151施加的电压恒定的情况下,电极部151与基板100之间的静电电容根据电极部151与形成于基板100的导电膜图案(参照图7(A)等)之间的距离而变化。因此,在进行基板100的吸附的期间,电极部151与基板100之间的静电电容随着它们之间的距离变小而变大。另一方面,在基板100的吸附结束且基板100与电极部151之间的距离不再变化时,采取恒定的值。即,处理部141能够将从电源单元17开始对电极部151施加电压起到由检测单元16检测出的静电电容成为稳定值为止的时间确定为由静电吸盘15进行的对基板100的吸附时间。

[0076] 另外,在本实施方式中,如后所述,处理部141基于检测单元16的检测结果来控制电源单元17对多个电极部151施加的电压的电压值或电源单元17对多个电极部151施加电压的时机。

[0077] <成膜装置的制造工序>

[0078] 图5是示出成膜装置1的制造工序的例子的流程图。本流程图示出了成膜装置1对一块基板100执行的工序的概略。另外,图6是各工序中的成膜装置1的状态的说明图。

[0079] 步骤S1(以下,简称为S1,其他步骤也同样如此)为搬入工序。在本工序中,利用搬运机器人302a将基板100搬入到成膜装置1内。被搬入的基板100由基板支承单元6支承(状态ST100)。

[0080] S2为吸附工序。例如,处理部141使支承基板100的基板支承单元6上升到规定位置(状态ST101)。在此,在状态ST101下,由基板支承单元6支承的基板100的周缘部处于与静电吸盘15接触或稍微远离的位置。另一方面,由于基板100的中央部会因自重而挠曲,因此,与周缘部相比位于远离静电吸盘15的位置。处理部141通过在状态ST101的状态下利用电源单元17对电极部151施加电压而产生吸附力,使静电吸盘15吸附基板100(状态ST102)。

[0081] S3为对准工序。处理部141利用距离调整单元22使吸附有基板100的静电吸盘15下降而使基板100接近掩模101。然后,利用位置调整单元20进行基板100与掩模101的水平方向的位置调整(状态ST103)。

[0082] S4为成膜工序。作为其准备,处理部141使进行了对准之后的基板100与掩模101接触。接着,处理部141使板单元9下降,通过磁铁板11的磁力而使基板100与掩模101进一步密接(状态ST104)。在该状态下,处理部141利用成膜单元4在基板100上对蒸镀物质进行蒸镀。

[0083] S5为剥离工序。处理部141通过停止向电极部151施加电压,从而将基板100从静电吸盘15剥离(状态ST100)。此外,处理部141也可以不停止向电极部151施加电压而使电极部151的吸附电压减少至静电吸盘15无法维持基板100的吸附的程度。

[0084] S6为搬出工序。在本工序中,利用搬运机器人302a将基板100从成膜装置向装置外部搬出。

[0085] <由静电吸盘进行的对基板的吸附>

[0086] 图7(A)是示出静电吸盘15吸附基板100时的静电吸盘15及基板100的关系的示意图。图7(B)是示出形成于基板100的导电膜图案的例子的图。

[0087] 首先,说明由静电吸盘15产生的对基板100的吸附力。静电吸盘15的吸附力F通过

下述的式(1)算出。

$$[0088] \quad F = K \epsilon_0 \epsilon V^2 / 2r^2 \cdots (1)$$

[0089] 在此,K是起因于静电吸盘15的电极图案及基板100的导电膜图案的重叠率的常数。另外, ϵ_0 是真空的介电常数, ϵ 是电介质层的介电常数(静电吸盘15的电介质层153、从静电吸盘15的表层起到基板吸附面为止的真空、基板厚度的合成介电常数),V是基于电源171的吸附电压,r是电介质层的厚度。此外,电介质层的厚度r是静电吸盘15的电介质层153的厚度及从吸附面150起到基板100的导电膜1000为止的距离的合计。

[0090] 在本实施方式中,由于静电吸盘15侧的电极图案基本上恒定,因此,常数K被决定为与基板100的导电膜图案密度相应的值。具体而言,基板100的导电膜图案密度越大,则常数K成为越大的值。例如,图7(A)所示的基板100的导电膜1000的导电膜图案密度比图7(B)所示的基板100的导电膜1000a大。因此,图7(A)的基板100的常数K比图7(B)的基板100的常数K大。

[0091] 在将吸附电压V设为恒定的情况下,根据式(1)可知,常数K越大,则静电吸盘15的吸附力F变得越大。吸附力F越大,则从电源171开始施加电压起到基板100吸附于静电吸盘15为止的吸附时间变得越短。因此,图7(A)所示的基板100的吸附时间比图7(B)所示的基板短。像这样,在吸附电压V恒定的情况下,吸附时间与基板100的种类相应地变动,更具体而言,与基板100的导电膜图案密度相应地变动。

[0092] 另外,在基于成膜装置1的制造工序中,存在如下情况:以由静电吸盘15进行的对基板100的吸附的开始为基准,以在经过规定的时间之后开始下一工序的方式管理工序计划。若用图5的例子来说,则以从在吸附工序(S2)中开始对静电吸盘15的电极部151施加吸附电压V起到经过规定的时间之后开始作为下一工序的对准工序(S3)的方式管理工序计划。在这样的情况下,在吸附时间根据基板100的种类而变动时,有时会在由静电吸盘15进行的对基板100的吸附不充分的状态下开始下一工序。

[0093] 若在由静电吸盘15进行的对基板100的吸附不充分的状态下开始下一工序,则存在之后的成膜工序(S4)中的成膜精度降低的情况。例如,在下一工序为对准工序的情况下,由于在基板100产生了挠曲的状态下进行对准,因此,有时会使对准精度降低。对准精度的降低有时会给成膜精度带来影响。另外,例如若在由静电吸盘15进行的对基板100的吸附不充分的状态下执行成膜处理,则由于基板100的挠曲的影响,存在会产生未按照设置于掩模的开口部的形状及尺寸那样进行成膜的所谓的“膜模糊”等成膜精度降低的情况。

[0094] 因此,在本实施方式中,通过执行下述的处理,从而抑制成膜精度的降低。

[0095] <处理例1>

[0096] 图8(A)是示出处理部141的处理例的流程图。本流程图的概略是指如下情况:基于由静电吸盘15进行的对基板100的吸附时间来设定向静电吸盘15的电极部151的吸附电压V。进一步而言,是指如下情况:在以批次为单位而对基板100进行处理的情况下,基于批次中的最初的多块基板100的吸附时间来设定基板吸附时的吸附电压V。例如在利用静电吸盘15对由多块基板100构成的批次中的第一块基板100进行吸附时,开始本流程图。

[0097] 在S10中,处理部141将电极部151的吸附电压V的设定值设定为基准电压VS。在本实施方式中,由于针对多个电极部151分别设置有多个电源171,因此,处理部141例如针对各电极部151将设定值设定为电压VS。在此,可以说是进行吸附电压V的设定值的初始化。基

准电压VS的值能够适当地设定。

[0098] 在S11中,处理部141将测定块数设定为 $i=1$ 。例如,处理部141将所设定的测定块数($i=1$)存储于存储部142。本步骤为控制参数的初始化。

[0099] 在S12中,处理部141确认是否为测定块数 $i \leq$ 规定块数PN,若测定块数 i 为规定块数PN以下,则进入到S13,若测定块数 i 超过规定块数PN,则进入到S15。规定块数PN被设定为执行后述的S13的步骤的基板100的块数。规定块数PN能够适当地设定,但例如也可以为规定块数 $PN=3 \sim 5$ 。

[0100] 在S13中,处理部141(测定部件)执行吸附时间测定处理。例如,如前述那样,处理部141将从开始对电极部151施加吸附电压V起到由检测单元16检测出的静电电容值成为稳定值为止的时间测定为吸附时间。即,处理部141取得检测单元16的检测结果,并根据所取得的检测结果来确定吸附时间。此外,在本实施方式中,由于按多个电极部151中的每一个对应地设置有检测器161,因此,处理部141按各检测器161来测定吸附时间。换言之,处理部141基于多个检测器161的检测结果来确定静电吸盘15的多个位置处的吸附时间。

[0101] 在S14中,处理部141将测定块数设为 $i=i+1$ 。即,使测定块数 i 增加1。例如,处理部141对存储于存储部142的测定块数 i 进行更新。之后,处理部141返回到S12,并反复进行处理。即,针对PN块基板100执行S13的吸附时间测定处理。

[0102] 当在S12的分支中进入到“否”的情况下,在S15中,处理部141(电压控制部件)基于S13中的测定结果来执行电压设定处理。之后,结束流程图。

[0103] 图8(B)是示出处理部141的处理例的流程图,并示出了S15的具体例。此外,在本实施方式中,由于基于多个检测器161的检测结果而按各电极部151测定吸附时间,因此,处理部141能够针对各电极部151依次或并行地执行本流程图的处理。

[0104] 在S151中,处理部141确认是否为吸附时间 $T \geq$ 阈值Th1,若吸附时间 T 为阈值Th1以上(阈值以上),则进入到S152,若吸附时间 T 小于阈值Th1,则进入到S153。

[0105] 在此,吸附时间 T 是基于S13的吸附时间测定处理中的测定结果的基板100的吸附时间。例如,吸附时间 T 可以为规定块数PN的基板100的吸附时间的平均值。此外,吸附时间 T 的设定方法能够适当地变更,例如既可以从规定块数PN的基板100的吸附时间减去离群值而得到的值的平均值,也可以是规定块数PN的基板100的吸附时间的中位数。

[0106] 另外,阈值Th1可以基于由静电吸盘15进行的对基板100的吸附时间的基准时间TS来设定。例如,在吸附时间 T 的容许范围TA由基准时间TS和所容许的误差 t_0 表示的情况下,可以设定为阈值 $Th1=TS+t_0$ (参照图9)。此外,基准时间TS是在成膜装置1执行基板100的吸附工序时预先设定的由静电吸盘15进行的对基板100的吸附时间的基准值。例如,基准时间TS可以是静电吸盘15以规定的吸附电压V对具有规定的导电膜图案密度的基板100进行吸附时的吸附时间。

[0107] 在S152中,处理部141使基于电源171的向电极部151的吸附电压V的设定值增加。在吸附时间 $T \geq$ 阈值Th1的情况下,吸附时间 T 相对于基准时间TS变长。因此,处理部141通过使吸附电压V增加,从而使静电吸盘15的吸附力F增加,并使批次内的基板100的吸附时间缩短。

[0108] 在S153中,处理部141确认是否为吸附时间 $T \leq$ 阈值Th2(\leq 阈值Th1),若吸附时间 T 为阈值Th2以下(阈值以下),则进入到S154,在吸附时间 T 超过阈值Th2的情况下,结束流程

图。例如,在吸附时间 T 的容许范围 TA 由基准时间 TS 和所容许的误差 t_0 表示的情况下,可以设定为阈值 $Th_2=TS-t_0$ 。

[0109] 在S154中,处理部141使基于电源171的向电极部151的吸附电压 V 的设定值减少。在吸附时间 $T \leq$ 阈值 Th_2 的情况下,吸附时间 T 相对于基准时间 TS 变短。因此,处理部141通过使吸附电压 V 减少,从而使静电吸盘15的吸附力 F 减少,并使批次内的基板100的吸附时间变长。

[0110] 图9是示出吸附电压 V 与吸附时间 T 的关系的图。在图9中,针对导电膜图案密度不同的三种基板100a~100c,示出了吸附电压 V 与吸附时间 T 的关系。此外,设为各基板的导电膜图案密度按照100a、100b、100c的顺序而依次变大。在图9的例子中,对于导电膜图案密度最大的基板100a而言,在将吸附电压 V 设为基准电压 VS 的情况下,吸附时间 T_1 小于阈值 Th_2 (S153:“是”)。因此,处理部141将吸附电压设定为比 VS 低的 V_1 (S154)。由此,能够将吸附时间 T 收敛在容许范围 TA 内。接着,对于基板100b而言,在将吸附电压 V 设为基准电压 VS 的情况下,吸附时间 T_2 收敛在容许范围 TA 内(S151:“否”且S153:“否”)。因此,处理部141不从吸附电压 VS 对电压的设定值进行变更。最后,对于导电膜图案密度最小的基板100c而言,在将吸附电压 V 设为基准电压 VS 的情况下,吸附时间 T_3 超过阈值 Th_1 (S151:“是”)。因此,处理部141将吸附电压设定为比 VS 高的 V_3 (S152)。由此,能够将吸附时间 T 收敛在容许范围 TA 内。

[0111] 如以上说明的那样,根据本处理例,基于由静电吸盘15进行的对基板100的吸附时间来设定静电吸盘15的吸附电压。由此,能够抑制在由静电吸盘15进行的对基板100的吸附不充分的状态下执行后续工序的处理,能够抑制相对于基板100的成膜处理中的成膜精度的降低。

[0112] 另外,根据本处理例,在将吸附电压 V 设定为基准电压 VS 的情况下,在吸附时间 T 处于规定范围外、即不处于从阈值 Th_2 起到阈值 Th_1 为止的范围时,将之后的基板100的吸附时的吸附电压 V 设定为与基准电压 VS 不同的值。具体而言,处理部141在吸附时间 T 为阈值 Th_1 以上的情况下,将吸附电压 V 设定为比基准电压 VS 高的电压。由此,由于能够在使吸附时间 T 收敛于规定范围的方向上调整吸附时间 T ,因此,能够抑制在由静电吸盘15进行的对基板100的吸附不充分的状态下执行后续工序的处理。由此,能够抑制相对于基板100的成膜处理中的成膜精度的降低。

[0113] 另外,处理部141在吸附时间 T 为阈值 Th_2 以下的情况下,将吸附电压 V 设定为比基准电压 VS 低的电压。在吸附时间 T 为阈值 Th_2 以下的情况下,有时吸附力 F 会高到必要程度以上。在这样的情况下,有时会在S5的剥离工序中基板100未从静电吸盘15顺利地剥离而产生剥离不良。因此,在吸附时间 T 较短的情况下,通过将吸附电压 V 设定为较低而产生适当的吸附力 F ,从而能够抑制基板100的剥离不良等。

[0114] 另外,根据本处理例,基于同一批次中的最初的多块基板100的吸附时间 T ,设定相对于之后的基板100的吸附电压 V 。因此,能够基于吸附时间 T 的实测值,设定相对于具有同样的基板特性的基板100的吸附电压 V 。

[0115] 另外,在本实施方式中,由于相对于各电极部151设定吸附电压 V ,因此,能够按配置有电极部151的各位置设定静电吸盘15的吸附力。由此,能够更有效地进行静电吸盘15的吸附力的调整。然而,也可以统一地设定各电极部151的电压。例如,也可以将基于多个电极部151的对基板100的吸附时间的平均时间、最晚时间设为该基板100的吸附时间 T ,并基于

该吸附时间 T 而统一地设定多个电极部151的吸附电压 V 。在该情况下,电源171也可以相对于多个电极部151而设置有一个。

[0116] 另外,也可以将电极部151划分为多个组,并按各组设置电源171。例如,在如图3所示那样在静电吸盘15设置有九个电极部151的情况下,也可以将沿长边方向排列的三个电极部151设为一个组,并分别设置能够对各组的电极部151施加电压的电源171。

[0117] 另外,在前述的例子中,说明了处理部141将从开始对电极部151施加吸附电压 V 起到由检测单元16检测出的静电电容值成为稳定值为止的时间测定为吸附时间的情况。也可以不将到静电电容值成为稳定值为止的时间设为吸附时间,而是将到静电电容值达到一定的阈值为止的时间设为吸附时间。在该情况下,即使静电电容值变化(即,即使不稳定),也能够判断为经过了吸附时间。

[0118] <处理例2>

[0119] 图10(A)是示出处理部141的处理例的流程图。本流程图的概略为如下情况:基于由静电吸盘15进行的对基板100的吸附时间,设定针对之后的基板100的、由静电吸盘15进行的对基板100的吸附开始后的工序计划。具体而言,工序计划的设定也可以是后续工序的开始时机的设定。进一步而言,也可以为如下情况:在以批次为单位而对基板100进行处理的情况下,基于批次中的最初的多块基板100的吸附时间来设定针对之后的基板100的、由静电吸盘15进行的对基板100的吸附开始后的工序的开始时机。

[0120] 即,若对与处理例1的比较进行叙述,则在处理例1中,在基板100的吸附时间 T 未收敛于容许范围 T_A 的情况下,以使吸附时间 T 收敛于容许范围 T_A 的方式变更吸附电压 V 。由此,能够抑制在基板100的吸附不充分的状态下进入到下一工序等,能够抑制成膜工序中的成膜精度的降低。另一方面,在处理例2中,通过在基板100的吸附时间 T 未收敛于容许范围 T_A 的情况下变更下一工序的开始时机,从而能够抑制在基板100的吸附不充分的状态下进入到下一工序等,能够抑制成膜工序中的成膜精度的降低。

[0121] 例如在利用静电吸盘15对由多块基板100构成的批次中的第一块基板100进行吸附的情况下,开始本流程图。

[0122] 以下,对如下情况进行说明:在成膜装置1执行图5所示的工序的情况下,当在S2的吸附工序中开始基于静电吸盘15的吸附之后,设定开始S3的对准工序的时机。此外,在本实施方式中,对如下情况进行说明:在变更了S3的对准工序的开始时机的情况下,之后的工序(S4~S6)的开始时机也随之变更。

[0123] 在S20中,处理部141将静电吸盘15的基板100的吸附开始后的开始时机设定为基准值。此外,由于S21~S24的处理与S11~S14的处理相同,所以省略说明。在S25中,处理部141(计划控制部件)将对准工序的开始时机设定为成膜装置1的工序的计划设定,并结束流程图。

[0124] 图10(B)是示出S25的处理的具体例的流程图。由于S251及S253分别是与S151及S153同样的处理,所以省略说明。

[0125] 在S252中,处理部141针对之后的基板100,将作为后续工序的对准工序的开始时机设定为较晚。在吸附时间 $T \geq$ 阈值 T_{h1} 的情况下,吸附时间 T 相对于基准时间 T_S 变长。因此,处理部141将后续工序的开始时机设定为较晚。

[0126] 在S254中,处理部141针对之后的基板100,将作为后续工序的对准工序的开始时

机设定为较早。在吸附时间 $T \leq$ 阈值 Th_2 的情况下,吸附时间 T 相对于基准时间 TS 变短。因此,处理部141将后续工序的开始时机设定为较早。

[0127] 如以上说明的那样,根据本处理例,在将吸附电压 V 设定为基准电压 VS 的情况下,在吸附时间 T 处于规定范围外、即不处于从阈值 Th_2 起到阈值 Th_1 为止的范围时,将之后的工序的开始时机设定为与基准值不同的时机。具体而言,在吸附时间 T 为阈值 Th_1 以上的情况下,将后续工序的开始时机设定为较晚,在吸附时间 T 为阈值 Th_2 以下的情况下,将后续工序的开始时机设定为较早。由此,能够抑制在由静电吸盘15进行的对基板100的吸附不充分的状态下执行后续工序的处理,能够抑制相对于基板100的成膜处理中的成膜精度的降低。另外,在吸附时间 T 较短的情况下,使后续工序的开始时机提前,在基板100被静电吸盘15吸附之后,立刻执行后续工序的处理。由此,能够缩短成膜装置1的相对于一块基板100的处理时间。

[0128] 此外,开始时机的变更并不限于紧接着由静电吸盘15进行的对基板100的吸附之后的工序的开始时机的变更。例如,处理部141也可以不变更 S_3 的对准工序的开始时机,而是变更 S_4 的成膜工序以后的开始时机。

[0129] <电子器件的制造方法>

[0130] 接着,对电子器件的制造方法的一例进行说明。以下,作为电子器件的例子,例示有机EL显示装置的结构及制造方法。在该例子的情况下,图1例示的成膜模块301例如在生产线上设置有三处。

[0131] 首先,说明要制造的有机EL显示装置。图11(A)是示出有机EL显示装置50的整体图,图11(B)是示出一个像素的截面构造的图。

[0132] 如图11(A)所示,在有机EL显示装置50的显示区域51呈矩阵状地配置有多个具备多个发光元件的像素52。详细情况随后进行说明,但发光元件分别具有被一对电极夹着的有机层的构造。

[0133] 此外,在此所说的像素是指在显示区域51中能够进行所期望的颜色的显示的最小单位。在彩色有机EL显示装置的情况下,通过示出互不相同的发光的第一发光元件52R、第二发光元件52G、第三发光元件52B这多个子像素的组合来构成像素52。像素52通常由红色(R)发光元件、绿色(G)发光元件和蓝色(B)发光元件这三种子像素的组合构成,但并不被限定于此。像素52只要包含有至少一种子像素即可,优选包含有两种以上的子像素,更优选包含有三种以上的子像素。作为构成像素52的子像素,例如也可以是红色(R)发光元件、绿色(G)发光元件、蓝色(B)发光元件及黄色(Y)发光元件这四种子像素的组合。

[0134] 图11(B)是图11(A)的A-B线处的局部剖视示意图。像素52在基板53上具有由有机EL元件构成的多个子像素,所述有机EL元件具备第一电极(阳极)54、空穴输送层55、红色层56R/绿色层56G/蓝色层56B中的某一个、电子输送层57及第二电极(阴极)58。其中的空穴输送层55、红色层56R、绿色层56G、蓝色层56B、电子输送层57相当于有机层。红色层56R、绿色层56G、蓝色层56B分别形成为与发出红色光、绿色光、蓝色光的发光元件(有时也表述为有机EL元件)对应的图案。

[0135] 另外,第一电极54按各发光元件分开地形成。空穴输送层55、电子输送层57和第二电极58既可以遍及多个发光元件52R、52G、52B地共用地形成,也可以按各发光元件形成。即,如图11(B)所示,也可以是,在空穴输送层55遍及多个子像素区域地形成共用的层的

基础上,将红色层56R、绿色层56G、蓝色层56B按各子像素区域分开地形成,进而在其之上遍及多个子像素区域地将电子输送层57和第二电极58形成为共用的层。

[0136] 此外,为了防止接近的第一电极54之间的短路,在第一电极54之间设置有绝缘层59。而且,由于有机EL层会由于水分、氧而劣化,所以设置有用于保护有机EL元件免受水分、氧的影响的保护层60。

[0137] 在图11(B)中,空穴输送层55、电子输送层57由一个层表示,但根据有机EL显示元件的构造的不同,也可以由具有空穴阻挡层、电子阻挡层的多个层形成。另外,也可以在第一电极54与空穴输送层55之间形成具有如下的能带构造的空穴注入层,所述能带构造能够顺畅地进行空穴从第一电极54向空穴输送层55的注入。同样地,也可以是,在第二电极58与电子输送层57之间也形成有电子注入层。

[0138] 红色层56R、绿色层56G、蓝色层56B中的每一个既可以由单一的发光层形成,也可以通过层叠多个层来形成。例如,也可以是,利用两层来构成红色层56R,利用红色的发光层来形成上侧的层,利用空穴输送层或电子阻挡层来形成下侧的层。或者,也可以是,利用红色的发光层来形成下侧的层,利用电子输送层或空穴阻挡层来形成上侧的层。通过像这样在发光层的下侧或上侧设置层,从而能够调整发光层的发光位置,通过调整光路长度,从而具有提高发光元件的颜色纯度的效果。

[0139] 此外,在此,示出了红色层56R的例子,但在绿色层56G、蓝色层56B中也可以采用同样的构造。另外,层叠数量也可以为两层以上。而且,既可以如发光层和电子阻挡层那样层叠不同材料的层,也可以例如将发光层层叠两层以上等层叠相同材料的层。

[0140] 接着,具体地说明有机EL显示装置的制造方法的例子。在此,假定红色层56R由下侧层56R1和上侧层56R2这两层构成、绿色层56G和蓝色层56B由单一的发光层构成的情况。

[0141] 首先,准备形成有用于驱动有机EL显示装置的电路(未图示)及第一电极54的基板53。此外,基板53的材质并不被特别限定,能够由玻璃、塑料、金属等构成。在本实施方式中,作为基板53,使用在玻璃基板上层叠有聚酰亚胺的膜的基板。

[0142] 在形成有第一电极54的基板53上以棒涂或旋涂的方式涂覆有丙烯酸或聚酰亚胺等树脂层,通过光刻法对树脂层进行图案化,以便在形成有第一电极54的部分形成开口,并形成绝缘层59。该开口部相当于发光元件实际发光的发光区域。

[0143] 将对绝缘层59进行了图案化的基板53搬入到第一成膜室303,将空穴输送层55作为共用的层而在显示区域的第一电极54上进行成膜。使用按最终成为一个有机EL显示装置的面板部分的各显示区域51形成有开口的掩模,对空穴输送层55进行成膜。

[0144] 接着,将形成至空穴输送层55的基板53搬入到第二成膜室303。进行基板53与掩模的对准,将基板载置在掩模上,在空穴输送层55上的配置有基板53的发出红色光的元件的部分(形成红色的子像素的区域),对红色层56R进行成膜。在此,在第二成膜室中使用的掩模是仅在成为有机EL显示装置子像素的基板53上的多个区域中的、成为红色的子像素的多个区域形成有开口的高精细掩模。由此,包含有红色发光层的红色层56R仅在基板53上的成为多个子像素的区域中的成为红色的子像素的区域进行成膜。换言之,红色层56R在基板53上的成为多个子像素的区域中的成为蓝色的子像素的区域、成为绿色的子像素的区域不进行成膜,选择性地在成为红色的子像素的区域进行成膜。

[0145] 与红色层56R的成膜同样地,在第三成膜室303中对绿色层56G进行成膜,而且,在

第四成膜室303中对蓝色层56B进行成膜。在完成红色层56R、绿色层56G、蓝色层56B的成膜之后,在第五成膜室303中,在显示区域51的整体对电子输送层57进行成膜。电子输送层57作为共用的层而形成于三种颜色的层56R、56G、56B。

[0146] 将形成至电子输送层57的基板移动到第六成膜室303,对第二电极58进行成膜。在本实施方式中,在第一成膜室303~第六成膜室303中,通过真空蒸镀对各层进行成膜。然而,本发明并不限于此,例如对于第六成膜室303中的第二电极58的成膜而言,也可以通过溅射进行成膜。之后,将形成至第二电极58的基板移动到密封装置,通过等离子体CVD对保护层60进行成膜(密封工序),并完成有机EL显示装置50。此外,在此,设为通过CVD法形成保护层60,但并不限于此,也可以通过ALD法、喷墨法来形成。

[0147] 在此,对于第一成膜室303~第六成膜室303中的成膜而言,使用形成有与所形成的各个层的图案对应的开口的掩模进行成膜。在成膜时,在进行了基板53与掩模的相对的位置调整(对准)之后,将基板53载置在掩模上并进行成膜。在此,对于在各成膜室中进行的对准工序而言,如上述对准工序那样进行。

[0148] <其他实施方式>

[0149] 在上述实施方式中,在S10或S20中执行吸附电压V的初始化,但能够省略本步骤。例如,在以批次为单位对基板100进行处理的情况下,也可以将上一次的批次中的吸附电压V用作吸附电压V的初始值。

[0150] 或者,在以批次为单位对基板100进行处理的情况下,在下一批次中的基板100具有与前一批次中的基板100同样的导电膜图案密度的情况下,也可以省略前述的<处理例1>或<处理例2>的处理本身。在该情况下,例如也可以基于在针对前一批次的处理中设定的吸附电压V或开始时机的设定值来执行成膜装置1的处理。另外,例如也可以基于从初始批次起到多个批次(例如2~5批次)的设定值的平均值等来设定以后的批次中的吸附电压V或开始时机的设定值。并且,也可以是,在下一批次中的基板100具有与前一批次的基板100不同的导电膜图案密度的情况下执行前述的<处理例1>或<处理例2>的处理,并再次设定吸附电压V或开始时机的设定值。

[0151] 在上述实施方式中,基于对电极部151的静电电容进行检测的检测单元16的检测结果来确定吸附时间T,但也可以通过其他方法来确定吸附时间T。例如,也可以在静电吸盘15设置能够检测与基板100的接触的一个或多个接触式传感器。并且,处理部141也可以将从开始对电极部151施加电压起到接触式传感器检测出与基板100的接触为止的时间确定为吸附时间。例如,接触式传感器也可以是具有能够在基板100的吸附方向上进退的接触件且通过接触件与基板100接触而使接触件位移并输出规定的电信号那样的机械式的传感器。由此,能够通过简单的结构来确定吸附时间T。

[0152] 另外,例如也可以基于能够以光学的方式检测与基板100的距离的测距传感器等的检测结果来确定吸附时间T。例如,也可以在静电吸盘15的下方设置这样的测距传感器,并将从开始对静电吸盘15施加电压起到基板100与测距传感器的距离成为稳定值为止的时间确定为吸附时间T。

[0153] 在上述实施方式中,成膜装置1的控制装置14的处理部141执行前述的<处理例1>或<处理例2>的处理。然而,统一地控制电子器件的生产线的上位装置300等也可以执行前述的<处理例1>或<处理例2>的处理。或者,也可以通过能够与控制装置14进行通

信的其他装置来执行前述的<处理例1>或<处理例2>的处理。

[0154] 本发明也能够通过如下处理来实现:将实现上述实施方式的一个以上的功能的程序经由网络或存储介质供给到系统或装置,由该系统或装置的计算机中的一个以上的处理器读出程序并执行。另外,本发明也能够通过实现一个以上的功能的电路(例如ASIC)来实现。

[0155] 本发明并不被限定于上述实施方式,能够不脱离发明的精神及范围地进行各种变更及变形。因此,为了公开发明的范围而附上权利要求。

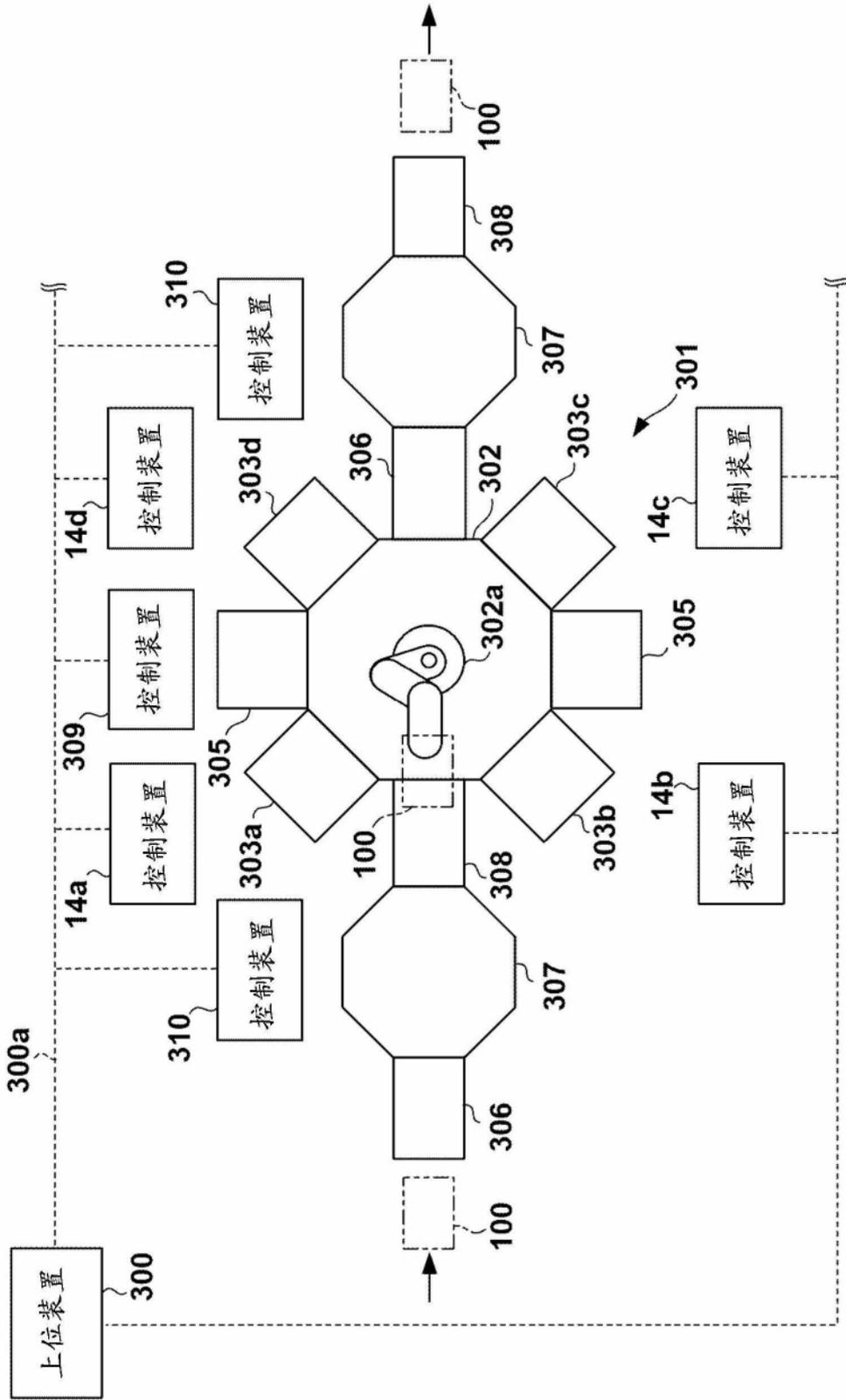


图1

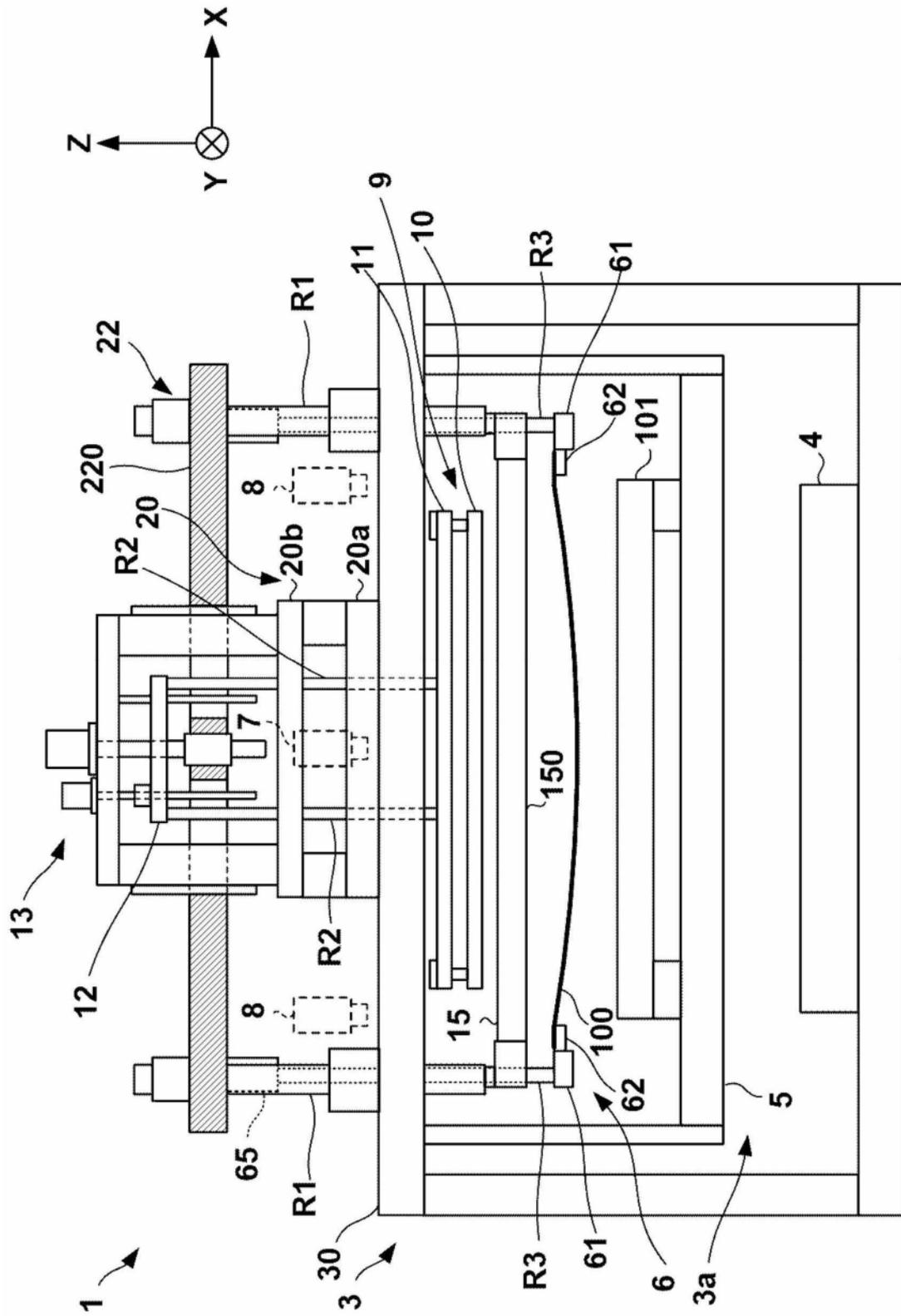


图2

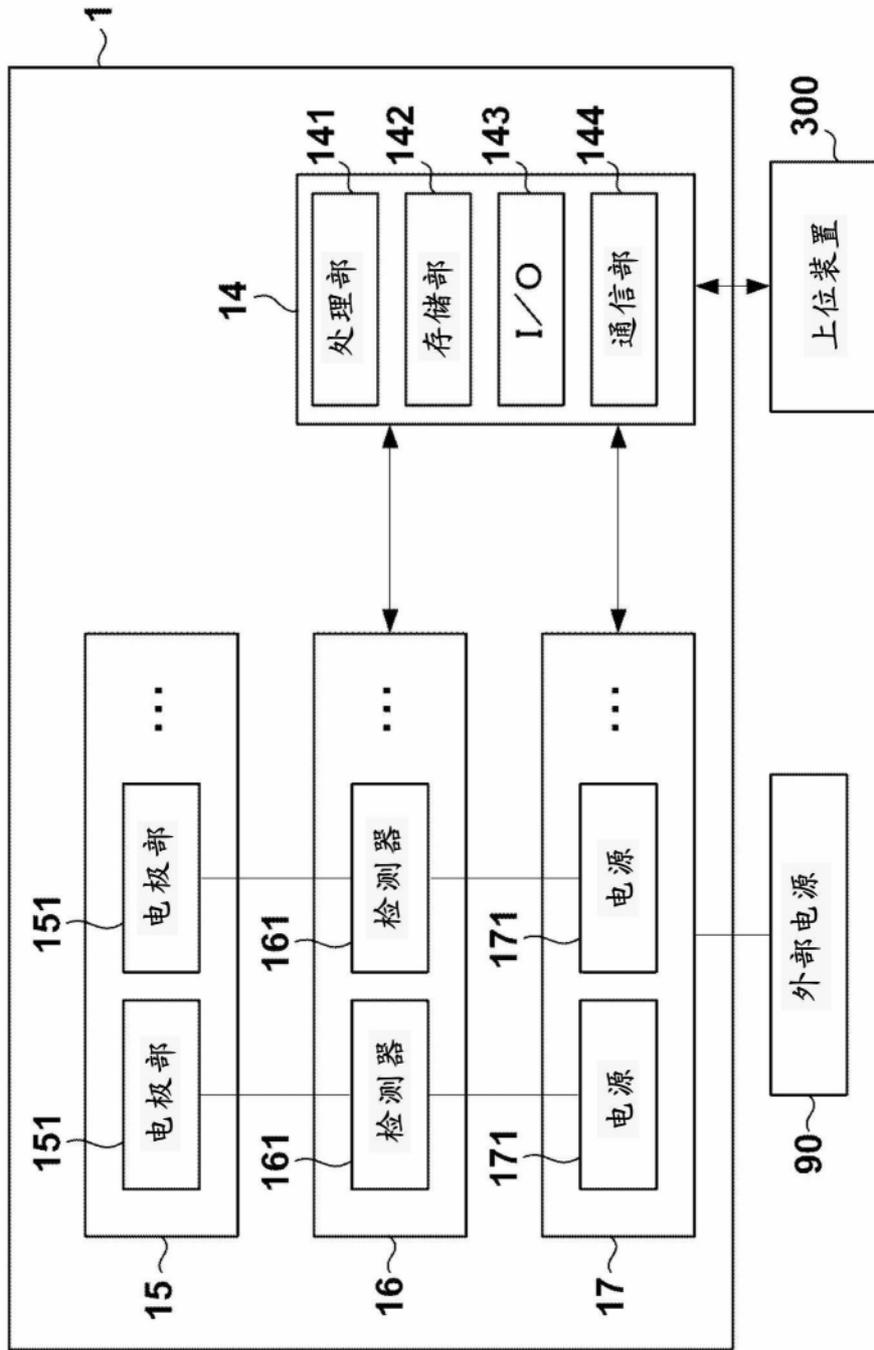


图4

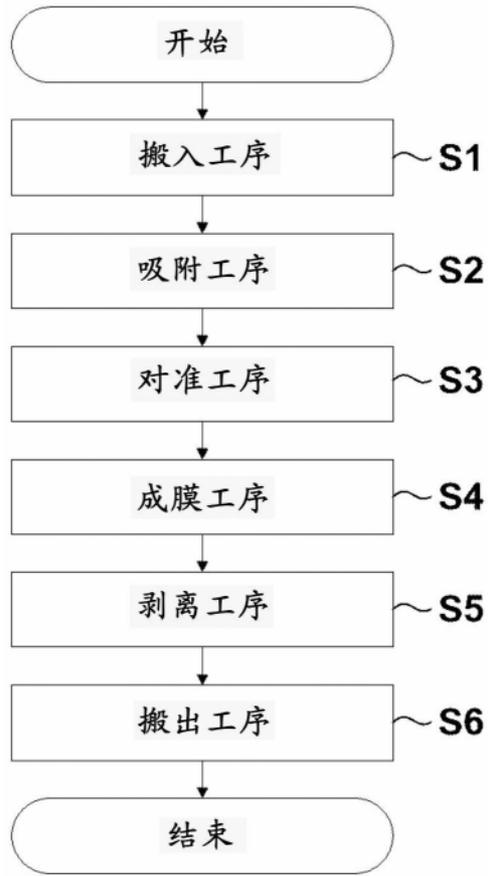


图5

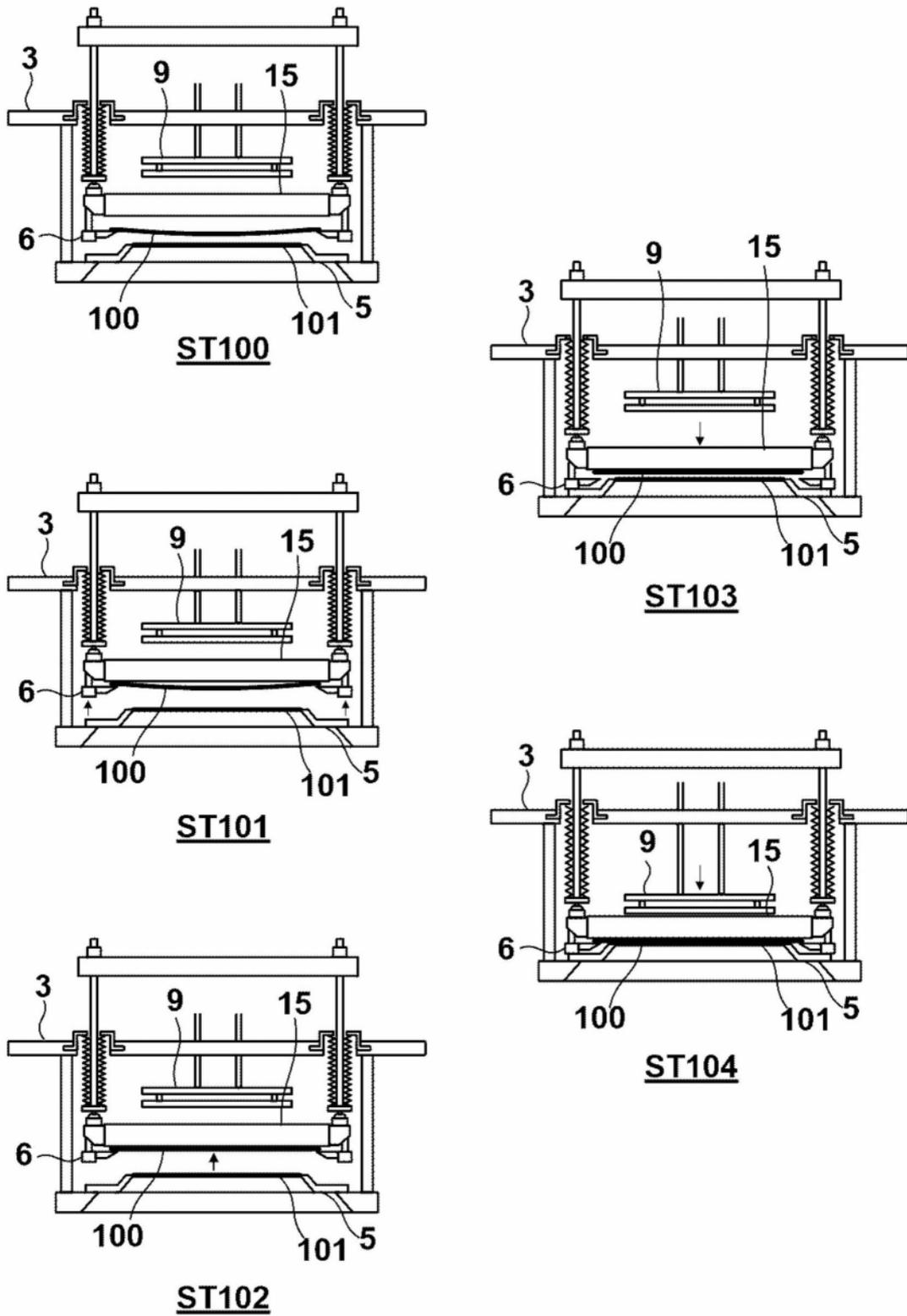


图6

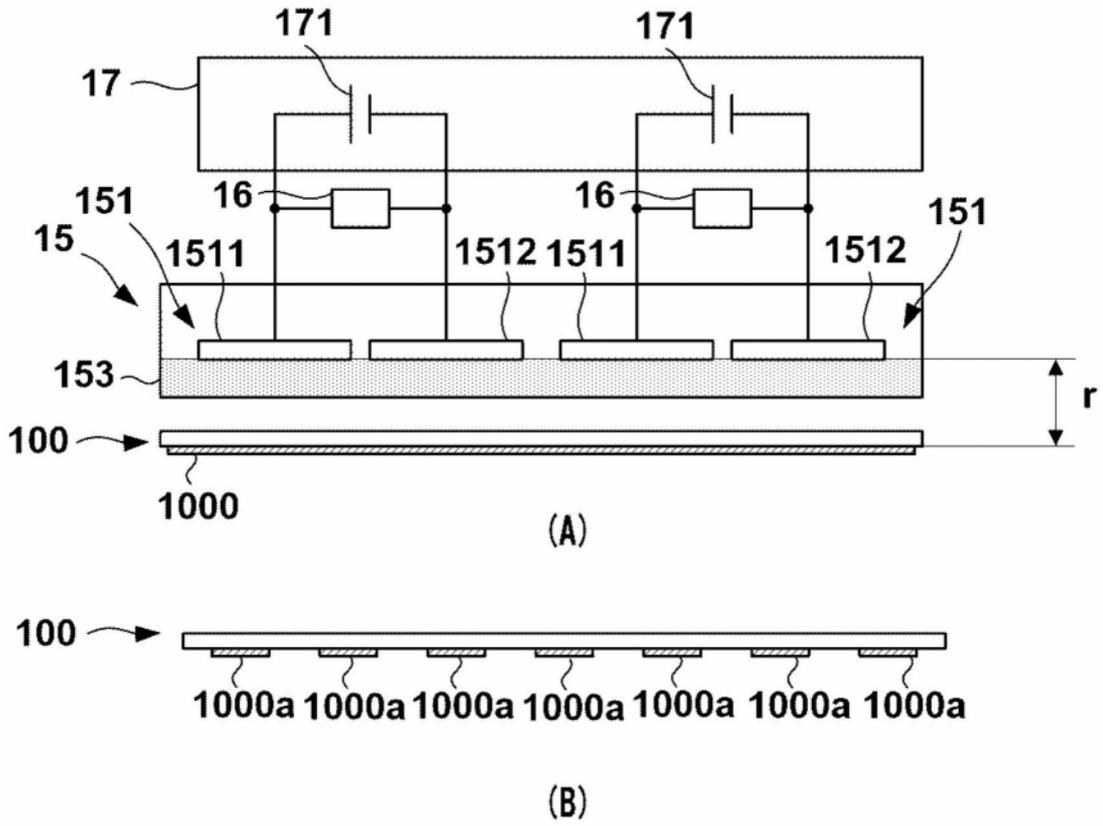


图7

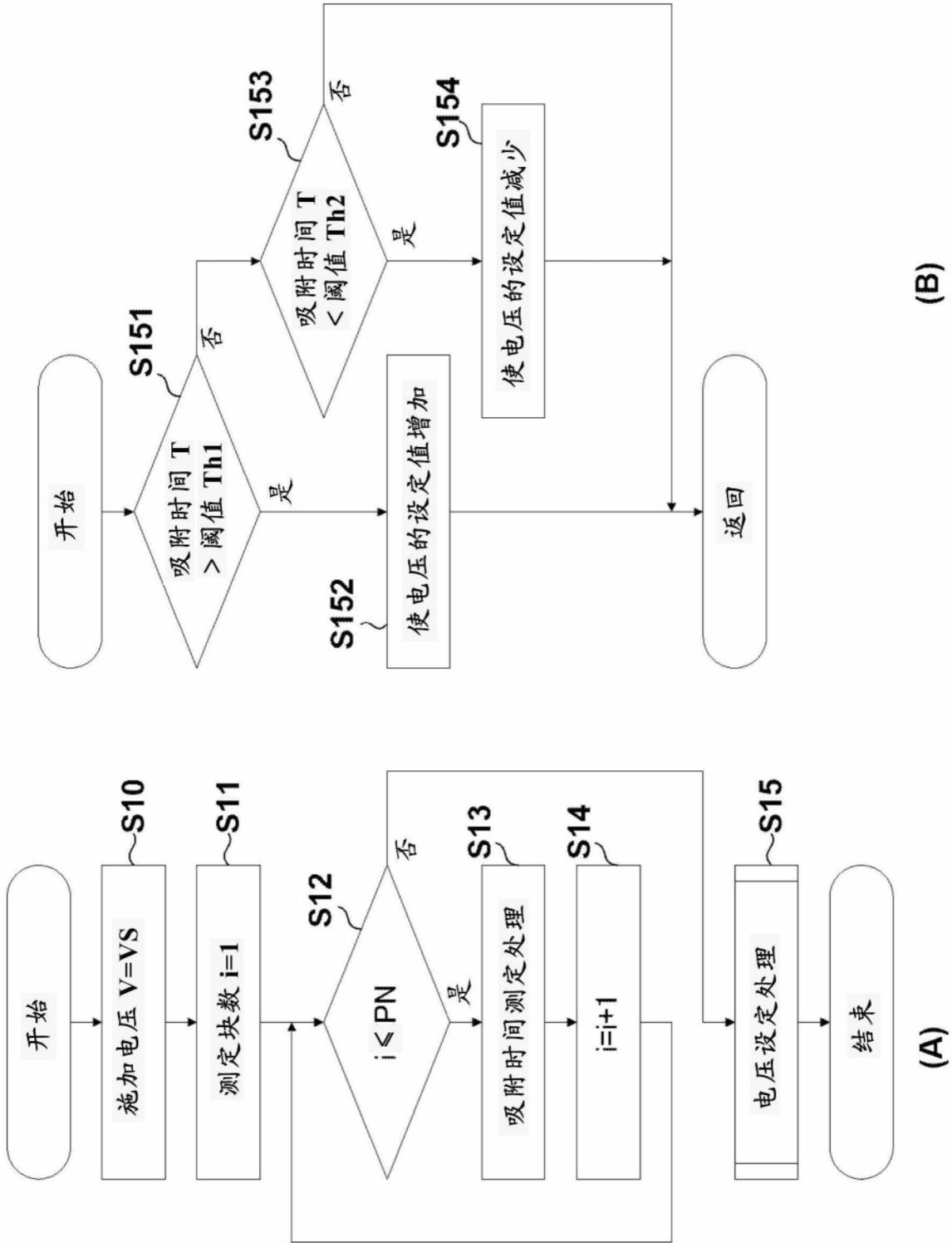


图8

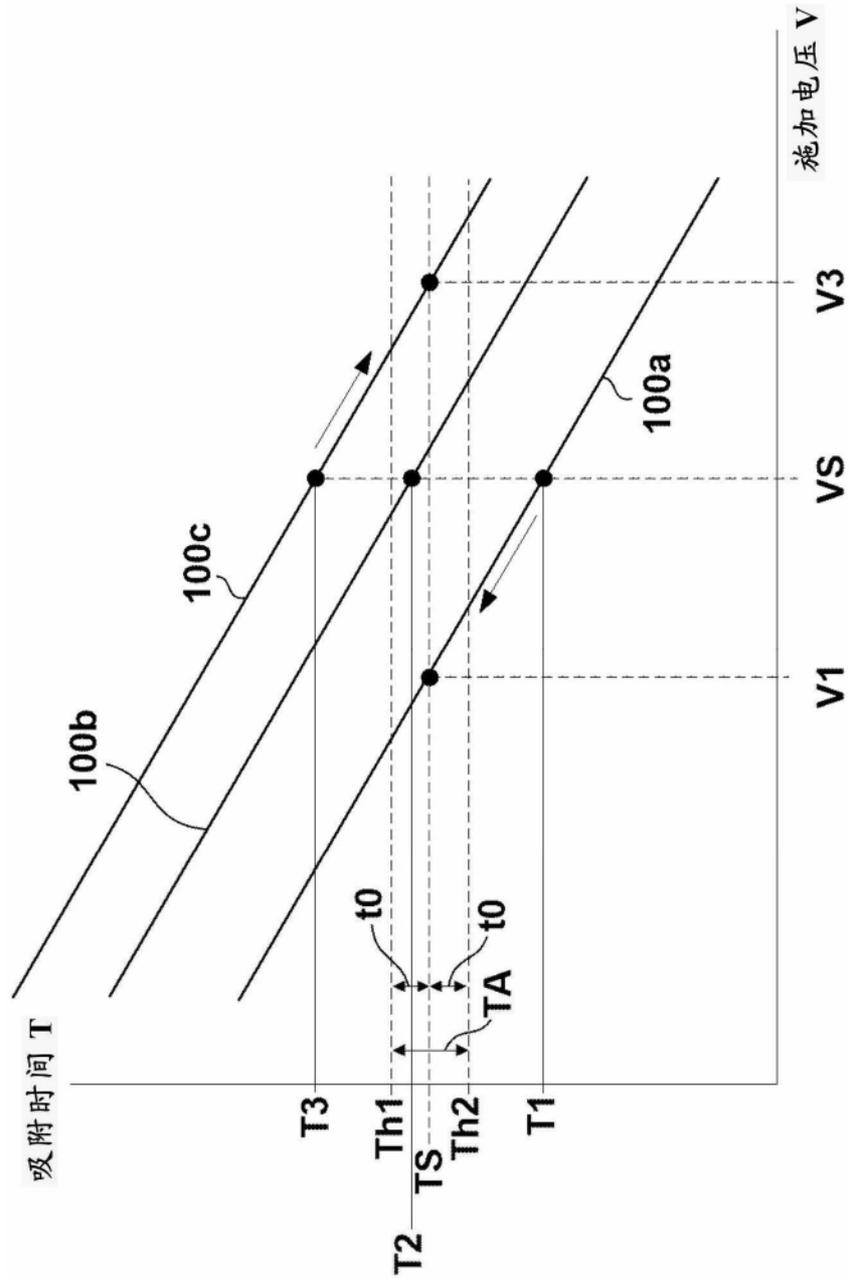


图9

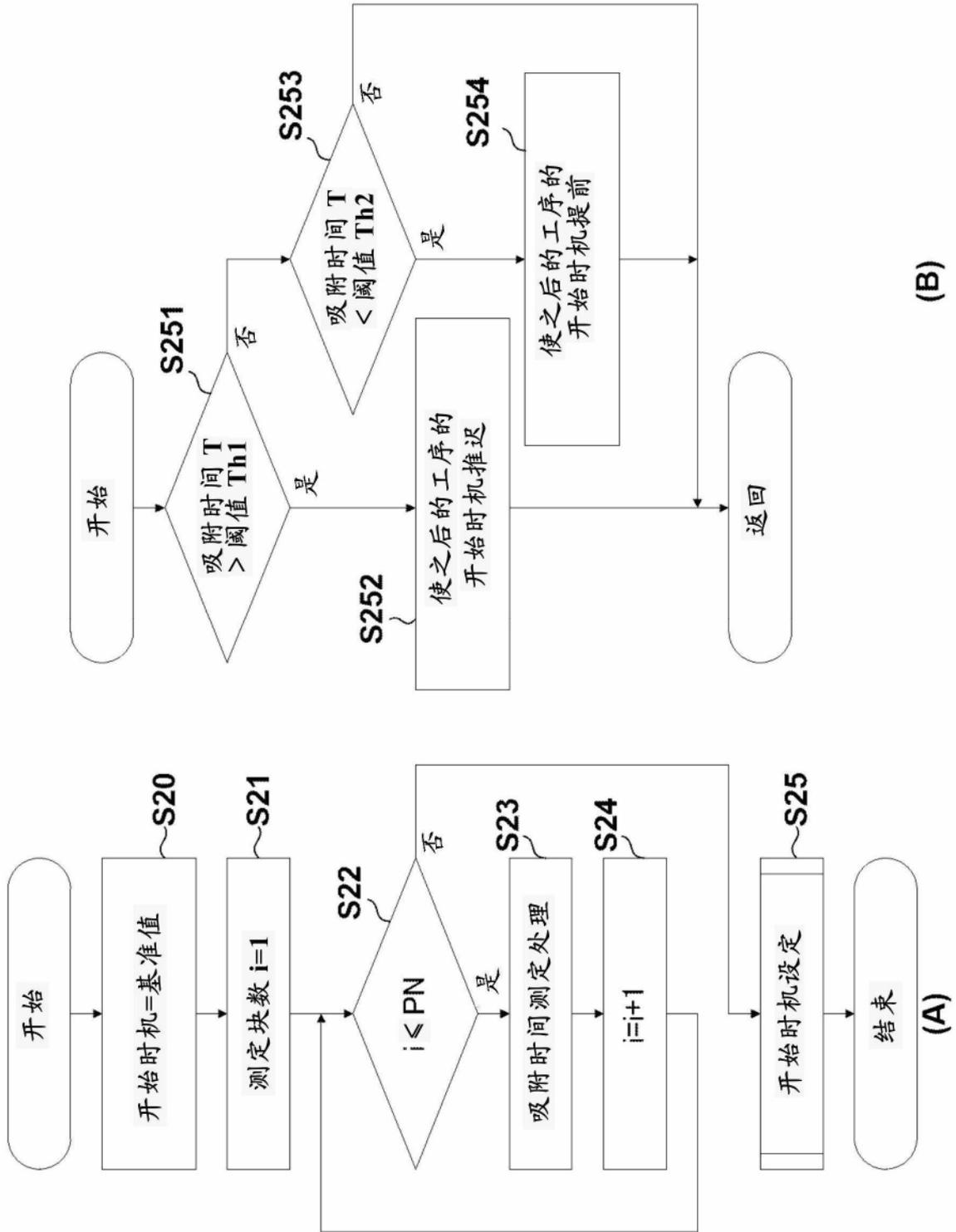


图10

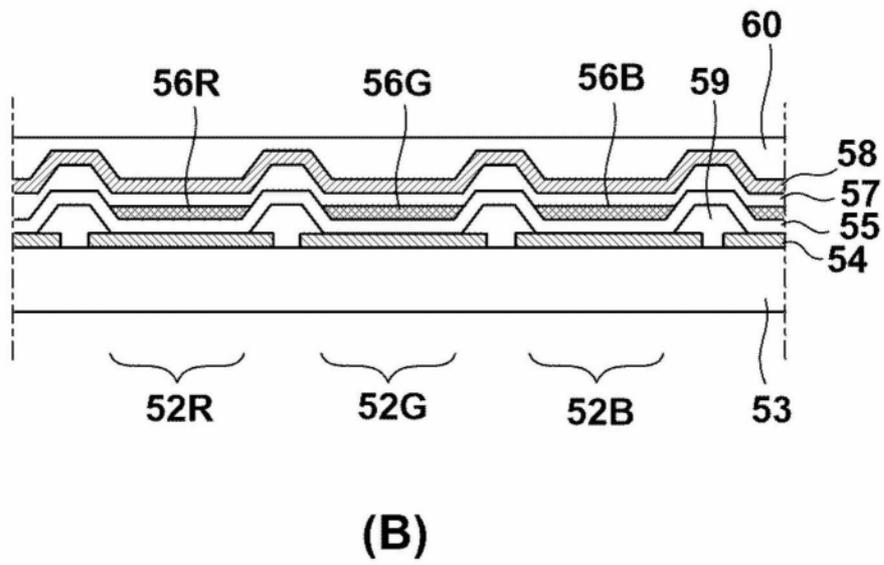
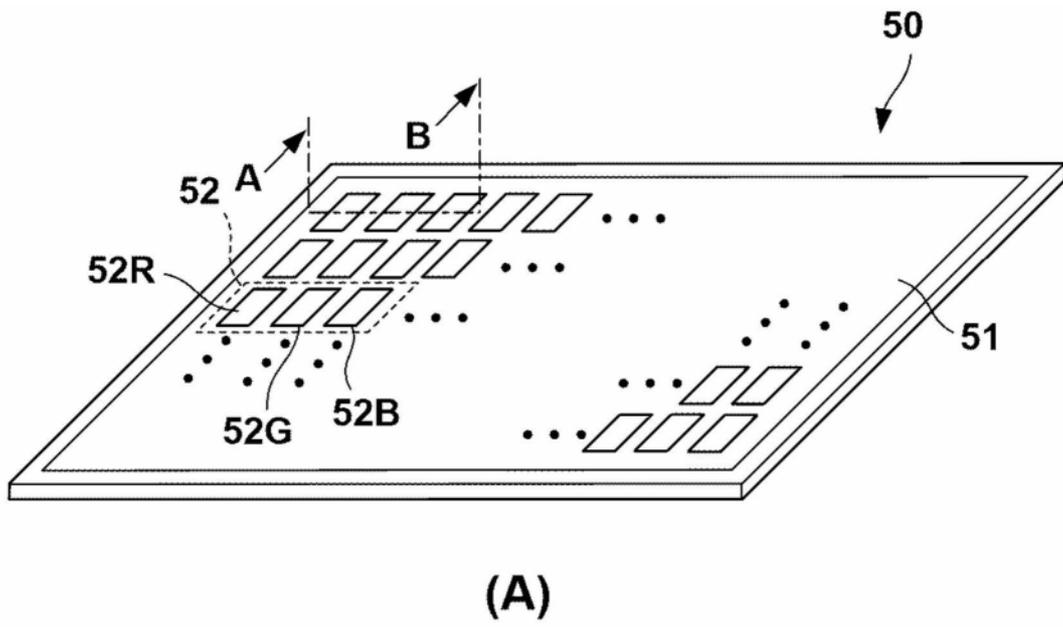


图11