

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ H01L 21/28	(45) 공고일자 1999년 12월 15일	(11) 등록번호 10-0235960
(21) 출원번호 10-1996-0049391	(24) 등록일자 1999년 09월 29일	(65) 공개번호 특 1998-0030041
(22) 출원일자 1996년 10월 29일	(43) 공개일자 1998년 07월 25일	

(73) 특허권자	현대전자산업주식회사 김영환
(72) 발명자	경기도 이천시 부발읍 아미리 산 136-1 신동원
(74) 대리인	서울특별시 중랑구 망우 3동 435-9 이정훈, 이권희

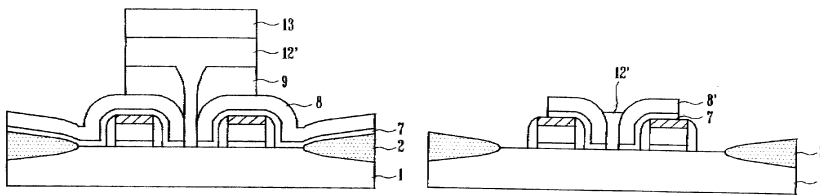
심사관 : 권인희

(54) 반도체소자의 도전 라인 형성방법

요약

본 발명은 반도체 소자의 도전라인 형성방법에 관한 것으로, 포토 공정상 도프 마진(DOF Margin)을 확보하기 위해 평탄화 공정도 필요한데 필요한 평탄화를 얻기 위해서는 디바이스 전체의 단차가 증가하게 된다. 이러한 디바이스 전체의 단차가 증대하는 것을 방지하기 위하여 반도체 소자에서 게이트를 형성하고, 나이트라이드를 증착하고, 도전용 폴리실리콘을 증착하며, 평탄화 공정을 거치고 희생용 폴리실리콘을 이용하여 단차증가 없이 도전라인을 형성하는 방법에 관한 것이다.

대표도



명세서

도면의 간단한 설명

제1도 내지 제7도는 본 발명의 실시예에 따른 반도체소자의 도전라인 형성방법을 도시한 단면도.

* 도면의 주요부분에 대한 부호의 설명

1 : 반도체기판	2 : 필드산화막
3 : 게이트 옥사이드	4 : 게이트
5 : 마스크 옥사이드	6 : 옥사이드 스페이서
7 : 나이트라이드	8 : 폴리실리콘
9 : 절연 산화막	10, 13 : 감광막 패턴
11 : 콘택홀	12 : 희생용 폴리실리콘

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 소자의 도전라인 형성방법에 관한 것으로, 특히 반도체 메모리 소자의 게이트전극 형성 후 그 상부에 형성되는 도전라인의 형성공정시 평탄화증으로인한 소자의 두께 감소를 가능하게 하는 기술

에 관한 것이다.

일반적으로 비트라인 등의 도전라인을 형성할 때에는 이전에 형성된 도전라인 에를들어 게이트와의 층간 절연을 위해서 절연 산화막이 필요하며, 그 외에 포토 공정상의 도프 마진(DOF Margin)을 확보하기 위해서 평탄화 공정도 필요하다. 특히 디바이스가 집적화되어 선평이 감소할수록 평탄화가 이루어지지 않으면, 포토 공정이 불가능하게 된다.

평탄화를 얻기 위해서는 디바이스 전체의 단차가 증가하게 된다.

디바이스 전체의 단차가 증가하게 되면 후속 공정의 공정 마진을 줄이게 되는 데, 특히 메탈 콘택의 경우에는 종횡비인 에스펙트비(Aspect Ratio)가 증가하여 메탈의 피복성이 떨어지는 큰 이유가 되며, 이외에 여러 가지 이유로 디바이스 단차의 증가는 반도체소자의 생산성을 감소시키는 문제점으로 대두된다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 종래기술의 문제점을 해결하기 위하여, 게이트전극을 형성하고 그 표면에 절연막을 형성한 다음, 도전라인용 폴리실리콘을 증착한 다음 후속공정에서 도전배선 마스크를 이용한 사진식각공정으로 패터닝하여 소자의 두께를 감소시킴으로써 반도체소자의 고집적화를 가능하게 하는 반도체소자의 도전라인 형성방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

이상에서 설명한 바와같이 본 발명에 따른 반도체소자의 도전라인 형성방법은, 반도체소자의 도전라인 형성방법에 있어서, 게이트가 구비된 반도체기판 표면에 나이트라이드를 증착하고 그 상부에 제1도전체를 형성하는 공정과, 상기 제1도전체 상부에 평탄화절연막을 형성하는 공정과, 상기 도전라인 콘택마스크를 이용하여 상기 반도체기판을 노출시키는 도전라인 콘택홀을 형성하는 공정과, 상기 콘택홀을 매립하는 제2도전체를 형성하는 공정과, 상기 제2도전체 상부에 도전라인 마스크를 이용한 노광 및 현상공정으로 감광막패턴을 형성하는 공정과, 상기 감광막패턴을 마스크로하여 상기 제2도전체 및 평탄화절연막을 식각하는 공정과, 상기 감광막패턴을 제거하고, 상기 제2도전체와 제1도전체를 전면 건식식각하여 상기 평탄화절연막의 상부면을 노출시키는 공정과, 상기 평탄화절연막을 습식방법으로 제거하고 상기 식각된 제1도전체를 마스크로 하여 상기 나이트라이드를 식각해 도전라인을 형성하는 공정을 포함하는 것을 제1특징으로 한다.

또한, 이상의 목적을 달성하기 위해 본 발명에 따른 반도체소자의 도전라인 형성방법은, 반도체소자의 도전라인 형성방법에 있어서, 게이트가 구비된 반도체기판 표면에 나이트라이드를 증착하고 그 상부에 비트라인용 폴리실리콘을 형성하는 공정과, 상기 비트라인용 폴리실리콘 상부에 평탄화절연막을 형성하는 공정과, 상기 비트라인용 콘택마스크를 이용하여 상기 반도체기판을 노출시키는 비트라인 콘택홀을 형성하는 공정과, 상기 콘택홀을 매립하는 희생용 폴리실리콘을 형성하는 공정과, 상기 희생용 폴리실리콘 상부에 비트라인 마스크를 이용한 노광 및 현상공정으로 감광막패턴을 형성하는 공정과, 상기 감광막패턴을 마스크로하여 상기 희생용 폴리실리콘을 식각하고 상기 감광막패턴을 제거하는 공정과, 상기 식각된 희생용 폴리실리콘을 마스크로하여 상기 평탄화절연막을 식각하는 공정과, 상기 식각된 평탄화절연막을 식각장벽으로 하여 상기 희생용 폴리실리콘과 비트라인용 폴리실리콘을 전면 건식식각해 상기 평탄화절연막의 상부면을 노출시키는 공정과, 상기 평탄화절연막을 습식방법으로 제거하고 상기 식각된 비트라인용 폴리실리콘을 마스크로 하여 상기 나이트라이드를 식각해 비트라인을 형성하는 공정을 포함하는 것을 제2특징으로 한다.

이하, 첨부된 도면을 참조하여 본 발명을 상세히 설명하기로 한다.

제1도 내지 제7도는 발명의 실시예에 따른 반도체소자의 도전라인 형성방법을 도시한 단면도이다.

먼저, 반도체 기판(1)위에 소자분리(Isolation)공정을 통해서 필드산화막(2)을 형성하고 ;게이트 옥사이드(3), 게이트용 폴리실리콘, 마스크 옥사이드(5)등을 증착한 후, 게이트 마스크를 이용한 식각공정으로 일정간격 이격된 게이트(4)를 형성하고, 게이트(4)의 측벽에 게이트 옥사이드 스페이서(6)를 형성한 다음, 반도체 기판(1)으로 불순물을 주입하여 소오스/드레인용 확산영역(도시안됨)을 형성한다.(제1도)

그리고, 전체적으로 나이트라이드(7), 비트라인용 폴리실리콘(8)을 증착하고, 그 상부에 평탄화절연막인 절연 산화막(9)을 형성한 다음 평탄화 식각한 후, 그 상부에 비트라인 콘택 마스크용 감광막 패턴(10)을 형성한다.

이 때, 상기 절연 산화막(9)은 BPSG(Boro Phospho Silicat Glass)를 이용할 수 있으며, 상기 나이트라이드(7)를 증착하기 전에 옥사이드(도시안됨)를 증착하여 나이트라이드(7)에 의해서 트랜지스터의 특성이 열화되는 현상을 방지할 수도 있다.

참고로, 상기한 공정에서 나이트라이드(9) 상부에 도전라인용 폴리실리콘(8)을 증착하지 않고 콘택 공정을 진행하게 되면 자기 정렬 콘택(SAC)의 일종인 나이트라이드 베리어 SAC에 적용되는 일반적인 공정단계가 된다.(제2도)

그 다음, 상기 감광막 패턴(10)을 마스크로 이용하여 콘택지역의 절연 산화막(9), 비트라인용 폴리실리콘(8), 나이트라이드(7)를 순차적으로 식각함으로써 반도체 기판(1)을 노출시키는 비트라인용 콘택홀(11)을 형성한 다음, 상기 감광막 패턴(10)을 제거한다.

이 때, 상기 나이트라이드(7) 증착전에 옥사이드(도시안됨)를 증착한 경우는 옥사이드까지 식각하면 된다.(제3도)

그 다음, 전체표면상부에 희생용 폴리실리콘(12)을 증착하고, 그 상부에 감광막을 도포한 후, 도전라인용 마스크를 이용한 노광 및 현상공정으로 감광막 패턴(13)을 형성한다.(제4도)

그리고, 상기 감광막 패턴(13)을 마스크로 이용하여 노출된 희생용 폴리실리콘(12)을 식각하여 희생용 폴리실리콘 패턴(12')을 형성한다.(제5도)

그리고, 상기 노출된 절연산화막(9)을 식각한 상태를 도시한 것이다.

참고로, 상기 감광막 패턴(13)을 제거하고, 희생용 폴리실리콘 패턴(12')을 식각 장벽으로 사용하여 하부의 절연 산화막(9)을 식각하는 것도 가능하다.(제6도)

제7도는 상기 감광막 패턴(13)을 제거하고, 상기 절연 산화막(9)을 식각장벽으로 하여 희생용 폴리실리콘 패턴(12')과 비트라인용 폴리실리콘(8)을 전면 건식 식각함으로써 비트라인(8')을 형성하고, 상기 절연 산화막(9)을 습식 식각으로 제거하고, 상기 비트라인(8')을 식각 장벽으로 이용하여 상기 나이트라이드(7)를 건식 식각한다.

여기서, 상기 나이트라이드(7)는 제거하지 않아도 무방하며 제거하지 않는 경우에는 후속공정인 도전라인 콘택공정에서 나이트라이드 베리어 SAC에 이용될 수 있다.(제7도)

아울러, 본 발명의 다른 실시예는 저장전극이나 금속배선의 형성시 실시하는 것이다.

발명의 효과

상기한 바와 같이 본 발명에 따른 반도체소자의 도전라인 형성방법은, 평탄화층에 의한 소자의 두께 감소를 시현함으로써 후속공정에 공정마진을 용이하게 확보할 수 있으며 소자의 고집적화를 가능하게 하는 효과를 갖는다.

(57) 청구의 범위

청구항 1

반도체소자의 도전라인 형성방법에 있어서, 게이트가 구비된 반도체기판 표면에 나이트라이드를 증착하고 그 상부에 제1도전체를 형성하는 공정과, 상기 제1도전체 상부에 평탄화절연막을 형성하는 공정과, 상기 도전라인 콘택마스크를 이용하여 상기 반도체기판을 노출시키는 도전라인 콘택홀을 형성하는 공정과, 상기 콘택홀을 매립하는 제2도전체를 형성하는 공정과, 상기 제2도전체 상부에 도전라인 마스크를 이용한 노광 및 현상공정으로 감광막패턴을 형성하는 공정과, 상기 감광막패턴을 마스크로하여 상기 제2도전체 및 평탄화절연막을 식각하는 공정과, 상기 감광막패턴을 제거하고, 상기 제2도전체와 제1도전체를 전면 건식식각하여 상기 평탄화절연막을 노출시키는 공정과, 상기 평탄화절연막을 습식방법으로 제거하고 상기 식각된 제1도전체를 마스크로 하여 상기 나이트라이드를 식각해 도전라인을 형성하는 공정을 포함하는 반도체소자의 도전라인 형성방법.

청구항 2

상기 제1항에 있어서, 상기 나이트라이드는 그 하부에 옥사이드가 구비되는 적층구조로 구비되는 것을 특징으로 하는 반도체소자의 도전라인 형성방법.

청구항 3

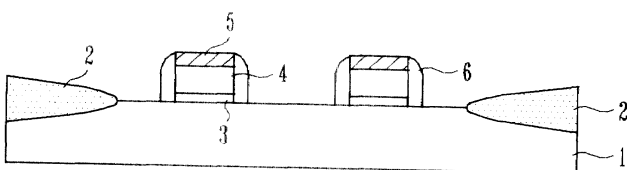
반도체소자의 도전라인 형성방법에 있어서, 게이트가 구비된 반도체기판 표면에 나이트라이드를 증착하고 그 상부에 비트라인용 폴리실리콘을 형성하는 공정과, 상기 비트라인용 폴리실리콘 상부에 평탄화절연막을 형성하는 공정과, 상기 비트라인용 콘택마스크를 이용하여 상기 반도체기판을 노출시키는 비트라인 콘택홀을 형성하는 공정과, 상기 콘택홀을 매립하는 희생용 폴리실리콘을 형성하는 공정과, 상기 희생용 폴리실리콘 상부에 비트라인 마스크를 이용한 노광 및 현상공정으로 감광막패턴을 형성하는 공정과, 상기 감광막패턴을 마스크로하여 상기 희생용 폴리실리콘을 식각하고 상기 감광막패턴을 제거하는 공정과, 상기 식각된 희생용 폴리실리콘을 마스크로하여 상기 평탄화절연막을 식각하는 공정과, 상기 식각된 평탄화절연막을 식각장벽으로 하여 상기 희생용 폴리실리콘과 비트라인용 폴리실리콘을 전면 건식식각해 상기 평탄화절연막의 상부면을 노출시키는 공정과, 상기 평탄화절연막을 습식방법으로 제거하고 상기 식각된 비트라인용 폴리실리콘을 마스크로 하여 상기 나이트라이드를 식각해 비트라인을 형성하는 공정을 포함하는 반도체소자의 도전라인 형성방법.

청구항 4

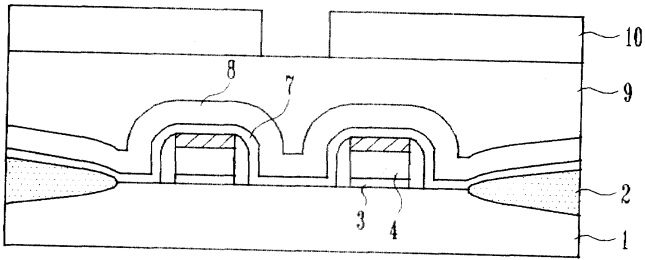
상기 제3항에 있어서, 상기 나이트라이드는 그 하부에 옥사이드가 구비된 적층구조로 형성되는 것을 특징으로 하는 반도체소자의 도전라인 형성방법.

도면

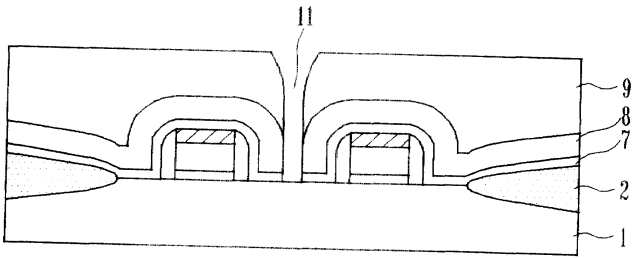
도면1



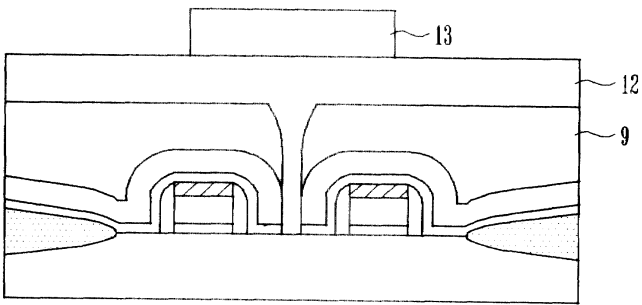
도면2



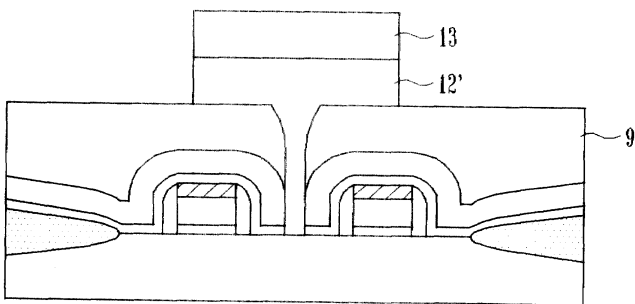
도면3



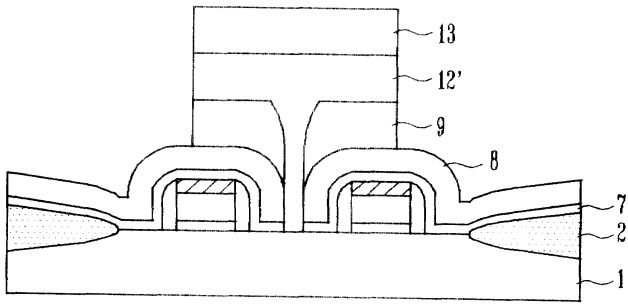
도면4



도면5



도면6



도면7

