

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4082507号
(P4082507)

(45) 発行日 平成20年4月30日(2008.4.30)

(24) 登録日 平成20年2月22日(2008.2.22)

| | | | | | |
|---------------|--------------|------------------|-------------|------|---|
| (51) Int. Cl. | | F I | | | |
| H03L | 7/089 | (2006.01) | H03L | 7/08 | D |
| H03L | 7/093 | (2006.01) | H03L | 7/08 | E |

請求項の数 6 (全 13 頁)

| | | | |
|-----------|------------------------------|-----------|---------------------|
| (21) 出願番号 | 特願2003-277931 (P2003-277931) | (73) 特許権者 | 000005049 |
| (22) 出願日 | 平成15年7月22日(2003.7.22) | | シャープ株式会社 |
| (65) 公開番号 | 特開2005-45562 (P2005-45562A) | | 大阪府大阪市阿倍野区長池町22番22号 |
| (43) 公開日 | 平成17年2月17日(2005.2.17) | (74) 代理人 | 100078282 |
| 審査請求日 | 平成17年8月10日(2005.8.10) | | 弁理士 山本 秀策 |
| | | (74) 代理人 | 100062409 |
| | | | 弁理士 安村 高明 |
| | | (74) 代理人 | 100107489 |
| | | | 弁理士 大塩 竹志 |
| | | (72) 発明者 | アルベルト アダン |
| | | | 大阪府大阪市阿倍野区長池町22番22号 |
| | | | シャープ株式会社内 |
| | | 審査官 | 甲斐 哲雄 |

最終頁に続く

(54) 【発明の名称】 位相同期回路

(57) 【特許請求の範囲】

【請求項1】

基準クロック信号 R E F とクロック信号 C L K とを受け取り、該基準クロック信号 R E F の位相と該クロック信号 C L K の位相とを比較することにより、該基準クロック信号 R E F と該クロック信号 C L K との位相差 に応じた位相差信号を出力する位相比較器と、

前記位相差信号に応じた出力電流 I_o を出力するチャージポンプ回路と、

前記出力電流 I_o を出力電圧に変換するループフィルタと、

前記出力電圧 I_o に応じた周波数 f_o を有する信号をクロック信号 C L K ' として出力する電圧制御発振器と、

前記クロック信号 C L K ' の周波数 f_o を N (N は任意の自然数) で除算することによって得られる周波数 f_o / N を有する信号をクロック信号 C L K として前記位相比較器に供給する $1 / N$ 分周器と

を備えた位相同期回路であって、

前記位相比較器と前記チャージポンプ回路とは、 I_o - 特性において、 $K_{p2} > K_{p1}$ を満たすように構成されており、

ここで、 K_{p1} は、 $| \dots | > \dots$ の場合における傾き K_p を示し、 K_{p2} は、 $| \dots | \dots$ の場合における傾き K_p を示し、傾き K_p は、 $K_p = d I_o / d \dots$ によって定義されており、 \dots は、所定の位相誤差を示す定数であり、

前記位相比較器は、前記位相差信号として U P 信号と D N 信号とを前記チャージポンプ

回路に出力し、

前記位相比較器は、

前記位相差に相当する遅延時間 T_p と、該遅延時間 T_p が小さくなるにつれて該遅延時間 T_p よりも大きくなるか等しいように可変の遅延時間 T_d とを決定する手段と、

前記基準クロック信号 REF の位相より前記クロック信号 CLK の位相が遅れている場合には、前記位相差に相当する遅延時間 T_p と前記可変の遅延時間 T_d との和に等しいパルス幅を有する UP 信号を生成する手段と、

前記基準クロック信号 REF の位相より前記クロック信号 CLK の位相が進んでいる場合には、前記位相差に相当する遅延時間 T_p と前記可変の遅延時間 T_d との和に等しいパルス幅を有する DN 信号を生成する手段と

を含む、位相同期回路。

【請求項 2】

前記 UP 信号を生成する手段は、

前記基準クロック信号 REF を受け取り、該基準クロック信号 REF の立ち上がりエッジにตอบสนองして前記 UP 信号を立ち上げ、リセット信号 R にตอบสนองして前記 UP 信号を立ち下げる第 1 のフリップフロップを含み、

前記 DN 信号を生成する手段は、

前記クロック信号 CLK を受け取り、該クロック信号 CLK の立ち上がりエッジにตอบสนองして前記 DN 信号を立ち上げ、リセット信号 R にตอบสนองして前記 DN 信号を立ち下げる第 2 のフリップフロップを含み、

前記可変の遅延時間 T_d を決定する手段は、前記第 1 のフリップフロップと前記第 2 のフリップフロップとに入力されるリセット信号 R の遅延時間を可変に調整可能な可変遅延回路を含む、請求項 1 に記載の位相同期回路。

【請求項 3】

前記可変遅延回路は、

前記リセット信号を遅延させるように動作する可変抵抗と、

前記 UP 信号のパルス幅と前記 DN 信号のパルス幅とに応じて前記可変抵抗の値を制御する可変抵抗制御部と

を含む、請求項 2 に記載の位相同期回路。

【請求項 4】

前記可変抵抗は、前記 UP 信号および前記 DN 信号のそれぞれが入力される一対の MOS トランジスタを含み、

前記可変抵抗制御部は、前記各 MOS トランジスタのチャンネル抵抗の値を制御することにより、前記可変抵抗の値を制御する、請求項 3 に記載の位相同期回路。

【請求項 5】

前記可変抵抗制御部は、前記 UP 信号および前記 DN 信号がそれぞれ入力される NOR ゲートと、該 NOR ゲートの出力が与えられる第 1 インバータと、該第 1 インバータの出力が与えられる第 2 インバータとを備え、該第 1 インバータおよび該第 2 インバータの出力が前記各 MOS トランジスタのゲートに与えられる請求項 4 に記載の位相同期回路。

【請求項 6】

前記 MOS トランジスタのゲートは電圧 V_x によって制御され、電圧 V_x は、

【数 1】

$$V_x = \begin{cases} V_{X0} & \text{ただし、}(UP + DN) \leq V_{X0} \text{ の場合} \\ V_{X0} + NOT(UP + DN) & \text{ただし、}(UP + DN) > V_{X0} \text{ の場合} \end{cases}$$

10

20

30

40

50

によって表され、

ここで、UPは前記UP信号の電圧値を示し、DNは前記DN信号の電圧値を示し、 V_{x0} は前記第2インバータの論理が反転する電圧(アナログ値)を示し、 V_{x0} と比較される $(UP + DN)$ は前記UP信号の電圧値(デジタル値)と前記DN信号の電圧値(デジタル値)とをアナログ値として加算したものを示し、NOTバー $(UP + DN)$ は前記NORゲートの論理演算を示すアナログ値である、請求項5に記載の位相同期回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、位相同期回路に関する。特に、本発明は、通信デバイス中の周波数シンセサイザーとして好適に使用される位相同期回路に関する。

【背景技術】

【0002】

従来、2つのクロック信号を同期させる回路として位相同期回路(Phase Locked Loop; PLL)が知られている。

【0003】

非特許文献1は、通信デバイスに好適に使用される代表的な位相同期回路を記載している。

【0004】

特許文献2は、非リニアな I_0 -特性を実現する位相同期回路を記載している。

【0005】

特許文献3は、リニアな I_0 -特性を実現する位相同期回路を記載している。

【0006】

特許文献4は、UP信号のパルス幅とDN信号のパルス幅とを制御可能な位相同期回路を記載している。

【非特許文献1】S. Lo et al., "A 1.8V/3.5mA 1.1GHz/300MHz CMOS Dual PLL Frequency Synthesizer IC for RF Communications", Proc. IEEE 1998 Custom Integrated Circuits Conference

【特許文献1】特開平8-307258号公報

【特許文献2】特開平6-85664号公報

【特許文献3】特開2000-349626号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかし、いずれの従来技術においても、ロック状態における位相ノイズを低減することは考慮されていなかった。

【0008】

本発明は、上記課題に鑑みてなされたものであり、ロック状態における位相ノイズを低減することが可能な位相同期回路を提供することを目的とする。

【課題を解決するための手段】

【0009】

本発明の位相同期回路は、基準クロック信号REFとクロック信号CLKとを受け取り、該基準クロック信号REFの位相と該クロック信号CLKの位相とを比較することにより、該基準クロック信号REFと該クロック信号CLKとの位相差に応じた位相差信号を出力する位相比較器と、前記位相差信号に応じた出力電流 I_0 を出力するチャージポンプ回路と、前記出力電流 I_0 を出力電圧に変換するループフィルタと、前記出力電圧 I_0 に応じた周波数 f_0 を有する信号をクロック信号CLK'として出力する電圧制御発振

10

20

30

40

50

器と、前記クロック信号 CLK' の周波数 f_0 を N (N は任意の自然数) で除算することによって得られる周波数 f_0/N を有する信号をクロック信号 CLK として前記位相比較器に供給する $1/N$ 分周器とを備えた位相同期回路であって、前記位相比較器と前記チャージポンプ回路とは、 I_0 - 特性において、 $K_{p2} > K_{p1}$ を満たすように構成されており、ここで、 K_{p1} は、 $| \quad | > \quad$ の場合における傾き K_p を示し、 K_{p2} は、 $| \quad | \quad$ の場合における傾き K_p を示し、傾き K_p は、 $K_p = dI_0 / d$ によって定義されており、 \quad は、所定の位相誤差を示す定数であり、前記位相比較器は、前記位相差信号として UP 信号と DN 信号とを前記チャージポンプ回路に出力し、前記位相比較器は、前記位相差 \quad に相当する遅延時間 T_p と、該遅延時間 T_p が小さくなるにつれて該遅延時間 T_p よりも大きくなるか等しいように可変の遅延時間 T_d とを決定する手段と、前記基準クロック信号 REF の位相より前記クロック信号 CLK の位相が遅れている場合には、前記位相差 \quad に相当する遅延時間 T_p と前記可変の遅延時間 T_d との和に等しいパルス幅を有する UP 信号を生成する手段と、前記基準クロック信号 REF の位相より前記クロック信号 CLK の位相が進んでいる場合には、前記位相差 \quad に相当する遅延時間 T_p と前記可変の遅延時間 T_d との和に等しいパルス幅を有する DN 信号を生成する手段とを含み、これにより上記目的が達成される。

10

【0010】

前記 UP 信号を生成する手段は、前記基準クロック信号 REF を受け取り、該基準クロック信号 REF の立ち上がりエッジにตอบสนองして前記 UP 信号を立ち上げ、リセット信号 R にตอบสนองして前記 UP 信号を立ち下げる第1のフリップフロップを含み、前記 DN 信号を生成する手段は、前記クロック信号 CLK を受け取り、該クロック信号 CLK の立ち上がりエッジにตอบสนองして前記 DN 信号を立ち上げ、リセット信号 R にตอบสนองして前記 DN 信号を立ち下げる第2のフリップフロップを含み、前記可変の遅延時間 T_d を決定する手段は、前記第1のフリップフロップと前記第2のフリップフロップとに入力されるリセット信号 R の遅延時間を可変に調整可能な可変遅延回路を含んでいてもよい。

20

【0011】

前記可変遅延回路は、前記リセット信号を遅延させるように動作する可変抵抗と、前記 UP 信号のパルス幅と前記 DN 信号のパルス幅とに応じて前記可変抵抗の値を制御する可変抵抗制御部とを含んでいてもよい。

30

【0012】

前記可変抵抗は、前記 UP 信号および前記 DN 信号のそれぞれが入力される一対の MOS トランジスタを含み、前記可変抵抗制御部は、前記各 MOS トランジスタのチャンネル抵抗の値を制御することにより、前記可変抵抗の値を制御されてもよい。

【0013】

前記可変抵抗制御部は、前記 UP 信号および前記 DN 信号がそれぞれ入力される NOR ゲートと、該 NOR ゲートの出力が与えられる第1インバータと、該第1インバータの出力が与えられる第2インバータとを備え、該第1インバータおよび該第2インバータの出力が前記各 MOS トランジスタのゲートに与えられてもよい。

40

【0014】

前記 MOS トランジスタのゲートは電圧 V_x によって制御され、電圧 V_x は、

【数 2】

$$V_X = \begin{cases} V_{X0} & \text{ただし、}(UP + DN) \leq V_{X0} \text{ の場合} \\ V_{X0} + \overline{NOT(UP + DN)} & \text{ただし、}(UP + DN) > V_{X0} \text{ の場合} \end{cases}$$

によって表されてもよく、

ここで、UP は前記 UP 信号の電圧値を示し、DN は前記 DN 信号の電圧値を示し、 V_{X0} は前記第 2 インバータの論理が反転する電圧（アナログ値）を示し、 V_{X0} と比較される $(UP + DN)$ は前記 UP 信号の電圧値（デジタル値）と前記 DN 信号の電圧値（デジタル値）とをアナログ値として加算したものを示し、NOT バー（ $UP + DN$ ）は前記 NOR ゲートの論理演算を示すアナログ値である。

10

【発明の効果】

【0016】

本発明によれば、ロック状態における位相ノイズを低減することが可能な位相同期回路を提供することができる。

20

【発明を実施するための最良の形態】

【0017】

以下、図面を参照しながら本発明の実施の形態を説明する。

【0018】

図 1 は、本発明の実施の形態の位相同期回路 10 の構成の一例を示す。

【0019】

位相同期回路 10 は、基準クロック信号 REF の位相とクロック信号 CLK の位相とを一致させるように動作する。基準クロック信号 REF の位相とクロック信号 CLK の位相とが一致すると同期が確定する。一般に、同期が確定した状態を位相同期回路 10 がロックした状態という。

30

【0020】

位相同期回路 10 は、位相比較器 11 と、チャージポンプ回路 12 と、ループフィルタ 13 と、電圧制御発振器（Voltage Controlled Oscillator；以下、VCO という）14 と、 $1/N$ 分周器 15 とを含む。

【0021】

位相比較器 11 は、基準クロック信号 REF とクロック信号 CLK とを受け取り、基準クロック信号 REF の位相とクロック信号 CLK の位相とを比較することにより、基準クロック信号 REF とクロック信号 CLK との位相差 に応じた位相差信号をチャージポンプ回路 12 に出力する。

【0022】

位相比較器 11 は、基準クロック信号 REF の位相よりクロック信号 CLK の位相が遅れている場合には位相差信号として UP 信号を出力し、基準クロック信号 REF の位相よりクロック信号 CLK の位相が進んでいる場合には位相差信号として DN 信号を出力する。UP 信号のパルス幅と DN 信号のパルス幅とは、位相差 に応じて決定される。

40

【0023】

チャージポンプ回路 12 は、位相差信号（UP 信号、DN 信号）に応じた出力電流 I_o をループフィルタ 13 に出力する。

【0024】

ループフィルタ 13 は、チャージポンプ回路 12 から出力された出力電流 I_o を出力電圧に変換する。このような変換は、例えば、出力電流 I_o を積分し、低域通過フィルタで

50

不要な高周波成分や雑音を除去することによって行われる。

【0025】

VCO14は、ループフィルタ13から出力された出力電圧に応じた周波数 f_0 を有する信号をクロック信号CLK'として出力する。

【0026】

1/N分周器15は、クロック信号CLK'の周波数 f_0 をN(Nは任意の自然数)で除算することによって得られる周波数 f_0/N を有する信号をクロック信号CLKとして位相比較器11に供給する。

【0027】

図2は、本発明の位相同期回路10における位相比較器-チャージポンプ回路特性(I_0 -特性)の一例を示す。図2において、 I_0 -特性は、実線で示されている。縦軸 I_0 はチャージポンプ回路12から出力される出力電流を示す。横軸は、位相比較器11によって検出される位相差を示す。

10

【0028】

図2に示される I_0 -特性は、 $| \phi | < \phi_{th}$ の場合における傾き K_p が、 $| \phi | > \phi_{th}$ の場合における傾き K_p より大きいことによって特徴づけられる。ここで、傾き K_p は、 $K_p = dI_0 / d\phi$ によって定義される。 ϕ_{th} は、所定の位相誤差を示す定数である。

【0029】

言い換えると、 $| \phi | > \phi_{th}$ の場合における傾き K_p を K_{p1} とし、 $| \phi | < \phi_{th}$ の場合における傾き K_p を K_{p2} とすると、 $K_{p2} > K_{p1}$ である。

20

【0030】

傾き K_{p1} 、 K_{p2} の値と、傾きが K_{p2} となる ϕ の範囲(すなわち、 $-\phi_{th} < \phi < \phi_{th}$)とは、同期が不安定になったり、寄生振動により誤ってロックがはずれてしまわないように適切に設計される。

【0031】

位相同期回路10がロック状態にある場合(すなわち、 $\phi = 0$ の場合)には、傾き K_p が大きいことはループゲインが高いことと等価であるから、バンド幅が広いことに対応する。従って、 $\phi = 0$ の場合における傾き K_p が大きいと、ロック状態におけるノイズ伝達係数が低減されることになる。その結果、ロック状態における位相ノイズが低減されることになる。位相同期回路10による位相ノイズの低減効果については、後述する。

30

【0032】

なお、図2に示される例では、 K_{p1} 、 K_{p2} は定数である。しかし、本発明はこれに限定されない。 K_{p1} 、 K_{p2} の少なくとも一方が変数(例えば、 ϕ の関数)であってもよい。 K_{p1} 、 K_{p2} が定数であるか変数であるかによらず、任意の ϕ に対して $K_{p2} > K_{p1}$ という関係が成り立つ限り、そのような I_0 -特性を有する任意の位相同期回路は本発明の範囲に含まれるというべきである。

【0033】

図2に示される I_0 -特性は、例えば、位相比較器11が、図3に示されるパルス幅を有するUP信号、DN信号を生成し、生成されたUP信号、DN信号をチャージポンプ12に出力することによって実現され得る。

40

【0034】

図3は、位相比較器11によって生成されるUP信号、DN信号の波形の一例を示す。

【0035】

基準クロック信号REFの位相よりクロック信号CLKの位相が遅れている場合には、位相比較器11は、位相差 ϕ に相当する遅延時間 T_p と可変の遅延時間 T_d との和に等しいパルス幅を有するUP信号を生成する(図3(a))。基準クロック信号REFの位相よりクロック信号CLKの位相が進んでいる場合には、位相比較器11は、位相差 ϕ に相当する遅延時間 T_p と可変の遅延時間 T_d との和に等しいパルス幅を有するDN信号を生成する(図3(b))。ここで、位相比較器11は、位相差 ϕ に相当する遅延時間

50

T_p が小さくなるにつれて可変の遅延時間 T_d が大きくなるか等しくなるように可変の遅延時間 T_d を決定する。可変の遅延時間 T_d は、例えば、位相差 ϕ に相当する遅延時間 T_p に反比例するように決定される。

【 0 0 3 6 】

このように可変の遅延時間 T_d を決定することにより、位相差 ϕ が 0 に近づくにつれて（すなわち、位相同期回路 10 がロック状態に近づくにつれて）、可変の遅延時間 T_d は大きくなるか等しくなる。これにより、 $\phi = 0$ の近傍領域における傾き K_p をその近傍領域以外の領域における傾き K_p よりも大きくすることができる。 $\phi = 0$ の近傍領域では、可変の遅延時間 T_d に相当する分だけ出力電流 I_o が増加することになるからである。

10

【 0 0 3 7 】

図 3 に示される UP 信号は、例えば、基準クロック信号 REF の立ち上がりエッジにตอบสนองして UP 信号を立ち上げ、位相差 ϕ に相当する遅延時間 T_p の経過後、可変の遅延時間 T_d に相当する分だけ UP 信号の立ち下りタイミングを遅延させることによって生成され得る。

【 0 0 3 8 】

図 3 に示される DN 信号は、例えば、クロック信号 CLK の立ち上がりエッジにตอบสนองして DN 信号を立ち上げ、位相差 ϕ に相当する遅延時間 T_p の経過後、可変の遅延時間 T_d に相当する分だけ DN 信号の立ち下りタイミングを遅延させることによって生成され得る。

20

【 0 0 3 9 】

なお、図 3 に示される例では、位相比較器 11 によって生成される UP 信号、DN 信号のパルス幅を調整することにより、 $K_{p2} > K_{p1}$ という関係を満たすことを説明した。しかし、本発明は、これに限定されない。 $K_{p2} > K_{p1}$ という関係を満たすように構成された位相比較器 11 とチャージポンプ回路 12 とを含む限り、任意の位相同期回路 10 は本発明の範囲に含まれるというべきである。

【 0 0 4 0 】

以下、本発明の位相同期回路のインプリメンテーションの一例として、CMOS 技術を用いてインプリメントされた位相同期回路の構成を説明する。しかし、本発明はこれに限定されない。本発明の位相同期回路は、半導体集積回路に関する任意のプロセスを用いてインプリメントされ得る。

30

【 0 0 4 1 】

図 4 は、図 3 に示される位相比較器 11、チャージポンプ回路 12 の具体的な回路構成の例を示す。図 4 に示される回路構成は、図 2 に示される位相比較器 - チャージポンプ回路特性 ($I_o - \phi$ 特性) を実現する。

【 0 0 4 2 】

位相比較器 11 は、フリップフロップ 41 と、フリップフロップ 42 と、可変遅延回路 43 とを含む。フリップフロップ 41、42 は、例えば、D タイプのフリップフロップである。

【 0 0 4 3 】

フリップフロップ 41 は、基準クロック信号 REF を受け取り、基準クロック信号 REF の立ち上がりエッジにตอบสนองして UP 信号を立ち上げ、リセット信号 R にตอบสนองして UP 信号を立ち下げる。

40

【 0 0 4 4 】

フリップフロップ 42 は、クロック信号 CLK を受け取り、クロック信号 CLK の立ち上がりエッジにตอบสนองして DN 信号を立ち上げ、リセット信号 R にตอบสนองして DN 信号を立ち下げる。

【 0 0 4 5 】

可変遅延回路 43 は、リセット信号 R の遅延時間（リセットパス遅延）を可変に調整可能なように構成されている。リセット信号 R は、フリップフロップ 41、42 のリセット

50

端子に入力される。

【 0 0 4 6 】

可変遅延回路 4 3 は、リセット信号 R を遅延させるように動作する可変抵抗 4 5 と、UP 信号のパルス幅と DN 信号のパルス幅とに応じて可変抵抗 4 5 の値を制御する可変抵抗制御部 4 6 とを含む。

【 0 0 4 7 】

リセット信号 R の遅延は、例えば、RC 回路によって実現され得る。図 4 に示される例では、RC 回路は、NMOS トランジスタ Mn (4 5 a、4 5 b) とキャパシタ C (4 5 c、4 5 d) とによって実現されている。可変抵抗制御部 4 6 は、NMOS トランジスタ Mn (4 5 a、4 5 b) のゲート電圧を制御することにより、NMOS トランジスタ Mn (4 5 a、4 5 b) のチャンネル抵抗の値を可変に制御する。この場合、NMOS トランジスタ Mn (4 5 a、4 5 b) のチャンネル抵抗が可変抵抗 4 5 として作用する。

10

【 0 0 4 8 】

図 4 に示される例では、可変抵抗制御部 4 6 は、論理ゲート 4 7、4 8 と、インバータ 4 9 とを含む。

【 0 0 4 9 】

UP 信号と DN 信号とは、論理ゲート 4 7、4 8 を用いてセンシングされる。論理ゲート 4 8 の出力は、ノード X に接続されている。ノード X の電圧 V_x により、PMOS トランジスタ Mn (4 5 a、4 5 b) のゲートが制御される。ノード X の平均電圧は、UP 信号のパルス幅または DN 信号のパルス幅が大きくなるにつれて増加する。

20

【 0 0 5 0 】

ノード X の電圧 V_x は、例えば、(数 3) によって表される。

【 0 0 5 1 】

【 数 3 】

$$V_x = \begin{cases} V_{X0} & \text{ただし、}(UP + DN) \leq V_{X0} \text{ の場合} \\ V_{X0} + \overline{NOT(UP + DN)} & \text{ただし、}(UP + DN) > V_{X0} \text{ の場合} \end{cases}$$

30

(数 3) において、UP は UP 信号の電圧値を示し、DN は DN 信号の電圧値を示す。 V_{X0} と比較される $(UP + DN)$ は、UP 信号の電圧値 (デジタル値) と DN 信号の電圧値 (デジタル値) とをアナログ値として加算したものを示す (V_x 、 V_{X0} がアナログ信号を示すため)。NOT バー ($UP + DN$) は NOR ゲートの論理演算を示すアナログ値 であり、 V_{X0} に加算されるときは通常の足し算をすることになる。

【 0 0 5 2 】

インバータ 4 9 は、 V_x がゼロとならないようにノード X 上の基準電圧 V_{X0} を設定するために使用される。インバータ 4 9 を使用することにより、 $V_{X0} < V_x < V_{dd}$ とすることができる。ここで、 V_{X0} は、インバータ 4 9 の論理が 反転する電圧 (アナログ値) を示し、 V_{dd} は、バイアス回路 4 4 から供給される電源電圧を示す。

40

【 0 0 5 3 】

図 5 は、位相同期回路 1 0 における主要な信号の波形の例を示す。図 5 において、REF は基準クロック信号の波形を示し、CLK はクロック信号の波形を示し、UP は UP 信号の波形を示し、DN は DN 信号の波形を示し、X はノード X 上の電圧 V_x の波形を示す。

50

【 0 0 5 4 】

図 5 は、基準クロック信号 R E F の位相よりクロック信号 C L K の位相が遅延時間 T_p に相当する位相差 δ_{dn} だけ遅れている場合を示している。この場合、位相比較器 1 1 は、基準クロック信号 R E F の立ち上がりエッジにตอบสนองして U P 信号がローレベルからハイレベルに変化し、かつ、リセット信号 R にตอบสนองして U P 信号がハイレベルからローレベルに変化するように U P 信号を生成し、クロック信号 C K L の立ち上がりエッジにตอบสนองして D N 信号がローレベルからハイレベルに変化し、かつ、リセット信号 R にตอบสนองして D N 信号がハイレベルからローレベルに変化するように D N 信号を生成する。

【 0 0 5 5 】

図 5 に示される例では、U P 信号のパルス幅 $T_w (UP)$ は、遅延時間 T_p と D N 信号のパルス幅 $T_w (DN)$ との和として決定される（すなわち、 $T_w (UP) = T_p + T_w (DN)$ ）。

10

【 0 0 5 6 】

基準クロック信号 R E F の位相とクロック信号 C L K の位相とが一致すると、位相同期回路 1 0 はロック状態になる。ロック状態では、U P 信号と D N 信号とは一致し、U P 信号のパルス幅 $T_w (UP)$ と D N 信号のパルス幅 $T_w (DN)$ とは、最小のパルス幅 w に等しくなる（すなわち、 $T_w (UP) = T_w (DN) = w$ ）。

【 0 0 5 7 】

図 5 に示される例では、D N 信号のパルス幅 $T_w (DN)$ は、最小のパルス幅 w と可変のパルス幅 d_n との和として決定される（すなわち、 $T_w (DN) = w + d_n$ ）。

20

【 0 0 5 8 】

可変のパルス幅 d_n は、(数 4) によって表される。

【 0 0 5 9 】

【数 4】

$$\delta_{dn} = k \times C \times R_{MOS}, \quad R_{MOS} \cong \frac{1}{\beta_{MOS} \times (V_X - V_{th})}$$

ここで、

k : 比例定数、

C : コンデンサ 4 5 c、4 5 d の容量

R MOS : 可変抵抗 4 5 の抵抗値

MOS : MOS トランジスタ 4 5 a、4 5 b のコンダクタンスパラメータ (定数)

V_X : ノード X の電圧

V_{th} : MOS トランジスタ 4 5 a、4 5 b のしきい値電圧

なお、基準クロック信号 R E F の位相よりクロック信号 C L K の位相が遅延時間 T_p に相当する位相差 δ_{dn} だけ進んでいる場合にも、位相比較器 1 1 は、基準クロック信号 R E F の位相よりクロック信号 C L K の位相が遅延時間 T_p に相当する位相差 δ_{dn} だけ遅れている場合と同様にして U P 信号と D N 信号とを生成する。すなわち、位相比較器 1 1 は、基準クロック信号 R E F の立ち上がりエッジにตอบสนองして U P 信号がローレベルからハイレベルに変化し、かつ、リセット信号 R にตอบสนองして U P 信号がハイレベルからローレベルに変化するように U P 信号を生成し、クロック信号 C K L の立ち上がりエッジにตอบสนองして D N 信号がローレベルからハイレベルに変化し、かつ、リセット信号 R にตอบสนองして D N 信号がハイレベルからローレベルに変化するように D N 信号を生成する。

30

40

【 0 0 6 0 】

この場合、D N 信号のパルス幅 $T_w (DN)$ は、遅延時間 T_p と U P 信号のパルス幅 $T_w (UP)$ との和として決定される（すなわち、 $T_w (DN) = T_p + T_w (UP)$ ）。U P 信号のパルス幅 $T_w (UP)$ は、最小のパルス幅 w と可変のパルス幅 d_n との和として決定される（すなわち、 $T_w (UP) = w + d_n$ ）。

50

【 0 0 6 1 】

このように、本実施の形態では、位相比較器 1 1 から出力される位相差信号（UP 信号、DN 信号）のタイミングを調整することによって 0 の場合における大きな傾き K_p を実現する。このアプローチによれば、ロック状態でのチャージポンプ電流を増加させる必要がないため、電力消費の増加がない。従って、位相同期回路 1 0 は、低消費電力が要求されるシステム（例えば、携帯バッテリーで動作するシステム）に好適に使用され得る。

【 0 0 6 2 】

図 6 は、位相同期回路 1 0 のモデルを示す。このモデルを用いて、位相ノイズが低減されることを説明する。

10

【 0 0 6 3 】

図 6 に示されるモデルでは、位相比較器 1 1 およびチャージポンプ回路 1 2 の全ノイズは、チャージポンプ回路 1 2 の出力での電流ノイズジェネレータ I_n によって表されるものと仮定している。位相比較器 1 1 およびチャージポンプ回路 1 2 の組み合わせによるゲインを K_p （すなわち、 $K_p = d I_o / d$ ）とする。

【 0 0 6 4 】

電流ノイズジェネレータ I_n から VCO 1 4 の出力までの伝達関数は、（数 5）によって表される。

【 0 0 6 5 】

【 数 5 】

20

$$\frac{\Phi_{on}}{I_n} = \frac{F(s) \cdot \frac{K_v}{s}}{1 + \frac{K_p F(s) K_v}{N \cdot s}}$$

ここで、

Φ_{on} : VCO 1 4 の出力上のノイズ

30

I_n : 入力ノイズ

$F(s) / s$: ループフィルタ 1 3 の伝達関数

K_v : VCO 1 4 のゲイン

$K_p = d I_o / d$

N : 分周比

（数 5）において $s = j\omega$ とすると、（数 5）は（数 6）に示されるように変形される。

【 0 0 6 6 】

【 数 6 】

40

$$\frac{\Phi_{on}}{I_n} \cong \frac{N}{K_p}$$

（数 6）から、0 の場合における傾き K_p が大きいことは、ロック状態における位相ノイズの低減に有効であることがわかる。

【 0 0 6 7 】

図 7 は、位相同期回路 1 0 による位相ノイズの低減効果を示す。図 7 では、 $K_{p2} = 3 \times K_{p1}$ の場合を示す。図 7 から、ループバンドのエッジの位相ノイズが低減されることがわかる。

50

【図面の簡単な説明】

【0068】

【図1】本発明の実施の形態の位相同期回路10の構成の一例を示す図

【図2】本発明の位相同期回路10における位相比較器 - チャージポンプ回路特性 (Io - 特性)の一例を示す図

【図3】位相比較器11によって生成されるUP信号、DN信号の波形の一例を示す図

【図4】図3に示される位相比較器11、チャージポンプ回路12の具体的な回路構成の例を示す図

【図5】位相同期回路10における主要な信号の波形の例を示す図

【図6】位相同期回路10のモデルを示す図

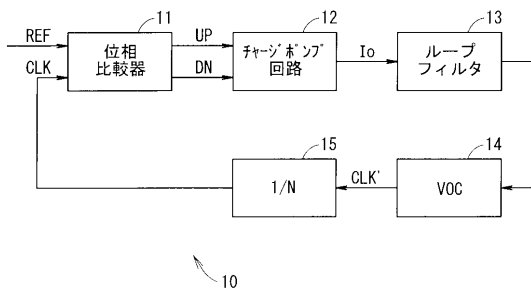
【図7】位相同期回路10による位相ノイズの低減効果を示す図

【符号の説明】

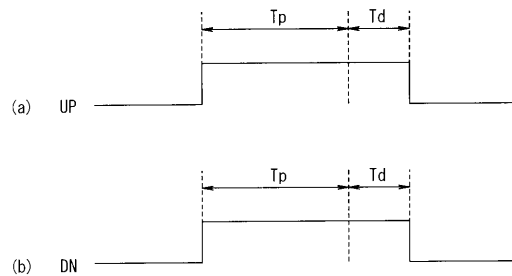
【0069】

- 10 位相同期回路
- 11 位相比較器
- 12 チャージポンプ回路
- 13 ループフィルタ
- 14 VCO
- 15 1/N分周器

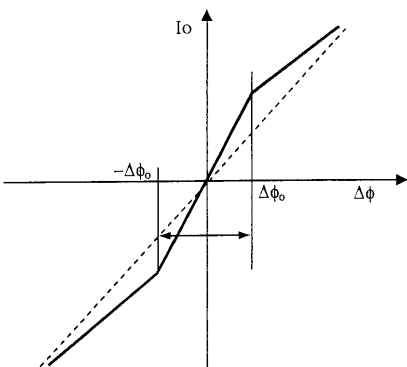
【図1】



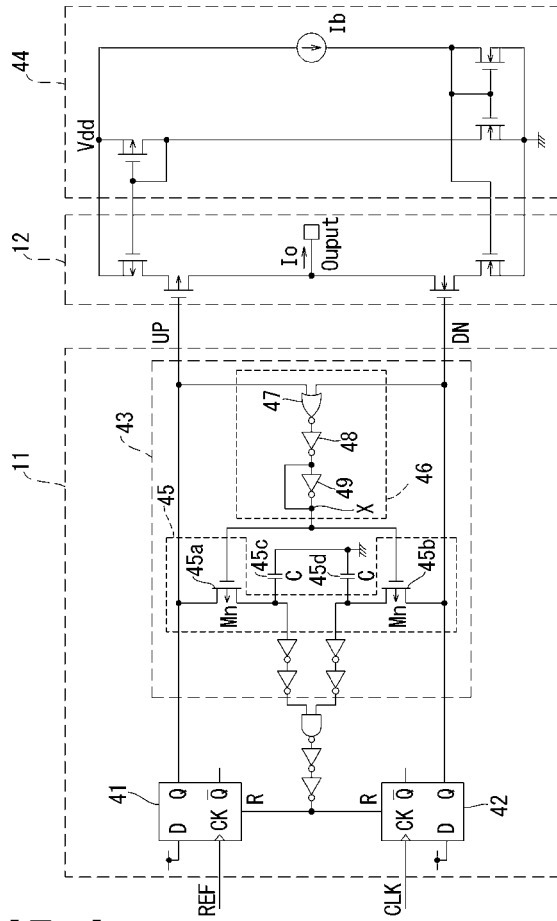
【図3】



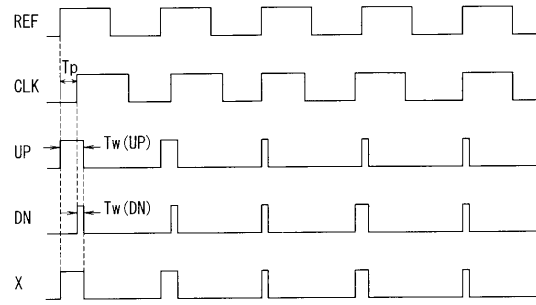
【図2】



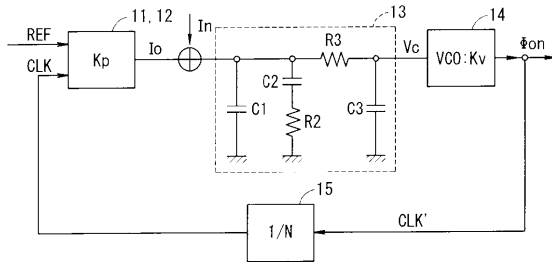
【 図 4 】



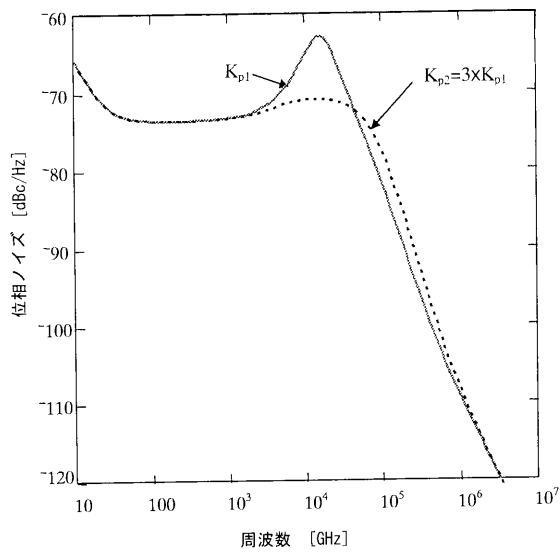
【 図 5 】



【 図 6 】



【 図 7 】



フロントページの続き

(56)参考文献 特開2001-077687(JP,A)
特開2001-230668(JP,A)
特開2000-059212(JP,A)

(58)調査した分野(Int.Cl., DB名)
H03L 7/06-7/23