

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5447507号  
(P5447507)

(45) 発行日 平成26年3月19日(2014.3.19)

(24) 登録日 平成26年1月10日(2014.1.10)

(51) Int.Cl.		F I			
<b>HO2M</b>	<b>3/28</b>	<b>(2006.01)</b>	HO2M	3/28	P
<b>HO2M</b>	<b>3/155</b>	<b>(2006.01)</b>	HO2M	3/155	P

請求項の数 23 (全 32 頁)

(21) 出願番号	特願2011-509252 (P2011-509252)	(73) 特許権者	000006231
(86) (22) 出願日	平成22年3月26日 (2010.3.26)		株式会社村田製作所
(86) 国際出願番号	PCT/JP2010/055343		京都府長岡京市東神足1丁目10番1号
(87) 国際公開番号	W02010/119761	(74) 代理人	110000970
(87) 国際公開日	平成22年10月21日 (2010.10.21)		特許業務法人 楓国際特許事務所
審査請求日	平成23年7月15日 (2011.7.15)	(72) 発明者	細谷 達也
(31) 優先権主張番号	特願2009-98183 (P2009-98183)		京都府長岡京市東神足1丁目10番1号
(32) 優先日	平成21年4月14日 (2009.4.14)		株式会社村田製作所内
(33) 優先権主張国	日本国(JP)	(72) 発明者	鶴野 良之
			京都府長岡京市東神足1丁目10番1号
			株式会社村田製作所内
		審査官	安池 一貴

最終頁に続く

(54) 【発明の名称】 スイッチング電源装置

(57) 【特許請求の範囲】

【請求項1】

直流入力電圧  $V_i$  が入力される直流電源入力部と、  
 一つの磁性部品で構成され、磁氣的に結合された第1の1次巻線  $n_p$  と、第1の2次巻線  $n_s1$  と、を少なくとも備えたトランス  $T$  と、  
 前記第1の1次巻線  $n_p$  に直列に接続されたインダクタ  $L_r$  と、  
 第1のスイッチング素子  $Q_1$  と、第1のキャパシタ  $C_1$  と、第1のダイオード  $D_1$  の並列回路からなる第1のスイッチ回路  $S_1$  と、  
 第2のスイッチング素子  $Q_2$  と、第2のキャパシタ  $C_2$  と、第2のダイオード  $D_2$  の並列回路からなる第2のスイッチ回路  $S_2$  と、  
 第3のキャパシタ  $C_r$  と、  
 前記直流電源入力部の両端に接続され、前記第1の1次巻線  $n_p$  と前記第1のスイッチ回路  $S_1$  とが直列に接続された第1の直列回路と、  
 前記第1のスイッチ回路  $S_1$  の両端、または前記第1の1次巻線  $n_p$  の両端に接続され、前記第2のスイッチ回路  $S_2$  と前記第3のコンデンサ  $C_r$  とが直列に接続された第2の直列回路と、を備え、  
 前記第1のスイッチ回路  $S_1$  と前記第2のスイッチ回路  $S_2$  は、共にオフである期間を挟んで互いに相補的にオン・オフを繰り返すように動作するように構成され、  
 前記第1の2次巻線  $n_s1$  から出力される交流電圧を整流平滑する第1の整流平滑回路を介して2次側に出力電圧  $V_{out}$  が出力されるように構成された電力変換回路を備えた

スイッチング電源装置であって、

前記第1のスイッチ回路S1または前記第2のスイッチ回路S2のうち、オン状態にある方のスイッチ回路がターンオフされることによって発生する前記電力変換回路での電圧もしくは電流変化を検出してモニタ信号を生成する第1のモニタ信号生成手段と、

出力電圧Voutを検出するための出力電圧検出手段と、

前記出力電圧検出手段によって検出された出力電圧Voutに応じた帰還信号を生成する帰還信号生成手段と、

前記第1のスイッチング素子Q1及び前記第2のスイッチング素子Q2を制御するスイッチング制御回路と、を有し、

前記スイッチング制御回路は、

設定可能な略一定周波数の三角波を生成する発振器と、

前記三角波信号と前記帰還信号と比較する第1のコンパレータと、前記第1のモニタ信号生成手段の出力信号と第1の閾値とを比較する第2のコンパレータと、を有し、前記第1のコンパレータ及び前記第2のコンパレータの出力に基づいて前記第1のスイッチ回路S1のゲート信号及び前記第2のスイッチ回路S2のゲート信号を生成し、

前記出力電圧Voutが印加される負荷の状態に合わせてデッドタイムが設定され、前記第1のスイッチング素子Q1または前記第2のスイッチング素子Q2のうち、一方のオン時間を前記出力電圧Voutを安定化させるように制御し、他方のオン時間をスイッチング周波数を一定に保つように制御することを特徴とするスイッチング電源装置。

#### 【請求項2】

前記第1のスイッチ回路S1が導通状態、または前記第2のスイッチ回路S2が導通状態のときに流れる電流の向きに対して、前記第1の1次巻線npと前記第1の2次巻線ns1は、その磁気極性を逆極性としたことを特徴とする請求項1に記載のスイッチング電源装置。

#### 【請求項3】

前記第1のスイッチ回路S1が導通状態、または前記第2のスイッチ回路S2が導通状態のときに流れる電流の向きに対して、前記第1の1次巻線npと前記第1の2次巻線ns1は、その磁気極性を同極性としたことを特徴とする請求項1に記載のスイッチング電源装置。

#### 【請求項4】

前記トランスTはさらに第2の2次巻線ns2を備え、前記第1の2次巻線ns1と前記第2の2次巻線ns2は直列に接続されており、前記第1のスイッチ回路S1が導通状態、または前記第2のスイッチ回路S2が導通状態のときに流れる電流の向きに対して、前記第1の1次巻線npと前記第1の2次巻線ns1、及び前記第1の1次巻線npと前記第2の2次巻線ns2は、その磁気極性を同極性とし、

前記第1の整流平滑回路は、センタータップ型の全波整流回路と、少なくとも1つのフィルタインダクタLoと、少なくとも1つの平滑コンデンサCoからなることを特徴とする請求項1に記載のスイッチング電源装置。

#### 【請求項5】

前記トランスTはさらに第2の2次巻線ns2を備え、前記第1の2次巻線ns1と前記第2の2次巻線ns2は直列に接続されており、前記第1のスイッチ回路S1が導通状態、または前記第2のスイッチ回路S2が導通状態のときに流れる電流の向きに対して、前記第1の1次巻線npと前記第1の2次巻線ns1は、その磁気極性を逆極性とし、前記第1の1次巻線npと前記第2の2次巻線ns2は、その磁気極性を同極性とし、

前記第1の整流平滑回路は、前記第2の2次巻線ns2の両端にそれぞれ整流素子の第1端が接続され、前記整流素子の第2端は共通接続されており、前記第1の2次巻線ns1の他端に少なくとも1つのフィルタインダクタLoの一端が接続され、前記フィルタインダクタLoの他端と前記整流素子の第2端との間に少なくとも1つの平滑コンデンサCoが接続される構成であることを特徴とする請求項1に記載のスイッチング電源装置。

#### 【請求項6】

10

20

30

40

50

前記インダクタ  $L_r$  として、前記トランス  $T$  の 1 次側漏れインダクタンスを利用することを特徴とする請求項 1 乃至 5 のいずれかに記載のスイッチング電源装置。

【請求項 7】

前記フィルタインダクタ  $L_o$  として、前記トランス  $T$  の 2 次側漏れインダクタンスを利用することを特徴とする請求項 4 または 5 に記載のスイッチング電源装置。

【請求項 8】

前記第 1 の 2 次巻線  $n_s 1$  と前記第 2 の 2 次巻線  $n_s 2$  の巻数比が 1 : 2 であることを特徴とする請求項 5 に記載のスイッチング電源装置。

【請求項 9】

前記トランス  $T$  はさらに第 2 の 1 次巻線  $n_b$  を備え、前記第 2 の 1 次巻線  $n_b$  の一端は前記直流電源入力部の低電位側に接続され、他端は第 2 の整流平滑回路を介して前記スイッチング制御回路の直流電源電圧として供給されるようにしたことを特徴とする請求項 1 乃至 8 のいずれかに記載のスイッチング電源装置。

10

【請求項 10】

前記第 1 の整流平滑回路の整流素子は電界効果トランジスタであることを特徴とする請求項 1 乃至 9 のいずれかに記載のスイッチング電源装置。

【請求項 11】

前記第 1 の整流平滑回路の整流素子が、前記スイッチング制御回路によってオン・オフ制御されることを特徴とする請求項 10 に記載のスイッチング電源装置。

【請求項 12】

20

前記トランス  $T$  に流れる電流またはスイッチング素子に流れる電流を検出して、前記オン時間の最大値を制限して過電流を防止する最大オン時間制限手段を備えたことを特徴とする請求項 1 乃至 11 のいずれかに記載のスイッチング電源装置。

【請求項 13】

前記モニタ信号生成手段は、前記第 2 の 1 次巻線  $n_b$  の両端に生じる電圧変化を利用したものであることを特徴とする請求項 9 に記載のスイッチング電源装置。

【請求項 14】

前記モニタ信号生成手段は、前記インダクタ  $L_r$  に流れる電流を検出するカレントトランスであることを特徴とする請求項 1 乃至 12 のいずれかに記載のスイッチング電源装置。

30

【請求項 15】

直入力電圧  $V_i$  が入力される直流電源入力部と、  
 一つの磁性部品で構成されたインダクタ  $L_p$  と、  
 第 1 のスイッチング素子  $Q_1$  と、第 1 のキャパシタ  $C_1$  と、第 1 のダイオード  $D_1$  の並列回路からなる第 1 のスイッチ回路  $S_1$  と、  
 第 2 のスイッチング素子  $Q_2$  と、第 2 のキャパシタ  $C_2$  と、第 2 のダイオード  $D_2$  の並列回路からなる第 2 のスイッチ回路  $S_2$  と、  
 前記直流電源入力部の両端に前記第 1 のスイッチ回路  $S_1$  と前記第 2 のスイッチ回路  $S_2$  からなる直列回路が接続され、  
 前記第 1 のスイッチ回路  $S_1$  と前記第 2 のスイッチ回路  $S_2$  との接続点に前記インダクタ  $L_p$  の一端が接続され、他端からは前記第 1 のスイッチ回路  $S_1$  に対して並列に接続される第 3 のキャパシタ  $C_o$  を介して出力電圧  $V_{out}$  が出力されるように構成されたスイッチング電源装置であって、

40

前記第 1 のスイッチ回路  $S_1$  と前記第 2 のスイッチ回路  $S_2$  は、共にオフである期間を挟んで互いに相補的にオン・オフを繰り返すように動作するように構成され、

前記第 1 のスイッチ回路  $S_1$  または前記第 2 のスイッチ回路  $S_2$  のうち、オン状態にある方のスイッチ回路がターンオフされることによって発生する前記電力変換回路での電圧もしくは電流変化を検出してモニタ信号を生成する第 1 のモニタ信号生成手段と、

出力電圧  $V_{out}$  を検出するための出力電圧検出手段と、

前記出力電圧検出手段によって検出された出力電圧  $V_{out}$  に応じた帰還信号を生成す

50

る帰還信号生成手段と、

前記第1のスイッチング素子Q1及び前記第2のスイッチング素子Q2を制御するスイッチング制御回路と、を有し、

前記スイッチング制御回路は、

設定可能な略一定周波数の三角波を生成する発振器と、

前記三角波信号と前記帰還信号と比較する第1のコンパレータと、前記第1のモニタ信号生成手段の出力信号と第1の閾値とを比較する第2のコンパレータと、を有し、前記第1のコンパレータ及び前記第2のコンパレータの出力に基づいて前記第1のスイッチ回路S1のゲート信号及び前記第2のスイッチ回路S2のゲート信号を生成し、

前記出力電圧Voutが印加される負荷の状態に合わせてデッドタイムが設定され、前記第1のスイッチング素子Q1または前記第2のスイッチング素子Q2のうち、一方のオン時間を前記出力電圧Voutを安定化させるように制御し、他方のオン時間をスイッチング周波数を一定に保つように制御することを特徴とするスイッチング電源装置。

10

【請求項16】

前記インダクタLpに流れる電流またはスイッチング素子に流れる電流を検出して、前記オン時間の最大値を制限して過電流が流れることを防止する最大オン時間制限手段を備えたことを特徴とする請求項15に記載のスイッチング電源装置。

【請求項17】

前記スイッチング制御回路は、前記モニタ信号生成手段の出力信号と第2の閾値とを比較する第3のコンパレータと、をさらに含み、前記第1のコンパレータ及び前記第2のコンパレータの出力に基づいて前記第1のスイッチ回路S1の制御信号を生成し、前記第1のコンパレータ及び前記第3のコンパレータの出力に基づいて前記第2のスイッチ回路S2の制御信号を生成することを特徴とする請求項1乃至16のいずれかに記載のスイッチング電源装置。

20

【請求項18】

前記第2のコンパレータおよび前記第3のコンパレータが、前記第1の閾値および前記第2の閾値が規設定された1つのヒステリシスコンパレータで構成されたことを特徴とする請求項1乃至17のいずれかに記載のスイッチング電源装置。

【請求項19】

前記第1のスイッチング素子Q1のオン時間または前記第2のスイッチング素子Q2のオン時間の最大値が、前記三角波信号の1周期未満に制限されていることを特徴とする請求項1乃至18のいずれかに記載のスイッチング電源装置。

30

【請求項20】

前記第1のスイッチ回路S1または前記第2のスイッチ回路S2は電界効果トランジスタであることを特徴とする請求項1乃至19のいずれかに記載のスイッチング電源装置。

【請求項21】

前記スイッチング制御回路は、

前記第1のスイッチ回路S1または前記第2のスイッチ回路S2はスイッチ回路両端の電圧が0Vまたは0V付近まで低下してからスイッチング素子Q1またはQ2がターンオンする動作となるゼロ電圧スイッチング動作にて駆動することを特徴とする請求項20に記載のスイッチング電源装置。

40

【請求項22】

前記モニタ信号生成手段は、前記第1のスイッチング素子Q1または前記第2のスイッチング素子Q2のドレイン-ソース間電圧の変化を利用したものであることを特徴とする請求項20または21に記載のスイッチング電源装置。

【請求項23】

前記モニタ信号生成手段は、前記第1のスイッチング素子Q1または前記第2のスイッチング素子Q2のドレイン-ソース間電流の変化を利用したものであることを特徴とする請求項20または21に記載のスイッチング電源装置。

【発明の詳細な説明】

50

## 【技術分野】

## 【0001】

この発明は、例えば共振型電源装置やハーフブリッジ型電源装置のような、複数のスイッチング素子を交互にオン、オフさせることで所定の電圧信号を出力するスイッチング電源装置に関するものである。

## 【背景技術】

## 【0002】

従来、複数のスイッチング素子を交互にオン、オフすることで所定の電圧信号を出力するスイッチング電源装置が各種考案されている。例えば、ハーフブリッジ型コンバータのPWM方式のスイッチング電源装置では、一定のスイッチング周波数において時比率を調整することで、所望の出力電圧信号を得ている。しかしながら、このような複数のスイッチング素子を交互オン、オフさせるスイッチング電源装置では、一瞬でも複数のスイッチング素子が同時にオンする期間が存在すると、大きな短絡電流が流れ、電源装置を破壊する可能性があるため、複数のスイッチング素子の双方がオフとなる所謂デッドタイムが設けられている。

10

## 【0003】

このようなデッドタイムを設けるため、特許文献1では、第1のスイッチング素子と第2のスイッチング素子とを交互にオン、オフさせるスイッチング電源装置であって、第1のスイッチング素子のターンオフによるトランスの磁束変化をトリガにして、第2のスイッチング素子をターンオンする。また、第2のスイッチング素子のターンオフによるトランスの磁束変化をトリガにして、第1のスイッチング素子をターンオンする。このような、スイッチング制御を行うことで、第1のスイッチング素子と第2のスイッチング素子とが同時にオン状態になる状態が生じることを防止している。

20

## 【先行技術文献】

## 【特許文献】

## 【0004】

【特許文献1】WO2005-076447号公報

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0005】

しかしながら、上述の特許文献1のスイッチング電源装置では、第2のスイッチング素子のオン時間を、抵抗とコンデンサからなる時定数回路で決定しているため、スイッチング周波数が可変してしまい、スイッチングノイズがスイッチング周波数の変動に応じて広範囲に発生してしまう。

30

## 【0006】

また、時定数回路はデッドタイムを加味して設計されているが、全負荷領域、すなわち過渡状態であっても定常状態であっても同じ時間のデッドタイムが設定されているため、過渡状態ほど長いデッドタイムを必要としない定常状態において最適なデッドタイムが設定されているとは言い難い。したがって、高信頼性ではあるものの、効率の面では最善なものではなかった。

40

## 【0007】

本発明の目的は、スイッチング周波数を一定に保ちながら、複数のスイッチング素子が同時にオンになることを防止し、且つ最適なデッドタイムでスイッチングを行えるスイッチング電源装置を実現することにある。

## 【課題を解決するための手段】

## 【0008】

(1)この発明は、直流入力電圧 $V_i$ が入力される直流電源入力部と、一つの磁性部品で構成され、磁氣的に結合された第1の1次巻線 $n_p$ と第1の2次巻線 $n_s1$ とを少なくとも備えたトランス $T$ と、第1の1次巻線 $n_p$ に直列に接続されたインダクタ $L_r$ と、第1のスイッチング素子 $Q_1$ と第1のキャパシタ $C_1$ と第1のダイオード $D_1$ の並列回路か

50

らなる第1のスイッチ回路S1と、第2のスイッチング素子Q2と第2のキャパシタC2と第2のダイオードD2の並列回路からなる第2のスイッチ回路S2と、第3のキャパシタCrと、直流電源入力部の両端に接続され、第1の1次巻線npと前記第1のスイッチ回路S1とが直列に接続された第1の直列回路と、第1のスイッチ回路S1の両端、または第1の1次巻線npの両端に接続され、第2のスイッチ回路S2と第3のコンデンサCrとが直列に接続された第2の直列回路と、を備え、第1のスイッチ回路S1と第2のスイッチ回路S2は、共にオフである期間を挟んで互いに相補的にオン・オフを繰り返すように動作するように構成され、第1の2次巻線ns1から出力される交流電圧を整流平滑する第1の整流平滑回路を介して2次側に出力電圧Voutが出力されるように構成された電力変換回路を備えたスイッチング電源装置に関するものである。このスイッチング電源装置は、第1のスイッチ回路S1または第2のスイッチ回路S2のうち、オン状態にある方のスイッチ回路がターンオフされることによって発生する電力変換回路での電圧もしくは電流変化を検出してモニタ信号を生成する第1のモニタ信号生成手段と、出力電圧Voutを検出するための出力電圧検出手段と、出力電圧検出手段によって検出された出力電圧Voutに応じた帰還信号を生成する帰還信号生成手段と、第1のスイッチング素子Q1及び前記第2のスイッチング素子Q2を制御し、出力電圧Voutが印加される負荷の状態に合わせてデッドタイムが設定され、第1のスイッチング素子Q1または第2のスイッチング素子Q2のうち、一方のオン時間を出力電圧Voutを安定化させるように制御し、他方のオン時間をスイッチング周波数を一定に保つように制御するスイッチング制御回路と、を有する。

#### 【0009】

このスイッチング制御回路は、設定可能な略一定周波数の三角波を生成する発振器と、三角波信号と帰還信号と比較する第1のコンパレータと、第1のモニタ信号生成手段の出力信号と第1の閾値とを比較する第2のコンパレータと、を有し、第1のコンパレータ及び第2のコンパレータの出力に基づいて第1のスイッチ回路S1のゲート信号及び第2のスイッチ回路S2のゲート信号を生成する。

#### 【0010】

この構成では、第1、第2のスイッチング素子のオン時間がアナログICのスイッチング制御回路によりアナログ的に決定される。この際、それぞれのスイッチング素子のターンオンのトリガとなるタイミングは、トランス電圧Vtに基づくモニタ信号と閾値との比較結果に基づいて決定され、ターンオフのトリガとなるタイミングは、帰還信号と三角波信号との比較結果に基づいて決定される。このため、オンすべきスイッチング素子のターンオンが、直前にオン状態であったスイッチング素子のターンオフに起因する磁束変化のタイミングを基点にして設定された所定の遅延量からなる開始タイミングより行われるので、各スイッチング素子が同時にオン状態にはならない。さらに、三角波信号の周期性からスイッチング周波数が一定となる。また、さらに、帰還信号を用いることで、出力電圧のレベルに応じたターンオフタイミングが得られ、スイッチング電源装置として安定した出力電圧が得られる。

#### 【0011】

(2)また、この発明のスイッチング電源装置では、第1のスイッチ回路S1が導通状態、または第2のスイッチ回路S2が導通状態のときに流れる電流の向きに対して、第1の1次巻線npと第1の2次巻線ns1は、その磁気極性を逆極性としている。

#### 【0012】

この構成では、スイッチング電源装置が絶縁型のフライバックコンバータであることを示している。そして、このような構成を用いても、本発明の特徴とするスイッチング制御を実現することができる。

#### 【0013】

(3)また、この発明のスイッチング電源装置では、第1のスイッチ回路S1が導通状態、または第2のスイッチ回路S2が導通状態のときに流れる電流の向きに対して、第1の1次巻線npと第1の2次巻線ns1は、その磁気極性を同極性としている。

## 【0014】

この構成では、スイッチング電源装置が絶縁型のフォワードコンバータであることを示している。そして、このような構成を用いても、本発明の特徴とするスイッチング制御を実現することができる。

## 【0015】

(4)また、この発明のスイッチング電源装置では、トランスTはさらに第2の2次巻線 $n_s2$ を備え、第1の2次巻線 $n_s1$ と第2の2次巻線 $n_s2$ は直列に接続されており、第1のスイッチ回路S1が導通状態、または第2のスイッチ回路S2が導通状態のときに流れる電流の向きに対して、第1の1次巻線 $n_p$ と第1の2次巻線 $n_s1$ 、及び第1の1次巻線 $n_p$ と第2の2次巻線 $n_s2$ は、その磁気極性を同極性とし、第1の整流平滑回路は、センタータップ型の全波整流回路と、少なくとも1つのフィルタインダクタL<sub>o</sub>と、少なくとも1つの平滑コンデンサC<sub>o</sub>からなる。

10

## 【0016】

この構成では、センタータップ方式の絶縁型スイッチング電源装置が実現される。そして、このような構成のスイッチング電源装置においても、上述のスイッチング制御を適用することができる。

## 【0017】

(5)また、この発明のスイッチング電源装置では、トランスTはさらに第2の2次巻線 $n_s2$ を備え、前記第1の2次巻線 $n_s1$ と前記第2の2次巻線 $n_s2$ は直列に接続されており、前記第1のスイッチ回路S1が導通状態、または前記第2のスイッチ回路S2が導通状態のときに流れる電流の向きに対して、前記第1の1次巻線 $n_p$ と前記第1の2次巻線 $n_s1$ は、その磁気極性を逆極性とし、前記第1の1次巻線 $n_p$ と前記第2の2次巻線 $n_s2$ は、その磁気極性を同極性とし、前記第1の整流平滑回路は、前記第2の2次巻線 $n_s2$ の両端にそれぞれ整流素子の第1端が接続され、前記整流素子の第2端は共通接続されており、前記第1の2次巻線 $n_s1$ の他端に少なくとも1つのフィルタインダクタL<sub>o</sub>の一端が接続され、前記フィルタインダクタL<sub>o</sub>の他端と前記整流素子の第2端との間に少なくとも1つの平滑コンデンサC<sub>o</sub>が接続される構成である。

20

## 【0018】

この構成では、第1、第2の2次巻線を有し、ほぼ全期間で電力伝送が可能な絶縁型スイッチング電源装置が実現される。そして、このような構成のスイッチング電源装置においても、上述のスイッチング制御を適用することができ、より一層効率の良いスイッチング電源装置が実現される。

30

## 【0019】

(6)また、この発明のスイッチング電源装置では、インダクタL<sub>r</sub>として、トランスTの1次側漏れインダクタンスを利用している。

## 【0020】

(7)また、この発明のスイッチング電源装置では、フィルタインダクタL<sub>o</sub>として、トランスTの2次側漏れインダクタンスを利用している。

## 【0021】

これらの構成では、スイッチング電源装置の構成要素となる素子を省略することができるので、上述のような特徴を有するスイッチング電源装置の回路構成を簡略化することができる。

40

## 【0022】

(8)また、この発明のスイッチング電源装置では、第1の2次巻線 $n_s1$ と第2の2次巻線 $n_s2$ の巻数比が1:2である。

## 【0023】

この構成では、上述のほぼ全期間で電力伝送が可能な絶縁型スイッチング電源装置において、ほぼ全期間での出力電圧が安定しリップルが改善される。

## 【0024】

(9)また、この発明のスイッチング電源装置では、トランスTはさらに第2の1次巻

50

線  $n b$  を備え、第 2 の 1 次巻線  $n b$  の一端は直流入力電源  $V_i$  の低電位側に接続され、他端は第 2 の整流平滑回路を介してスイッチング制御回路の直流電源電圧として供給されるようにしている。

【 0 0 2 5 】

この構成では、第 2 の 1 次巻線（バイアス巻線）を用いることで、制御用アナログ IC 用の駆動電源装置を、自装置内で容易に供給することができる。

【 0 0 2 6 】

( 1 0 ) また、この発明のスイッチング電源装置では、第 1 の整流平滑回路の整流素子は電界効果トランジスタである。

【 0 0 2 7 】

この構成では、整流平滑回路の整流素子として、FET を用いた例を示している。そして、このようなスイッチング電源装置においても、上述のスイッチング制御を適用することができる。

【 0 0 2 8 】

( 1 1 ) また、この発明のスイッチング電源装置では、第 1 の整流平滑回路の整流素子が、スイッチング制御回路によってオン・オフ制御される。

【 0 0 2 9 】

この構成では、整流平滑回路の整流素子として、FET を用いた例を示しており、当該 FET が上述の第 1、第 2 のスイッチング素子とともに ASIC 等のアナログ IC で制御される例を示している。そして、このようなスイッチング電源装置においても、上述のスイッチング制御を適用することができる。

【 0 0 3 0 】

( 1 2 ) また、この発明は、直流入力電圧  $V_i$  が入力される直流電源入力部と、一つの磁性部品で構成されたインダクタ  $L_p$  と、第 1 のスイッチング素子  $Q_1$  と第 1 のキャパシタ  $C_1$  と第 1 のダイオード  $D_1$  の並列回路からなる第 1 のスイッチ回路  $S_1$  と、第 2 のスイッチング素子  $Q_2$  と第 2 のキャパシタ  $C_2$  と第 2 のダイオード  $D_2$  の並列回路からなる第 2 のスイッチ回路  $S_2$  と、直流電源入力部の両端に第 1 のスイッチ回路  $S_1$  と第 2 のスイッチ回路  $S_2$  からなる直列回路が接続され、第 1 のスイッチ回路  $S_1$  と第 2 のスイッチ回路  $S_2$  との接続点にインダクタ  $L_p$  の一端が接続され、他端からは第 1 のスイッチ回路  $S_1$  に対して並列に接続される第 3 のキャパシタ  $C_o$  を介して出力電圧  $V_{out}$  が出力されるように構成されたスイッチング電源装置に関するものである。このスイッチング電源装置では、第 1 のスイッチ回路  $S_1$  と第 2 のスイッチ回路  $S_2$  は、共にオフである期間を挟んで互いに相補的にオン・オフを繰り返すように動作するように構成され、第 1 のスイッチ回路  $S_1$  または第 2 のスイッチ回路  $S_2$  のうち、オン状態にある方のスイッチ回路がターンオフされることによって発生する電力変換回路での電圧もしくは電流変化を検出してモニタ信号を生成する第 1 のモニタ信号生成手段と、出力電圧  $V_{out}$  を検出するための出力電圧検出手段と、出力電圧検出手段によって検出された出力電圧  $V_{out}$  に応じた帰還信号を生成する帰還信号生成手段と、第 1 のスイッチング素子  $Q_1$  及び前記第 2 のスイッチング素子  $Q_2$  を制御し、出力電圧  $V_{out}$  が印加される負荷の状態に合わせてデッドタイムが設定され、第 1 のスイッチング素子  $Q_1$  または第 2 のスイッチング素子  $Q_2$  のうち、一方のオン時間を出力電圧  $V_{out}$  を安定化させるように制御し、他方のオン時間をスイッチング周波数を一定に保つように制御するスイッチング制御回路と、を有する。

【 0 0 3 1 】

このスイッチング制御回路は、設定可能な略一定周波数の三角波を生成する発振器と、三角波信号と帰還信号と比較する第 1 のコンパレータと、第 1 のモニタ信号生成手段の出力信号と第 1 の閾値とを比較する第 2 のコンパレータと、を有し、第 1 のコンパレータ及び第 2 のコンパレータの出力に基づいて第 1 のスイッチ回路  $S_1$  のゲート信号及び第 2 のスイッチ回路  $S_2$  のゲート信号を生成する。

【 0 0 3 2 】

この構成では、スイッチング電源装置が極性反転型チョッパ回路からなる非絶縁型昇降

10

20

30

40

50

圧コンバータであることを示している。そして、このような非絶縁型のスイッチング電源装置においても、上述のスイッチング制御を適用することができる。

【0033】

(13) また、この発明のスイッチング電源装置では、スイッチング制御回路は、第1のモニタ信号生成手段の出力信号と第2の閾値とを比較する第3のコンパレータをさらに含み、第1のコンパレータ及び第2のコンパレータの出力に基づいて第1のスイッチ回路S1の制御信号を生成し、第1のコンパレータ及び第3のコンパレータの出力に基づいて第2のスイッチ回路S2の制御信号を生成する。

【0034】

この構成では、スイッチング制御部の具体的構成を示すものであり、コンパレータを三台利用した例を示している。そして、このようなスイッチング電源装置においても、上述のスイッチング制御を適用することができる。

10

【0035】

(14) また、この発明のスイッチング電源装置は、第2のコンパレータと第3のコンパレータを、1つのヒステリシスコンパレータで置き換えることにより、第1の閾値と第2の閾値を規定している。

【0036】

この構成では、スイッチング制御部の具体的構成を示すものであり、コンパレータの一部をヒステリシスコンパレータで置き換えた例を示している。そして、このようなスイッチング電源装置においても、上述のスイッチング制御を適用することができる。

20

【0037】

(15) また、この発明のスイッチング電源装置では、第1のスイッチング素子Q1または第2のスイッチング素子Q2のどちらか一方をターンオンするための信号を出力してから、該スイッチング素子をターンオフするための出力信号を生成するまでのパルス幅のオン時間の最大値が、三角波を生成する発振器の周期未満に制限されている。

【0038】

この構成では、スイッチング素子のオン時間の最大値を三角波の周期に基づいて制限しているものである。そして、このような設定を行ったスイッチング電源装置を用いることで、上述のスイッチング制御を、より効果的に実現することができる。

【0039】

30

(16) また、この発明のスイッチング電源装置では、電力変換回路におけるトランスTまたはインダクタLpに流れる電流またはスイッチング素子に流れる電流を検出して、オン時間の最大値を制限している。

【0040】

この構成では、上述のスイッチング制御において過電流が流れることを防止することができる。

【0041】

(17) また、この発明のスイッチング電源装置では、第1のスイッチ回路S1または第2のスイッチ回路S2は電界効果トランジスタである。

【0042】

40

この構成では、各スイッチ回路として、FETを用いた例を示している。そして、このようなスイッチング電源装置においても、上述のスイッチング制御を適用することができる。

【0043】

(18) また、この発明のスイッチング電源装置では、第1のスイッチ回路S1または第2のスイッチ回路S2はスイッチ回路両端の電圧が0Vまたは0V付近まで低下してからスイッチング素子Q1またはQ2がターンオンする動作となるゼロ電圧スイッチング動作にて駆動される。

【0044】

この構成では、具体的に、所謂ゼロ電圧スイッチング(ZVS)が実現される構成を示

50

している。これにより、スイッチング素子のターンオン時に発生する損失が効果的に抑圧できる。

【0045】

(19)また、この発明のスイッチング電源装置では、モニタ信号生成手段は、インダクタLrに流れる電流を検出するためのカレントトランスである。

【0046】

(20)また、この発明のスイッチング電源装置では、第1のモニタ信号生成手段は、第1のスイッチング素子Q1または第2のスイッチング素子Q2の少なくとも1つのドレイン-ソース間電圧の変化を利用したものである。

【0047】

(21)また、この発明のスイッチング電源装置では、第1のモニタ信号生成手段は、第1のスイッチング素子Q1または第2のスイッチング素子Q2の少なくとも1つのドレイン-ソース間電流の変化を利用したものである

(22)また、この発明のスイッチング電源装置では、第1のモニタ信号生成手段は、第2の1次巻線nbの両端に生じる電圧変化を利用したものである。

【0048】

これらの構成では、第1のモニタ信号生成手段の具体的な構成を示すものであり、上述のいずれの構成を用いても、本発明の特徴とするスイッチング制御を実現することができる。

【発明の効果】

【0049】

この発明によれば、複数のスイッチング素子を同時にオンにさせることなく、最適なデッドタイムでスイッチングを行うことができるので、高信頼性で且つ高効率なスイッチング電源装置を実現することができる。さらに、この際、スイッチング周波数が一定であるので、スイッチング周波数に起因するノイズ対策が容易となり、EMI特性に優れるスイッチング電源装置を実現することができる。また、さらに、これらの制御を、入手が容易で安価なアナログICにより実現できるため、上述の効果が得られるスイッチング電源装置を安価に製造することができる。

【図面の簡単な説明】

【0050】

【図1】第1の実施形態に係るスイッチング電源装置の回路図である。

【図2】制御用アナログIC10の内部ブロックの構成を示す回路図および、各信号の状態の時間的關係を示す波形図である。

【図3】他の構成からなる制御用アナログIC10'の内部ブロックの構成を示す回路図および、各信号の状態の時間的關係を示す波形図である。

【図4】さらに他の構成からなる制御用アナログIC20, 30, 40, 50の内部ブロックの構成を示す回路図である。

【図5】第1の実施形態に係る他の回路構成からなるスイッチング電源装置の回路図である。

【図6】第2の実施形態のスイッチング電源装置の回路図である。

【図7】第3の実施形態のスイッチング電源装置の回路図である。

【図8】第3の実施形態に係る他の回路構成からなるスイッチング電源装置の回路図である。

【図9】第3の実施形態に係るまた他の回路構成からなるスイッチング電源装置の回路図である。

【図10】第4の実施形態のスイッチング電源装置の回路図である。

【図11】第4の実施形態に係る他の回路構成からなるスイッチング電源装置の回路図である。

【図12】第4の実施形態に係るまた他の回路構成からなるスイッチング電源装置の回路図である。

10

20

30

40

50

【図13】第5の実施形態のスイッチング電源装置の回路図である。

【図14】第6の実施形態のスイッチング電源装置の回路図である。

【図15】第7の実施形態のスイッチング電源装置の回路図である。

【図16】第8の実施形態のスイッチング電源装置の回路図である。

【図17】第9の実施形態のスイッチング電源装置の回路図である。

【図18】第9の実施形態に係る他の回路構成からなるスイッチング電源装置の回路図である。

【図19】第10の実施形態のスイッチング電源装置の回路図である。

【図20】第11の実施形態のスイッチング電源装置の回路図である。

【図21】第11の実施形態に係る他の回路構成からなるスイッチング電源装置の回路図である。

10

【図22】第12の実施形態のスイッチング電源装置の回路図である。

【図23】第12の実施形態に係る他の回路構成からなるスイッチング電源装置の回路図である。

【図24】第13の実施形態のスイッチング電源装置の回路図である。

【発明を実施するための形態】

【0051】

[第1実施形態]

第1の実施形態に係るスイッチング電源装置について、図を参照して説明する。図1は、本実施形態のスイッチング電源装置の回路図である。

20

【0052】

(トランスTの1次側回路構成)

直流入力電圧が印加される入力電源 $V_i$ の両端には、インダクタ $L_r$ 、トランスTの1次巻線 $n_p$ 、第1スイッチ回路 $S_1$ が直列接続されている。第1スイッチ回路 $S_1$ は、第1スイッチング素子 $Q_1$ 、ダイオード $D_1$ 、キャパシタ $C_1$ を備える。第1スイッチング素子 $Q_1$ は、FETからなり、ドレイン端子がトランスTの1次巻線 $n_p$ に接続され、ソース端子が入力電源 $V_i$ に接続されている。ダイオード $D_1$ 、およびキャパシタ $C_1$ は、第1スイッチング素子 $Q_1$ のドレイン - ソース間に並列に接続されており、FETである第1スイッチング素子 $Q_1$ の寄生ダイオードおよび寄生容量により代用することが可能である。第1スイッチング素子 $Q_1$ は、駆動回路103を介して制御用アナログIC10から与えられる第1スイッチング制御信号 $V_{gs1}$ によってオン・オフ動作する。

30

【0053】

また、第2スイッチ回路 $S_2$ とキャパシタ $C_r$ とは、トランスTの1次巻線 $n_p$ 、インダクタ $L_r$ と閉回路を形成するように接続されている。第2スイッチ回路 $S_2$ は、FETからなる第2スイッチング素子 $Q_2$ 、ダイオード $D_2$ 、キャパシタ $C_2$ を備える。第2スイッチング素子 $Q_2$ は、ドレイン端子がキャパシタ $C_r$ に接続され、ソース端子がトランスTの1次巻線 $n_p$ に接続されている。ダイオード $D_2$ 、およびキャパシタ $C_2$ は、第2スイッチング素子 $Q_2$ のドレイン - ソース間に並列に接続されており、FETである第2スイッチング素子 $Q_2$ の寄生ダイオードおよび寄生容量により代用することが可能である。第2スイッチング素子 $Q_2$ は、第1スイッチング素子 $Q_1$ と同様に、駆動回路103を介して制御用アナログIC10から与えられる第2スイッチング制御信号 $V_{gs2}$ によってオン・オフ動作する。

40

【0054】

トランスTの1次側には、上述の1次巻線 $n_p$ とは別に、バイアス巻線 $n_b$ が配置されており、当該バイアス巻線 $n_b$ の一方端は、入力電源 $V_i$ に接続している。バイアス巻線 $n_b$ の他方端には、ダイオード $D_3$ のアノードが接続されている。ダイオード $D_3$ のカソードにはキャパシタ $C_3$ が接続される。この構成により、ダイオード $D_3$ とキャパシタ $C_3$ とにより整流平滑回路が形成され、制御用アナログIC10の駆動電圧 $V_{cc}$ が制御用アナログIC10へ与えられる。

【0055】

50

また、このバイアス巻線  $n_b$  の他方端には、ダイオード  $D_4$  のアノードが接続されており、当該ダイオード  $D_4$  のカソードがスイッチ制御用アナログ IC 10 へ接続されることで、モニタ信号  $V_m$  が制御用アナログ IC 10 へ与えられる。

【0056】

制御用アナログ IC 10 は、詳細を後述する図 2 (A)、図 3 (A)、図 4 (A) ~ 図 4 (D) に示すようなアナログ回路により構成される。制御用アナログ IC 10 は、上述の駆動電圧  $V_{cc}$  により駆動し、モニタ信号  $V_m$ 、トランス T の 2 次側回路から得られる検出電圧信号  $V_o$  に基づいて、第 1 スwitchング素子  $Q_1$  を駆動するための第 1 スwitchング制御信号  $V_{gs1}$  および第 2 スwitchング素子  $Q_2$  を駆動するための第 2 スwitchング制御信号  $V_{gs2}$  を生成する。

10

【0057】

駆動回路 103 は、例えばハイサイドドライバ IC 等により構成され、第 1 スwitchング制御信号  $V_{gs1}$  および第 2 スwitchング制御信号  $V_{gs2}$  を入力し、少なくとも第 2 スwitchング素子  $Q_2$  を駆動可能なレベルの信号に昇圧する。駆動回路 103 は、第 1 スwitchング制御信号  $V_{gs1}$  を第 1 スwitchング素子  $Q_1$  へ出力し、第 2 スwitchング制御信号  $V_{gs2}$  を第 2 スwitchング素子  $Q_2$  へ出力する。

【0058】

(トランス T の 2 次側回路構成)

トランス T の 2 次巻線  $n_{s1}$  は、1 次巻線  $n_p$  に対して逆極性となるように巻回されており、2 次巻線  $n_{s1}$  の両端は、電圧出力端子  $V_{out}(+)$ 、 $V_{out}(-)$  となっている。2 次巻線  $n_{s1}$  の電圧出力端子  $V_{out}(+)$  側の一方端には、ダイオード  $D_s$  のアノードが接続され、当該ダイオード  $D_s$  のカソードが電圧出力端子  $V_{out}(+)$  に接続されている。また、電圧出力端子  $V_{out}(+)$ 、 $V_{out}(-)$  の両端子間には、キャパシタ  $C_o$  が接続されている。このような構成により、ダイオード  $D_s$  とキャパシタ  $C_o$  による整流平滑回路が形成される。

20

【0059】

また、電圧出力端子  $V_{out}(+)$ 、 $V_{out}(-)$  の両端子間には、直列抵抗回路等からなる電圧検出部 101 が接続されており、電圧出力端子  $V_{out}(+)$ 、 $V_{out}(-)$  間の出力電圧レベルに応じた検出電圧信号  $V_o$  を生成し、絶縁伝達手段 102 へ出力する。

30

【0060】

絶縁伝達手段 102 は、フォトカプラ等からなり、2 次側の電圧検出部 101 で生成された検出電圧信号  $V_o$  を、1 次側の制御用アナログ IC 10 へ伝達する。

【0061】

以上のような構成により、フライバック方式の絶縁型スitchング電源装置が構成される。

【0062】

(スitchング制御回路の具体的構成)

制御用アナログ IC 10 は、所謂アナログ PWM 制御 IC チップにより実現され、入力されるモニタ信号  $V_m$ 、検出電圧信号  $V_o$  に基づいて、一定のスitchング周期  $T_s$  を保ちながら、所望の出力電圧レベルを得られるように、且つ第 1 スitchング素子  $Q_1$  と第 2 スitchング素子  $Q_2$  とが同時にオンしないように、第 1 スitchング制御信号  $V_{gs1}$  および第 2 スitchング制御信号  $V_{gs2}$  を生成する。生成された第 1 スitchング制御信号  $V_{gs1}$  および第 2 スitchング制御信号  $V_{gs2}$  は、駆動回路 103 へ出力される。

40

【0063】

図 2 (A) は制御用アナログ IC 10 の内部ブロックの構成を示す回路図であり、図 2 (B) は制御用アナログ IC 10 内の各信号の時間的關係を示す波形図である。

【0064】

制御用アナログ IC 10 は、コンパレータ 110、111、112、インバータ 113

50

、AND回路114, 115を備える。

【0065】

制御用アナログIC10は、スイッチング周期 $T_s$ を一周期とするノコギリ波信号 $V_{chp}$ を発生する。このノコギリ波信号 $V_{chp}$ は、最低レベルから当該一周期内で徐々にレベルが上昇していき、一周期で最高レベルに達した時点で最低レベルにリセットされる波形からなる。そして、検出電圧信号 $V_o$ は、ノコギリ波信号 $V_{chp}$ の最高レベルと最低レベルとの間のレベルになるように、設定されている。

【0066】

制御用アナログC10は、ノコギリ波信号 $V_{chp}$ のリセットのタイミングを、所定のタイミングに同期させて行う。例えば、図2(B)に示すように、モニタ信号 $V_m$ が閾値 $V_2$ に達するタイミング等に同期させる。

10

【0067】

コンパレータ110は、ノコギリ波信号 $V_{chp}$ と検出電圧信号 $V_o$ とを入力する。コンパレータ110は、ノコギリ波信号 $V_{chp}$ のレベルが検出電圧信号 $V_o$ のレベルよりも高い期間でHiレベルとなり、ノコギリ波信号 $V_{chp}$ のレベルが検出電圧信号 $V_o$ のレベルよりも低い期間でLowレベルとなる第1判定基準信号 $V_{cmp}$ を出力する。

【0068】

コンパレータ111は、モニタ信号 $V_m$ と閾値レベル $V_1$ を与える信号(以下、閾値信号 $V_1$ と称する)とを入力する。コンパレータ111は、閾値信号 $V_1$ のレベルがモニタ信号 $V_m$ のレベルよりも高い期間でHiレベルとなり、閾値信号 $V_1$ のレベルがモニタ信号 $V_m$ のレベルよりも低い期間でLowレベルとなる第1スイッチング判断用信号 $V_{tr1}$ を出力する。

20

【0069】

コンパレータ112は、モニタ信号 $V_m$ と閾値レベル $V_2$ を与える信号(以下、閾値信号 $V_2$ と称する)とを入力する。コンパレータ112は、モニタ信号 $V_m$ のレベルが閾値信号 $V_2$ のレベルよりも高い期間でHiレベルとなり、モニタ信号 $V_m$ のレベルが閾値信号 $V_2$ のレベルよりも低い期間でLowレベルとなる第2スイッチング判断用信号 $V_{tr2}$ を出力する。

【0070】

インバータ113は、第1判定基準信号 $V_{cmp}$ を反転処理して、第2判定基準信号 $V_{cmp'}$ を出力する。

30

【0071】

AND回路114は、第1判定基準信号 $V_{cmp}$ と第1スイッチング判断用信号 $V_{tr1}$ とを入力し、第1判定基準信号 $V_{cmp}$ と第1スイッチング判断用信号 $V_{tr1}$ がともにHiレベルの期間でHiレベルとなり、それ以外の期間でLowレベルとなる第1スイッチング制御信号 $V_{gs1}$ を出力する。

【0072】

AND回路115は、第2判定基準信号 $V_{cmp'}$ と第2スイッチング判断用信号 $V_{tr2}$ とを入力し、第2判定基準信号 $V_{cmp'}$ と第2スイッチング判断用信号 $V_{tr2}$ がともにHiレベルの期間でHiレベルとなり、それ以外の期間でLowレベルとなる第2スイッチング制御信号 $V_{gs2}$ を出力する。

40

【0073】

このような処理により、各信号は図2(B)に示すような波形の時間的關係となる。

【0074】

なお、以下に説明する制御はノコギリ波信号 $V_{chp}$ で規定されるスイッチング周期 $T_s$ で繰り返し行われるものであるが、説明上、特定の期間(以下の説明では、ノコギリ波信号 $V_{chp}$ がリセットされるタイミング $t_0$ からスイッチング周期 $T_s$ の一周期分)の制御処理について説明する。

【0075】

(1) 状態1 [期間 $T_{p1}$ : タイミング $t_0 \sim t_1$ ]

50

図2におけるタイミング $t_0$ に示すように、ノコギリ波信号 $V_{chp}$ のレベルが検出電圧信号 $V_o$ のレベルに対して、最低レベル側からゼロクロスして最高レベル側に遷移すると、コンパレータ110から出力される第1判定基準信号 $V_{cmp}$ はLowレベルからHiレベルに遷移する。そして、コンパレータ110およびインバータ113を介して出力される第2判定基準信号 $V_{cmp}'$ はHiレベルからLowレベルに遷移する。これに応じて、AND回路115から出力される第2スイッチング制御信号 $V_{gs2}$ は、Lowレベルに遷移する。このように、第2スイッチング制御信号 $V_{gs2}$ がLowレベルに遷移されると、トランス電圧 $V_t$ は立ち上がり、モニタ信号 $V_m$ は立ち下がる。

【0076】

そして、トランス電圧 $V_t$ が立ち上がり、モニタ信号 $V_m$ が立ち下がっていき、図2におけるタイミング $t_1$ に示すように、モニタ信号 $V_m$ のレベルが閾値 $V_2$ 未満になると、先の第2スイッチング制御信号 $V_{gs2}$ とともに、コンパレータ112から出力される第2スイッチング判断用信号 $V_{tr2}$ もLowレベルに遷移する。

【0077】

(2) 状態2 [期間 $T_{p2}$ : タイミング $t_2 \sim t_3$ ]

さらに、トランス電圧 $V_t$ が立ち上がり、モニタ信号 $V_m$ が立ち下がっていき、所定の遅延時間の後にモニタ信号 $V_m$ のレベルが閾値 $V_1$ 以下になると、図2におけるタイミング $t_2$ に示すように、コンパレータ111から出力される第1スイッチング判断用信号 $V_{tr1}$ がHiレベルに遷移する。このように、タイミング $t_2$ になると、第1判定基準信号 $V_{cmp}$ と第1スイッチング判断用信号 $V_{tr1}$ との両方がHiレベルになるので、第1スイッチング制御信号 $V_{gs1}$ がLowレベルからHiレベルに遷移する。

【0078】

(3) 状態3 [期間 $T_{p3}$ : タイミング $t_3 \sim t_4$ ]

第1スイッチング制御信号 $V_{gs1}$ がHiレベルに維持された状態で所定時間が経過後、図2におけるタイミング $t_4$ に示すように、ノコギリ波信号 $V_{chp}$ がリセットされるタイミングに達すると、ノコギリ波信号 $V_{chp}$ は、最高レベルから、最低レベルに遷移する。このため、コンパレータ110から出力される第1判定基準信号 $V_{cmp}$ はHiレベルからLowレベルに遷移する。これに応じて、AND回路114から出力される第1スイッチング制御信号 $V_{gs1}$ は、Lowレベルに遷移する。このように、第1スイッチング制御信号 $V_{gs1}$ がLowレベルに遷移されると、トランス電圧 $V_t$ は立ち下がり、モニタ信号 $V_m$ は立ち上がる。なお、コンパレータ110およびインバータ113を介して出力される第2判定基準信号 $V_{cmp}'$ はLowレベルからHiレベルに遷移する。

【0079】

ここで、第1スイッチング制御信号 $V_{gs1}$ がHiレベルに維持される時間は、上述の回路構成を用いることで、ノコギリ波信号 $V_{chp}$ が検出電圧信号 $V_o$ よりもレベルが高くなる期間の長さで決定される。したがって、検出電圧信号 $V_o$ のレベルすなわち出力電圧レベルに応じて、第1スイッチング制御信号 $V_{gs1}$ をHiレベルに維持する時間長を設定することができる。さらに、第1スイッチング制御信号 $V_{gs1}$ をHiレベルからLowレベルに遷移させるタイミングを、一定の周期からなるノコギリ波信号 $V_{chp}$ の遷移タイミングで与えるので、スイッチング周期 $T_s$ を一定にすることができる。

【0080】

(4) 状態4 [期間 $T_{p4}$ : タイミング $t_4 \sim t_5$ ]

トランス電圧 $V_t$ が立ち下がり、モニタ信号 $V_m$ が立ち上がっていき、図2におけるタイミング $t_5$ に示すように、モニタ信号 $V_m$ のレベルが閾値 $V_1$ よりも高くなると、先の第1スイッチング制御信号 $V_{gs1}$ とともに、コンパレータ111から出力される第1スイッチング判断用信号 $V_{tr1}$ もLowレベルに遷移する。

【0081】

(5) 状態5 [期間 $T_{p5}$ : タイミング $t_5 \sim t_6$ ]

さらに、トランス電圧 $V_t$ が立ち下がり、モニタ信号 $V_m$ が立ち上がっていき、所定の遅延時間の後にモニタ信号 $V_m$ のレベルが閾値 $V_2$ 以上になると、図2におけるタイミン

10

20

30

40

50

グ t 6 に示すように、コンパレータ 1 1 2 から出力される第 2 スイッチング判断用信号  $V_{tr2}$  が Hi レベルに遷移する。このように、タイミング t 6 になると、第 2 判定基準信号  $V_{cmp'}$  と第 2 スイッチング判断用信号  $V_{tr2}$  との両方が Hi レベルになるので、第 2 スイッチング制御信号  $V_{gs2}$  が Low レベルから Hi レベルに遷移する。

【 0 0 8 2 】

( 6 ) 状態 6 [ 期間  $T_{p6}$  : タイミング t 6 ~ t 7 ( t 1 ) ]

第 2 スイッチング制御信号  $V_{gs2}$  が Hi レベルに維持された状態で所定時間が経過後、図 2 におけるタイミング t 7 ( t 1 ) に示すように、ノコギリ波信号  $V_{chp}$  のレベルが検出電圧信号  $V_o$  のレベルに対して、最低レベル側からゼロクロスして最高レベル側に遷移するタイミングが再度現れると、コンパレータ 1 1 0 およびインバータ 1 1 3 を介して出力される第 2 判定基準信号  $V_{cmp'}$  は Hi レベルから Low レベルに遷移する。これに応じて、AND 回路 1 1 5 から出力される第 2 スイッチング制御信号  $V_{gs2}$  は、Low レベルに遷移する。このように、第 2 スイッチング制御信号  $V_{gs2}$  が Low レベルに遷移されると、トランス電圧  $V_t$  は立ち上がり、モニタ信号  $V_m$  は立ち下がる。

10

【 0 0 8 3 】

以上のような処理を行うことで、第 2 スイッチング素子  $Q_2$  をオン・オフ制御する第 2 スイッチング制御信号  $V_{gs2}$  が Low レベルに遷移したタイミングから所定の遅延時間後に第 1 スイッチング素子  $Q_1$  をオン・オフ制御する第 1 スイッチング制御信号  $V_{gs1}$  が Hi レベルに遷移する。また、第 1 スイッチング素子  $Q_1$  をオン・オフ制御する第 1 スイッチング制御信号  $V_{gs1}$  が Low レベルに遷移したタイミングから所定の遅延時間後に第 2 スイッチング素子  $Q_2$  をオン・オフ制御する第 2 スイッチング制御信号  $V_{gs2}$  が Hi レベルに遷移する。これにより、第 1 スイッチング制御信号  $V_{gs1}$  と第 2 スイッチング制御信号  $V_{gs2}$  とが同時に Hi レベルにはならず、第 1 スイッチング素子  $Q_1$  と第 2 スイッチング素子  $Q_2$  とが同時にオン制御されることを防止することができる。この際、モニタ信号  $V_m$  の信号レベルで閾値  $V_1$  ,  $V_2$  を設定してスイッチングを行うことで、負荷状況に応じた最適なタイミングで第 1 スイッチング制御信号  $V_{gs1}$  および第 2 スイッチング制御信号  $V_{gs2}$  を制御することができる。

20

【 0 0 8 4 】

また、閾値  $V_1$  をモニタ信号  $V_m$  の略 Low レベルの電位に設定することで、第 1 スイッチング制御信号  $V_{gs1}$  がスイッチング素子  $Q_1$  に与えられるタイミングでは、スイッチング素子  $Q_1$  のドレインソース電圧は「 0 」電位もしくは略「 0 」電位となり、ゼロ電圧スイッチング ( Z V S ) を実現することができる。同様に、閾値  $V_2$  を閾値  $V_1$  とは逆にモニタ信号  $V_m$  の略 Hi レベルの電位に設定することで、第 2 スイッチング制御信号  $V_{gs2}$  がスイッチング素子  $Q_2$  に与えられるタイミングでは、スイッチング素子  $Q_2$  のドレインソース電圧は「 0 」電位もしくは略「 0 」電位となり、ゼロ電圧スイッチング ( Z V S ) を実現することができる。

30

【 0 0 8 5 】

さらに、第 1 スイッチング制御信号  $V_{gs1}$  および第 2 スイッチング制御信号  $V_{gs2}$  の Low レベルへの遷移タイミングが、一定周期  $T_s$  に設定されたノコギリ波信号  $V_{chp}$  で規定されるので、スイッチング周期  $T_s$  が一定となる。これにより、スイッチング周期  $T_s$  に起因するノイズ対策が容易になり、低 E M I のスイッチング電源装置を実現することができる。

40

【 0 0 8 6 】

また、本実施形態のようにアナログ IC を用いることで、例えば D S P や F P G A 等からなるデジタル IC 等の高価なデバイスを用いなくても良いので、上述のようなスイッチング制御を行えるスイッチング電源装置を安価に製造することができる。

【 0 0 8 7 】

なお、本実施形態では、トランス T の一次側で、1 次巻線  $n_p$ 、インダクタ  $L_1$  およびスイッチ回路  $S_2$  とともに閉回路を構成するキャパシタ  $C_r$  が、入力電源  $V_i$  に並列に接続されている例を示したが、図 5 に示すように、入力電源  $V_i$  に対して直列接続されるよ

50

うな回路構成であってもよい。図5は、第1の実施形態に示す他の回路構成からなるスイッチング電源装置の回路図である。このような構成であっても、上述のスイッチング制御を適用することができ、同様の作用効果を得ることができる。

【0088】

また、上述の制御用アナログICの構成は、一例であり、図3や図4に示すような回路構成等であってもよく、さらには、これらの回路構成および波形の関係によって想到される他の類似の回路構成であってもよい。

【0089】

図3(A)は他の構成からなる制御用アナログIC10'の内部ブロックの構成を示す回路図であり、図3(B)は制御用アナログIC10'内の各信号の時間的關係を示す波形図である。また、図4(A)~図4(D)はさらにその他の構成からなる制御用アナログIC20, 30, 40, 50の内部ブロックの構成を示す回路図である。

10

【0090】

図3に示す制御用アナログIC10'は、ノコギリ波信号V<sub>chp</sub>が、最高レベルから一周内で徐々にレベルが下降していき、一周後にレベルが最低レベルに達した時点でリセットされて最高レベルに遷移する波形からなる。また、コンパレータ120へのノコギリ波信号V<sub>chp</sub>と検出電圧信号V<sub>o</sub>との入力、上述の図2のコンパレータ110に対して逆転した構成となっている。このような信号および構成を用いても、上述のような作用効果を奏することができる。

【0091】

20

また、図4(A)に示す制御用アナログIC20は、図2に示した制御用アナログIC10に対して、AND回路114, 115に代えてフリップフロップ回路124, 125を用いたものである。この際、フリップフロップ回路124, 125としては、入力される信号が同時にHiレベルとなる期間が発生することがあるので、JKフリップフロップ回路とするとよい。

【0092】

また、図4(B)に示す制御用アナログIC30は、図2に示した制御用アナログIC10に対して、コンパレータ112を使用せず、インバータ130を用いて、第2スイッチング判断用信号V<sub>tr2</sub>を生成している。

【0093】

30

図4(C)に示す制御用アナログIC40は、図4(A)に示した制御用アナログIC20に対して、さらに、コンパレータ111に代えて、ヒステリシスコンパレータ111'を用いたものである。

【0094】

図4(D)に示す制御用アナログIC50は、コンパレータ111の出力とAND回路114の入力との間に、OR回路153を装着している。このOR回路153には、コンパレータ111からの第1スイッチング判断用信号V<sub>tr1</sub>が入力されるとともに、遅延回路151からの所定時間遅延された第1判定基準信号V<sub>cmp</sub>が入力される。また、制御用アナログIC40は、コンパレータ112の出力とAND回路115の入力との間に、OR回路154を装着している。このOR回路154には、コンパレータ112からの第2スイッチング判断用信号V<sub>tr2</sub>が入力されるとともに、遅延回路152からの所定時間遅延された第2判定基準信号V<sub>cmp'</sub>が入力される。このような構成の場合、上述の作用効果とともに、起動時等のバイアス巻線nbからのモニタ信号V<sub>m</sub>のレベルが十分に得られないような状況であっても、遅延回路151, 152によって設定される十分な遅延時間をもって、第1スイッチング制御信号V<sub>gs1</sub>および第2スイッチング制御信号V<sub>gs2</sub>を出力することができる。

40

【0095】

[第2実施形態]

次に、第2の実施形態に係るスイッチング電源装置について図を参照して説明する。図6は、本実施形態のスイッチング電源装置の回路図である。

50

## 【0096】

図6に示すように、本実施形態のスイッチング電源装置は、トランスTの1次巻線 $n_p$ と2次巻線 $n_{s1}$ が同極性となるように巻回されている。トランスTの1次側の回路パターンおよび絶縁伝達手段102は、上述の図1に示したスイッチング電源装置と同じであり、2次側の回路パターンが上述の図1に示したスイッチング電源装置と異なる。

## 【0097】

本実施形態のスイッチング電源装置の2次巻線 $n_{s1}$ の一方端には、ダイオード $D_s$ のアノードが接続され、当該ダイオード $D_s$ のカソードがインダクタ $L_o$ を介して電圧出力端子 $V_{out}(+)$ に接続されている。2次巻線 $n_{s1}$ の他方端は、電圧出力端子 $V_{out}(-)$ に接続されている。

10

## 【0098】

また、2次巻線 $n_{s1}$ の両端子間にはダイオード $D_f$ が並列接続されている。この際、ダイオード $D_f$ のカソードはフィルタインダクタとして機能するインダクタ $L_o$ に接続させる。

## 【0099】

また、電圧出力端子 $V_{out}(+)$ 、 $V_{out}(-)$ の両端子間には、キャパシタ $C_o$ が接続されている。このような構成により、ダイオード $D_s$ 、 $D_f$ 、インダクタ $L_o$ およびキャパシタ $C_o$ による整流平滑回路が形成される。また、電圧出力端子 $V_{out}(+)$ 、 $V_{out}(-)$ の両端子間には、直列抵抗回路等からなる電圧検出部101が接続されており、電圧出力端子 $V_{out}(+)$ 、 $V_{out}(-)$ の両端子間の出力電圧レベルに応じた検出電圧信号 $V_o$ を生成し、絶縁伝達手段102へ出力する。

20

## 【0100】

以上のような構成により、フォワード方式の絶縁型スイッチング電源装置が構成される。そして、このような構成であっても、上述の第1の実施形態に示したスイッチング制御を適用することができ、同様の作用効果を得ることができる。

## 【0101】

## [第3実施形態]

次に、第3の実施形態に係るスイッチング電源装置について図を参照して説明する。図7は、本実施形態のスイッチング電源装置の回路図である。

## 【0102】

図7に示すように、本実施形態のスイッチング電源装置は、トランスTの1次側の回路パターンおよび絶縁伝達手段102は、上述の図1に示したスイッチング電源装置と同じであるが、トランスTおよび2次側の回路パターンが上述の図1に示したスイッチング電源装置と異なる。

30

## 【0103】

トランスTは、一つの1次巻線 $n_p$ に対して二つの2次巻線 $n_{s1}$ 、 $n_{s2}$ が配置された複合型トランスである。トランスTの第1の2次巻線 $n_{s1}$ は1次巻線 $n_p$ に対して逆極性に巻回されており、第2の2次巻線 $n_{s2}$ は1次巻線 $n_p$ に対して同極性に巻回されている。この際、第1の2次巻線 $n_{s1}$ と第2の2次巻線 $n_{s2}$ との巻線比が、 $n_{s1} : n_{s2} = 1 : 2$ となるように、第1の2次巻線 $n_{s1}$ および第2の2次巻線 $n_{s2}$ が形成されている。

40

## 【0104】

第1の2次巻線 $n_{s1}$ の一方端には、インダクタ $L_o$ を介して電圧出力端子 $V_{out}(+)$ が接続されている。第1の2次巻線 $n_{s1}$ の他方端にはダイオード $D_s$ のカソードが接続されており、当該ダイオード $D_s$ のアノードは電圧出力端子 $V_{out}(-)$ に接続されている。

## 【0105】

第2の2次巻線 $n_{s2}$ の一方端は第1の2次巻線 $n_{s1}$ の他方端に接続されている。第2の2次巻線 $n_{s2}$ の一方端にはダイオード $D_f$ のカソードが接続されており、当該ダイオード $D_f$ のアノードも電圧出力端子 $V_{out}(-)$ に接続されている。

50

## 【0106】

また、電圧出力端子  $V_{out}(+)$  ,  $V_{out}(-)$  の両端子間には、キャパシタ  $C_o$  が接続されている。このような構成により、ダイオード  $D_s$  ,  $D_f$ 、インダクタ  $L_o$  およびキャパシタ  $C_o$  による整流平滑回路が形成される。また、電圧出力端子  $V_{out}(+)$  ,  $V_{out}(-)$  の両端子間には、直列抵抗回路等からなる電圧検出部 101 が接続されており、電圧出力端子  $V_{out}(+)$  ,  $V_{out}(-)$  の両端子間の出力電圧レベルに応じた検出電圧信号  $V_o$  を生成し、絶縁伝達手段 102 へ出力する。

## 【0107】

このような構成のスイッチング電源装置では、第1のスイッチ回路  $S_1$  がオン且つ第2のスイッチ回路  $S_2$  がオフの期間においては、電圧出力端子  $V_{out}(-)$  ダイオード  $D_f$  第2の2次巻線  $n_{s2}$  第1の2次巻線  $n_{s1}$  インダクタ  $L_o$  電圧出力端子  $V_{out}(+)$  というループで電流が流れ、第1のスイッチ回路  $S_1$  がオフ且つ第2のスイッチ回路  $S_2$  がオンの期間においては、電圧出力端子  $V_{out}(-)$  ダイオード  $D_s$  第1の2次巻線  $n_{s1}$  インダクタ  $L_o$  電圧出力端子  $V_{out}(+)$  というループで電流が流れる。このため、第1のスイッチ回路  $S_1$  のオン期間（第2のスイッチ回路  $S_2$  のオフ期間）および第1のスイッチ回路  $S_1$  のオフ期間（第2のスイッチ回路  $S_2$  のオン期間）のいずれにおいても、トランス  $T$  の1次側から2次側へエネルギー伝送を行うことができる。すなわち、実質的にスイッチング周期  $T_s$  のほぼ全期間に亘ってトランス  $T$  の1次側から2次側へエネルギー伝送を行うことができる。

## 【0108】

ここで、スイッチング素子が切り替わる期間はエネルギー伝送が行われませんが、上述のスイッチング制御を適用することで、スイッチング周期  $T_s$  のほぼ全期間に亘って非常に効率良くエネルギー伝送を行うことができる。

## 【0109】

さらに、本実施形態に示すように、第1の2次巻線  $n_{s1}$  と第2の2次巻線  $n_{s2}$  との巻線比を  $n_{s1} : n_{s2} = 1 : 2$  とすることで、第1のスイッチ回路  $S_1$  のオン期間（第2のスイッチ回路  $S_2$  のオフ期間）および第1のスイッチ回路  $S_1$  のオフ期間（第2のスイッチ回路  $S_2$  のオン期間）のいずれにおいても、同じ出力電圧レベルを得ることができる。これにより、出力電圧のリプル成分を抑圧することができる。

## 【0110】

なお、本実施形態の図7のスイッチング電源装置では、トランス  $T$  の一次側で、1次巻線  $n_p$ 、インダクタ  $L_1$  およびスイッチ回路  $S_2$  とともに閉回路を構成するキャパシタ  $C_r$  が、入力電源  $V_i$  に並列に接続されている例を示したが、図8に示すように、入力電源  $V_i$  に対して直列接続されるような回路構成であってもよい。図8は、第3の実施形態に示す他の回路構成からなるスイッチング電源装置の回路図である。また、図9に示すように、第2スイッチ回路  $S_2$  とキャパシタ  $C_r$  との直列回路が、第1スイッチ回路  $S_1$  と並列接続されるような回路構成であってもよい。図9は、第3の実施形態に示すまた他の回路構成からなるスイッチング電源装置の回路図である。このような構成であっても、上述のスイッチング制御を適用することができ、同様の作用効果を得ることができる。

## 【0111】

## [第4実施形態]

次に、第4の実施形態に係るスイッチング電源装置について図を参照して説明する。図10は、本実施形態のスイッチング電源装置の回路図である。

## 【0112】

図10に示すように、本実施形態のスイッチング電源装置は、トランス  $T$  の1次側の回路パターンおよび絶縁伝達手段 102 は、上述の図1に示したスイッチング電源装置と同じであるが、トランス  $T$  および2次側の回路パターンが上述の図1に示したスイッチング電源装置と異なる。

## 【0113】

トランス  $T$  は、一つの1次巻線  $n_p$  に対して二つの2次巻線  $n_{s1}$  ,  $n_{s2}$  が配置され

10

20

30

40

50

た複合型トランスである。トランスTの第1の2次巻線 $n s 1$ は1次巻線 $n p$ に対して同極性に巻回されており、第2の2次巻線 $n s 2$ も1次巻線 $n p$ に対して同極性に巻回されている。

【0114】

第1の2次巻線 $n s 1$ の一方端には、ダイオード $D s$ のアノードが接続され、当該ダイオード $D s$ のカソードは、インダクタ $L o$ を介して電圧出力端子 $V o u t (+)$ が接続されている。第1の2次巻線 $n s 1$ の他方端は電圧出力端子 $V o u t (-)$ に接続されている。

【0115】

第2の2次巻線 $n s 2$ の一方端は第1の2次巻線 $n s 1$ の他方端に接続されている。第2の2次巻線 $n s 2$ の他方端にはダイオード $D f$ のカソードが接続されており、当該ダイオード $D f$ のアノードもインダクタ $L o$ を介して電圧出力端子 $V o u t (+)$ に接続されている。

10

【0116】

また、電圧出力端子 $V o u t (+)$ 、 $V o u t (-)$ の両端子間には、キャパシタ $C o$ が接続されている。このような構成により、ダイオード $D s$ 、 $D f$ 、インダクタ $L o$ およびキャパシタ $C o$ による整流平滑回路が形成される。また、電圧出力端子 $V o u t (+)$ 、 $V o u t (-)$ の両端子間には、直列抵抗回路等からなる電圧検出部101が接続されており、電圧出力端子 $V o u t (+)$ 、 $V o u t (-)$ の両端子間の出力電圧レベルに応じた検出電圧信号 $V o$ を生成し、絶縁伝達手段102へ出力する。

20

【0117】

このような構成を用いることで、所謂センタータップ型の全波整流回路を用いたスイッチング電源装置を構成することができる。そして、このような構成であっても、上述の第1の実施形態に示したスイッチング制御を適用することができ、同様の作用効果を得ることができる。

【0118】

なお、本実施形態の図10のスイッチング電源装置では、トランスTの一次側で、1次巻線 $n p$ 、インダクタ $L 1$ およびスイッチ回路 $S 2$ とともに閉回路を構成するキャパシタ $C r$ が、入力電源 $V i$ に並列に接続されている例を示したが、図11に示すように、入力電源 $V i$ に対して直列接続されるような回路構成であってもよい。図11は、第4の実施形態に示す他の回路構成からなるスイッチング電源装置の回路図である。また、図12に示すように、第2スイッチ回路 $S 2$ とキャパシタ $C r$ との直列回路が、第1スイッチ回路 $S 1$ と並列接続されるような回路構成であってもよい。図12は、第4の実施形態に示すまた他の回路構成からなるスイッチング電源装置の回路図である。このような構成であっても、上述のスイッチング制御を適用することができ、同様の作用効果を得ることができる。

30

【0119】

[第5実施形態]

次に、第5の実施形態に係るスイッチング電源装置について図を参照して説明する。図13は、本実施形態のスイッチング電源装置の回路図である。

40

【0120】

図13に示すように、本実施形態のスイッチング電源装置は、トランスT、トランスTの2次側の回路パターンおよび絶縁伝達手段102は、上述の第4実施形態の図10に示したスイッチング電源装置と同じであるが、1次側のバイアス巻線 $n b$ を配置しない構成からなる。

【0121】

本実施形態のスイッチング電源装置は、1次巻線 $n p$ に直列接続されるインダクタ $L r$ を1次巻線とするカレントトランス回路104を形成する。このカレントトランス回路104の2次巻線には、抵抗素子 $R$ が接続されており、当該抵抗素子 $R$ の一方端がダイオード $D 3$ のアノードに接続されている。そして、当該ダイオード $D 3$ のカソードがスイッチ

50

制御用アナログIC10へ接続されることで、モニタ信号Vmが制御用アナログIC10へ与えられる。

【0122】

このような構成とすることで、トランスTの1次巻線npに流れる電流による磁束変化に基づくモニタ信号を生成することができる。また、このような構成とすることで、制御用アナログIC10の駆動電圧Vccを外部等から供給すれば、バイアス巻線nbを用いない構成であっても、上述の実施形態に示したようなスイッチング制御を行うことができる。なお、図13では、センタータップ方式の全波整流回路を用いたスイッチング電源装置の場合を示したが、上述の各実施形態に示した他の方式のスイッチング電源装置であっても、本実施形態のカレントトランス回路を用いる構成を適用することができる。

10

【0123】

[第6実施形態]

次に、第6の実施形態に係るスイッチング電源装置について図を参照して説明する。図14は、本実施形態のスイッチング電源装置の回路図である。

【0124】

図14に示すように、本実施形態のスイッチング電源装置は、トランスT、トランスTの2次側の回路パターンおよび絶縁伝達手段102は、上述の第5実施形態の図13に示した1次側のバイアス巻線nbを配置しない構成からなるスイッチング電源装置と同じである。

【0125】

本実施形態のスイッチング電源装置は、さらに、上述の第5実施形態の図13に示すようなカレントトランス回路も用いない。このため、本実施形態のスイッチング電源装置は、モニタ信号Vmを、1次巻線npの一端から図示しない抵抗分圧回路を介して得る。

20

【0126】

このような構成であっても、制御用アナログIC10の駆動電圧Vccを外部等から供給できるような場合には、バイアス巻線nbを用いずに、上述の実施形態に示したようなスイッチング制御を行うことができる。なお、図14では、センタータップ方式の全波整流回路を用いたスイッチング電源装置の場合を示したが、上述の各実施形態に示した他の方式のスイッチング電源装置であっても、本実施形態の構成を適用することができる。

【0127】

[第7実施形態]

次に、第7の実施形態に係るスイッチング電源装置について図を参照して説明する。図15は、本実施形態のスイッチング電源装置の回路図である。

30

【0128】

上述の各実施形態では、トランスTを用いた絶縁型のスイッチング電源装置を例に示したが、本実施形態では、非絶縁型のコンバータに対して、上述のスイッチング制御を適用する場合を例に説明する。

【0129】

直流入力電圧が印加される入力電源Viの一方端(Vi(+))には、電圧出力端子Vout(-)が接続されている。入力電源Viの他方端(Vi(-))は、第1スイッチ回路Q1とダイオードDsとの直列回路を介して電圧出力端子Vout(+)に接続されている。

40

【0130】

電圧出力端子Vout(+)、Vout(-)の両端子間におけるダイオードDsよりも入力電源Vi側には、インダクタLpが接続されており、さらに、ダイオードDsよりも電圧出力端子Vout(+)、Vout(-)側には、キャパシタCoが接続されている。また、インダクタLpの入力電源Vi側には、キャパシタCrと第2スイッチ回路S2との直列回路が、インダクタLpに対して並列接続されている。

【0131】

第1スイッチ回路S1は、FETからなる第1スイッチング素子Q1、ダイオードD1

50

、キャパシタC1を備える。ダイオードD1、およびキャパシタC1は、第1スイッチング素子Q1のドレイン-ソース間に並列に接続されており、FETである第1スイッチング素子Q1の寄生ダイオードおよび寄生容量により代用することが可能である。第1スイッチング素子Q1は、駆動回路103を介して制御用アナログIC10から与えられる第1スイッチング制御信号Vgs1によってオン・オフ動作する。

【0132】

第2スイッチ回路S2は、FETからなる第2スイッチング素子Q2、ダイオードD2、キャパシタC2を備える。ダイオードD2、およびキャパシタC2は、第2スイッチング素子Q2のドレイン-ソース間に並列に接続されており、FETである第2スイッチング素子Q2の寄生ダイオードおよび寄生容量により代用することが可能である。第2スイッチング素子Q2は、駆動回路103を介して制御用アナログIC10から与えられる第2スイッチング制御信号Vgs2によってオン・オフ動作する。

10

【0133】

また、電圧出力端子Vout(+)、Vout(-)の両端子間には、直列抵抗回路等からなる電圧検出部101が接続されている。電圧検出部101は、電圧出力端子Vout(+)、Vout(-)の両端子間の出力電圧レベルに応じた検出電圧信号Voを生成し、制御用アナログIC10へ供給する。

【0134】

また、電圧出力端子Vout(+), Vout(-)間の出力電圧は、制御用アナログIC10の駆動電圧Vccとして、制御用アナログIC10へ供給される。

20

【0135】

制御用アナログIC10は、上述の実施形態に示すように、駆動電圧Vccにより駆動し、モニタ信号Vm、電圧検出部101からの検出電圧信号Voに基づいて、出力電圧が所定電圧レベルに制御されるように、第1スイッチング制御信号Vgs1および第2スイッチング制御信号Vgs2を生成する。

【0136】

駆動回路103は、第1スイッチング制御信号Vgs1および第2スイッチング制御信号Vgs2を入力し、少なくとも第2スイッチング素子Q2を駆動可能なレベルの信号に昇圧する。駆動回路103は、第1スイッチング制御信号Vgs1を第1スイッチング素子Q1へ出力し、第2スイッチング制御信号Vgs2を第2スイッチング素子Q2へ出力する。

30

【0137】

このような構成とすることで、第1スイッチ回路S1の第1スイッチング素子Q1を制御用スイッチング素子とし、第2スイッチ回路S2の第2スイッチング素子Q2とキャパシタCrとをクランプ回路とした、所謂極性反転型チョッパ回路と称される非絶縁型の昇降圧コンバータを構成することができる。そして、このような構成であっても、上述のスイッチング制御を用いることで、高信頼且つ高効率の非絶縁型の昇降圧コンバータを実現することができる。

【0138】

なお、本実施形態のような非絶縁型であっても、上述の絶縁型と同様に、第2スイッチ回路S2に直列接続されるキャパシタCrが、入力電源ViとインダクタLpとに直列接続される構造や、第2スイッチ回路S2とキャパシタCrとの直列回路が第1スイッチ回路S1に並列接続される構造に適用することができる。

40

【0139】

[第8実施形態]

次に、第8の実施形態に係るスイッチング電源装置について図を参照して説明する。図16は、本実施形態のスイッチング電源装置の回路図である。

【0140】

本実施形態では、第7実施形態に示したスイッチング電源装置と同様に、非絶縁型のコンバータに対して、上述のスイッチング制御を適用する場合を例に説明する。

50

## 【 0 1 4 1 】

直流入力電圧が印加される入力電源  $V_i$  の一方端 ( $V_i (+)$ ) には、第 2 スイッチ回路  $Q_2$  とインダクタ  $L_p$  との直列回路を介して、電圧出力端子  $V_{out} (+)$  が接続されている。一方、入力電源  $V_i$  の他方端 ( $V_i (-)$ ) は、電圧出力端子  $V_{out} (-)$  に接続されている。

## 【 0 1 4 2 】

第 2 スイッチ回路  $S_2$  は、FET からなる第 2 スイッチング素子  $Q_2$ 、ダイオード  $D_2$ 、キャパシタ  $C_2$  を備える。ダイオード  $D_2$ 、およびキャパシタ  $C_2$  は、第 2 スイッチング素子  $Q_2$  のドレイン - ソース間に並列に接続されており、FET である第 2 スイッチング素子  $Q_2$  の寄生ダイオードおよび寄生容量により代用することが可能である。第 2 スイッチング素子  $Q_2$  は、駆動回路 103 を介して制御用アナログ IC 10 から与えられる第 2 スイッチング制御信号  $V_{gs2}$  によってオン・オフ動作する。

10

## 【 0 1 4 3 】

第 2 スイッチ回路  $S_2$  とインダクタ  $L_p$  との接続点と、電圧出力端子  $V_{out} (-)$  の間には、第 1 スイッチ回路  $S_1$  が接続されている。

## 【 0 1 4 4 】

第 1 スイッチ回路  $S_1$  は、FET からなる第 1 スイッチング素子  $Q_1$ 、ダイオード  $D_1$ 、キャパシタ  $C_1$  を備える。ダイオード  $D_1$ 、およびキャパシタ  $C_1$  は、第 1 スイッチング素子  $Q_1$  のドレイン - ソース間に並列に接続されており、FET である第 1 スイッチング素子  $Q_1$  の寄生ダイオードおよび寄生容量により代用することが可能である。第 1 スイッチング素子  $Q_1$  は、駆動回路 103 を介して制御用アナログ IC 10 から与えられる第 1 スイッチング制御信号  $V_{gs1}$  によってオン・オフ動作する。

20

## 【 0 1 4 5 】

また、電圧出力端子  $V_{out} (+)$ 、 $V_{out} (-)$  の両端子間におけるインダクタ  $L_p$  よりも電圧出力端子  $V_{out} (+)$ 、 $V_{out} (-)$  側には、キャパシタ  $C_o$  が接続されている。

## 【 0 1 4 6 】

また、電圧出力端子  $V_{out} (+)$ 、 $V_{out} (-)$  の両端子間には、直列抵抗回路等からなる電圧検出部 101 が接続されている。電圧検出部 101 は、電圧出力端子  $V_{out} (+)$ 、 $V_{out} (-)$  の両端子間の出力電圧レベルに応じた検出電圧信号  $V_o$  を生成し、制御用アナログ IC 10 へ供給する。

30

## 【 0 1 4 7 】

また、電圧出力端子  $V_{out} (+)$ 、 $V_{out} (-)$  間の出力電圧は、制御用アナログ IC 10 の駆動電圧  $V_{cc}$  として、制御用アナログ IC 10 へ供給される。

## 【 0 1 4 8 】

制御用アナログ IC 10 は、上述の実施形態に示すように、駆動電圧  $V_{cc}$  により駆動し、第 1 モニタ信号  $V_{m1}$ 、第 2 モニタ信号  $V_{m2}$ 、電圧検出部 101 からの検出電圧信号  $V_o$  に基づいて、出力電圧が所定電圧レベルに制御されるように、第 1 スイッチング制御信号  $V_{gs1}$  および第 2 スイッチング制御信号  $V_{gs2}$  を生成する。

40

## 【 0 1 4 9 】

駆動回路 103 は、第 1 スイッチング制御信号  $V_{gs1}$  および第 2 スイッチング制御信号  $V_{gs2}$  を入力し、少なくとも第 2 スイッチング素子  $Q_2$  を駆動可能なレベルの信号に昇圧する。駆動回路 103 は、第 1 スイッチング制御信号  $V_{gs1}$  を第 1 スイッチング素子  $Q_1$  へ出力し、第 2 スイッチング制御信号  $V_{gs2}$  を第 2 スイッチング素子  $Q_2$  へ出力する。

## 【 0 1 5 0 】

このような構成とすることで、第 2 スイッチ回路  $S_2$  の第 2 スイッチング素子  $Q_2$  を制御用スイッチング素子とし、第 1 スイッチ回路  $S_1$  の第 1 スイッチング素子  $Q_1$  をダイオードの代わりに利用した、所謂ハーフブリッジ型の非絶縁型降圧コンバータを構成することができる。そして、このような構成であっても、上述のスイッチング制御を用いること

50

で、高信頼且つ高効率の非絶縁型の降圧コンバータを実現することができる。

【0151】

[第9実施形態]

次に、第9の実施形態に係るスイッチング電源装置について図を参照して説明する。図17は、本実施形態のスイッチング電源装置の回路図である。

【0152】

本実施形態のスイッチング電源装置は、第1の実施形態の図1に示したフライバック方式のスイッチング電源装置において、2次側のダイオード $D_s$ をスイッチング素子 $Q_s$ に置き換えたものである。このような構成では、制御用アナログIC10は、第1スイッチ回路S1の第1スイッチング素子 $Q_1$ および第2スイッチ回路S2の第2スイッチング素子 $Q_2$ とともに、スイッチング素子 $Q_s$ に対するスイッチ制御信号 $V_{gss}$ も生成する。この際、制御用アナログIC10は、スイッチング素子 $Q_s$ を、第1の実施形態に示したダイオード $D_s$ と同様の動作となるようにスイッチ制御信号 $V_{gss}$ を生成する。このように、制御用アナログIC10で生成されたスイッチ制御信号 $V_{gss}$ は、第2の絶縁伝達手段102'を介して、スイッチング素子 $Q_s$ へ与えられる。なお、スイッチ制御信号 $V_{gss}$ は、第1スイッチング制御信号 $V_{gs1}$ および第2スイッチング制御信号 $V_{gs2}$ と同様に、必要に応じて駆動回路等により昇圧した後に、スイッチング素子 $Q_s$ へ与えられる。

10

【0153】

なお、本実施形態においても、上述の第1の実施形態と同様に、図18に示すように、入力電源 $V_i$ に対してキャパシタ $C_r$ が直列接続されるような回路構成であってもよい。図18は、第9の実施形態に示す他の回路構成からなるスイッチング電源装置の回路図である。

20

【0154】

これらのような構成であっても、上述の実施形態に示したスイッチング制御を適用することができ、同様の作用効果を得ることができる。

【0155】

[第10実施形態]

次に、第10の実施形態に係るスイッチング電源装置について図を参照して説明する。図19は、本実施形態のスイッチング電源装置の回路図である。

30

【0156】

本実施形態のスイッチング電源装置は、第2の実施形態の図6に示したフォワード方式のスイッチング電源装置において、2次側のダイオード $D_s$ をスイッチング素子 $Q_s$ に置き換え、ダイオード $D_f$ をスイッチング素子 $Q_f$ に置き換えたものである。このような構成では、整流側同期整流素子に相当するスイッチング素子 $Q_s$ および転流側同期整流素子に相当するスイッチング素子 $Q_f$ は、トランスTの2次巻線 $n_s$ の磁束変化にしたがって相補的にオン・オフ駆動を行うような自己駆動型同期整流回路を構成している。

【0157】

このような構成であっても、上述の実施形態に示したスイッチング制御を適用することができ、同様の作用効果を得ることができる。

40

【0158】

[第11実施形態]

次に、第11の実施形態に係るスイッチング電源装置について図を参照して説明する。図20は、本実施形態のスイッチング電源装置の回路図である。

【0159】

本実施形態のスイッチング電源装置は、第3の実施形態の図7に示したスイッチング電源装置において、2次側のダイオード $D_s$ をスイッチング素子 $Q_s$ に置き換え、ダイオード $D_f$ をスイッチング素子 $Q_f$ に置き換えたものである。このような構成では、制御用アナログIC10は、第1スイッチ回路S1の第1スイッチング素子 $Q_1$ および第2スイッチ回路S2の第2スイッチング素子 $Q_2$ とともに、スイッチング素子 $Q_s$ に対するスイッ

50

チ制御信号  $V_{gss}$  およびスイッチング素子  $Q_f$  に対するスイッチ制御信号  $V_{gsf}$  も生成する。この際、制御用アナログ IC 10 は、スイッチング素子  $Q_s$  を、第 1 の実施形態に示したダイオード  $D_s$  と同様の動作となるようにスイッチ制御信号  $V_{gss}$  を生成する。また、制御用アナログ IC 10 は、スイッチング素子  $Q_f$  を、第 1 の実施形態に示したダイオード  $D_f$  と同様の動作となるようにスイッチ制御信号  $V_{gsf}$  を生成する。このように、制御用アナログ IC 10 で生成されたスイッチ制御信号  $V_{gss}$ 、 $V_{gsf}$  は、第 2 の絶縁伝達手段 102' を介して、スイッチング素子  $Q_s$ 、 $Q_f$  へ与えられる。なお、スイッチ制御信号  $V_{gss}$ 、 $V_{gsf}$  は、第 1 スwitchング制御信号  $V_{gs1}$  および第 2 スwitchング制御信号  $V_{gs2}$  と同様に、必要に応じて駆動回路等により昇圧した後に、スイッチング素子  $Q_s$ 、 $Q_f$  へ与えられる。

10

## 【0160】

なお、本実施形態においても、上述の第 3 の実施形態と同様に、図 21 に示すように、入力電源  $V_i$  に対してキャパシタ  $C_r$  が直列接続されるような回路構成であってもよい。図 21 は、第 11 の実施形態に示す他の回路構成からなるスイッチング電源装置の回路図である。

## 【0161】

これらのような構成であっても、上述の実施形態に示したスイッチング制御を適用することができ、同様の作用効果を得ることができる。

## 【0162】

## [第12実施形態]

20

次に、第 12 の実施形態に係るスイッチング電源装置について図を参照して説明する。図 22 は、本実施形態のスイッチング電源装置の回路図である。

## 【0163】

本実施形態のスイッチング電源装置は、第 4 の実施形態の図 10 に示したセンタータップ型の全波整流回路を備えるスイッチング電源装置において、2 次側のダイオード  $D_s$  をスイッチング素子  $Q_s$  に置き換え、ダイオード  $D_f$  をスイッチング素子  $Q_f$  に置き換えたものである。このような構成では、制御用アナログ IC 10 は、第 1 スwitch回路  $S_1$  の第 1 スwitchング素子  $Q_1$  および第 2 スwitch回路  $S_2$  の第 2 スwitchング素子  $Q_2$  とともに、スイッチング素子  $Q_s$  に対するスイッチ制御信号  $V_{gss}$  およびスイッチング素子  $Q_f$  に対するスイッチ制御信号  $V_{gsf}$  も生成する。この際、制御用アナログ IC 10 は、スイッチング素子  $Q_s$  を、第 1 の実施形態に示したダイオード  $D_s$  と同様の動作となるようにスイッチ制御信号  $V_{gss}$  を生成する。また、制御用アナログ IC 10 は、スイッチング素子  $Q_f$  を、第 1 の実施形態に示したダイオード  $D_f$  と同様の動作となるようにスイッチ制御信号  $V_{gsf}$  を生成する。このように、制御用アナログ IC 10 で生成されたスイッチ制御信号  $V_{gss}$ 、 $V_{gsf}$  は、第 2 の絶縁伝達手段 102' を介して、スイッチング素子  $Q_s$ 、 $Q_f$  へ与えられる。なお、スイッチ制御信号  $V_{gss}$ 、 $V_{gsf}$  は、第 1 スwitchング制御信号  $V_{gs1}$  および第 2 スwitchング制御信号  $V_{gs2}$  と同様に、必要に応じて駆動回路等により昇圧した後に、スイッチング素子  $Q_s$ 、 $Q_f$  へ与えられる。

30

## 【0164】

なお、本実施形態においても、上述の第 4 の実施形態と同様に、図 23 に示すように、入力電源  $V_i$  に対してキャパシタ  $C_r$  が直列接続されるような回路構成であってもよい。図 23 は、第 12 の実施形態に示す他の回路構成からなるスイッチング電源装置の回路図である。

40

## 【0165】

これらのような構成であっても、上述の実施形態に示したスイッチング制御を適用することができ、同様の作用効果を得ることができる。

## 【0166】

## [第13実施形態]

次に、第 13 の実施形態に係るスイッチング電源装置について図を参照して説明する。図 24 は、本実施形態のスイッチング電源装置の回路図である。

50

## 【 0 1 6 7 】

本実施形態のスイッチング電源装置は、第7の実施形態の図15に示した非絶縁型の昇降圧コンバータにおいて、1次側のダイオード $D_s$ をスイッチング素子 $Q_s$ に置き換えたものである。

## 【 0 1 6 8 】

このような構成では、制御用アナログIC10は、第1スイッチ回路S1の第1スイッチング素子 $Q_1$ および第2スイッチ回路S2の第2スイッチング素子 $Q_2$ とともに、スイッチング素子 $Q_s$ に対するスイッチ制御信号 $V_{gs}$ も生成する。この際、制御用アナログIC10は、スイッチング素子 $Q_s$ を、第7の実施形態に示したダイオード $D_s$ と同様の動作となるようにスイッチ制御信号 $V_{gs}$ を生成する。このように、制御用アナログIC10で生成されたスイッチ制御信号 $V_{gs}$ は、スイッチング素子 $Q_s$ へ与えられる。なお、スイッチ制御信号 $V_{gs}$ は、第1スイッチング制御信号 $V_{gs1}$ および第2スイッチング制御信号 $V_{gs2}$ と同様に、必要に応じて駆動回路等により昇圧した後に、スイッチング素子 $Q_s$ へ与えられる。

10

## 【 0 1 6 9 】

このような構成であっても、上述の実施形態に示したスイッチング制御を適用することができ、同様の作用効果を得ることができる。

## 【 0 1 7 0 】

なお、上述の各実施形態は、本発明のスイッチング制御を適用可能な代表的な回路例を示したものであり、これら実施形態の組み合わせ等から容易に類推される回路からなるスイッチング電源装置についても、上述のような作用効果を当然に得られるものである。

20

## 【 0 1 7 1 】

また、上述の実施形態では、スイッチング素子のドレインソース間電圧の変化に基づくモニタ信号を用いて例を示したが、例えば、第1の実施形態の1次側回路の構成において、スイッチング素子 $Q_1$ と1次巻線 $n_p$ のスイッチング素子側とを接続する伝送ラインにホールセンサを設け、当該ホールセンサからの出力をモニタ信号として利用することもできる。これにより、スイッチング素子に流れる電流の変化に基づくモニタ信号を生成することもできる。

## 【 0 1 7 2 】

また、上述の各実施形態では、一つのモニタ信号に対して、第1スイッチング制御信号 $V_{gs1}$ 用と第2スイッチング制御信号 $V_{gs2}$ 用の二つの閾値を設定する例を示したが、スイッチング制御信号毎にモニタ信号を設定し、各モニタ信号に対してそれぞれ閾値を設定するようにしてもよい。この際、バイアス巻線が配置されている形態であれば、バイアス巻線からの出力をモニタ信号に利用しても良い。

30

## 【 0 1 7 3 】

また、上述の説明では、ノコギリ波信号 $V_{chp}$ の周期性により各スイッチング素子のターンオフタイミングすなわち各スイッチング素子のオン時間を与えているが、トランスTやインダクタLpに流れる電流またはスイッチング素子に流れる電流を検出して、オン時間の最大値を制限することもできる。これにより、上述のスイッチング制御において過電流が流れることを防止することができる。

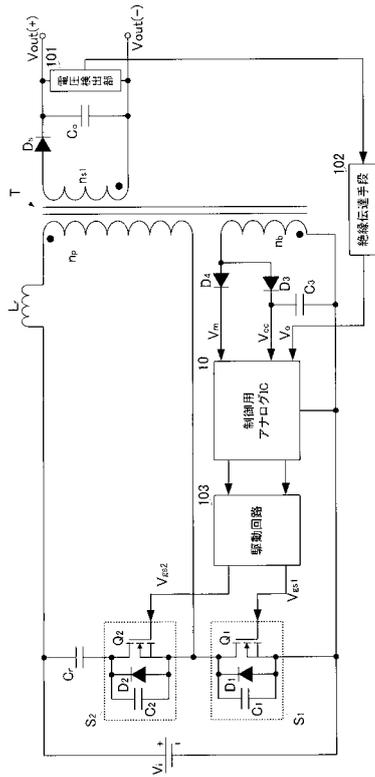
40

## 【 符号の説明 】

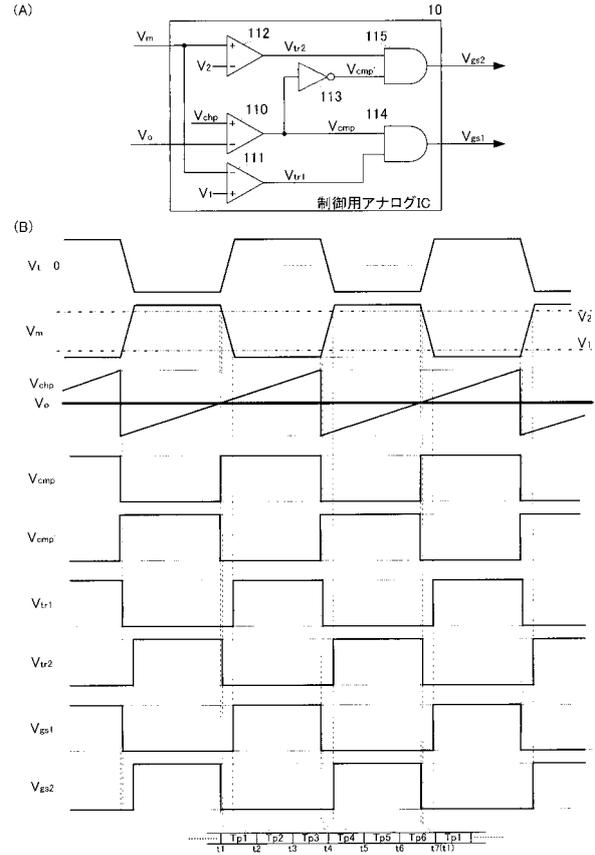
## 【 0 1 7 4 】

10, 10', 20, 30, 40, 50 - 制御用アナログIC、110, 111, 112, 120 - コンパレータ、113, 130 - インバータ、114, 115 - AND回路、114, 115, 151, 152 - 遅延回路、153, 154 - OR回路、124, 125 - フリップフロップ回路、101 - 電圧検出部、102, 102' - 絶縁伝達手段、103 - 駆動回路、104 - カレントトランス回路

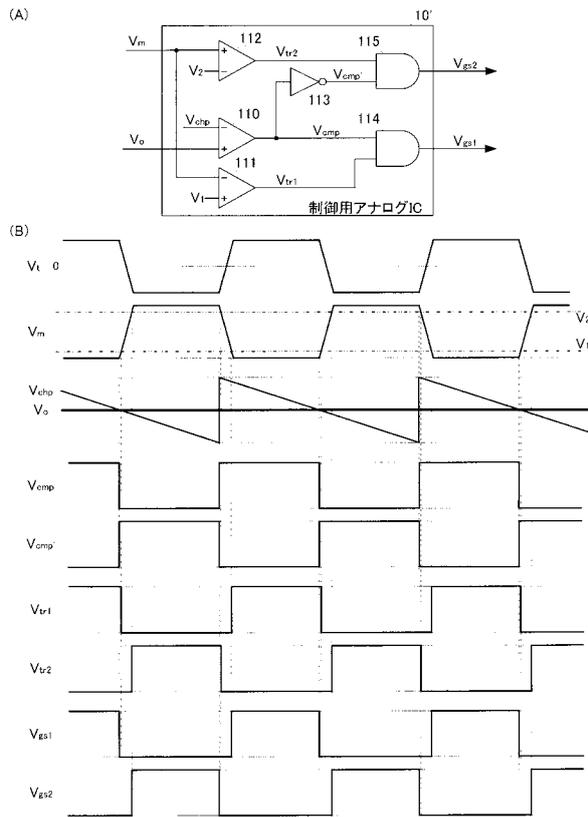
【図1】



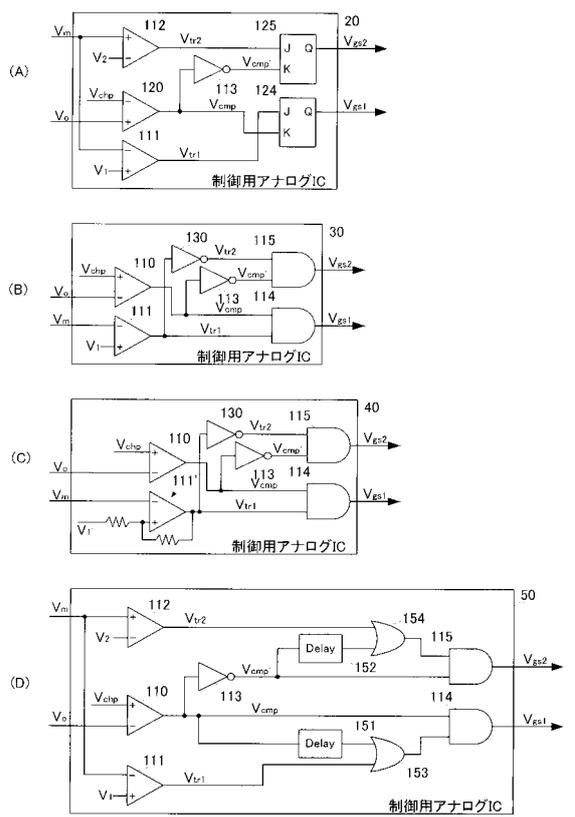
【図2】



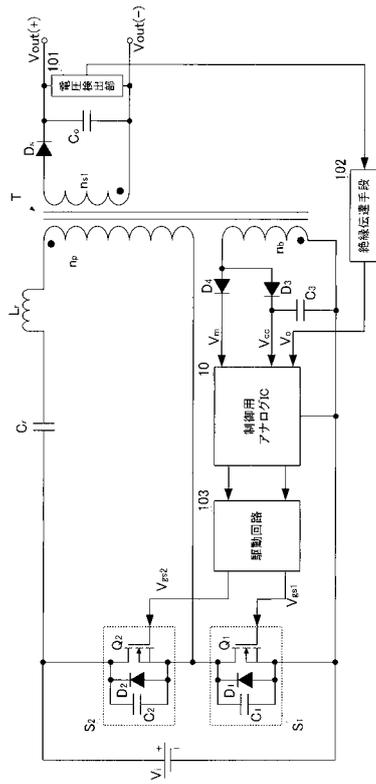
【図3】



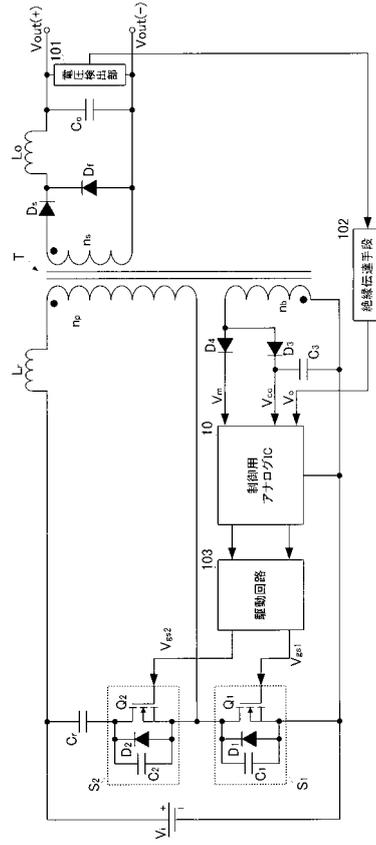
【図4】



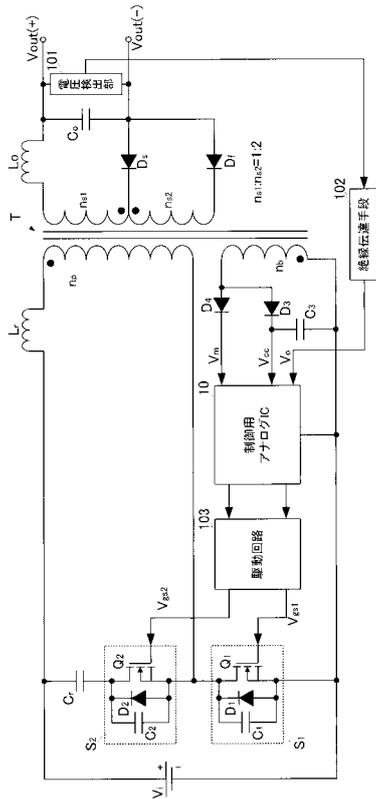
【図5】



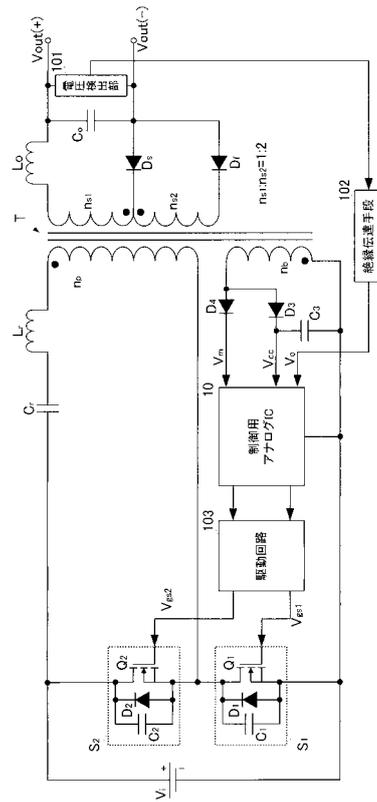
【図6】



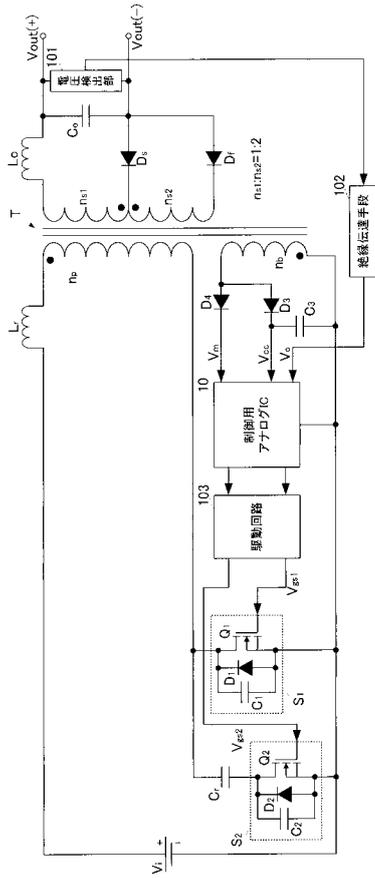
【図7】



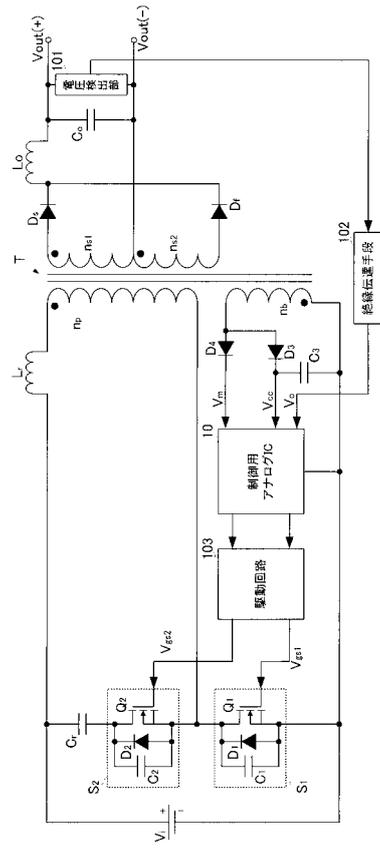
【図8】



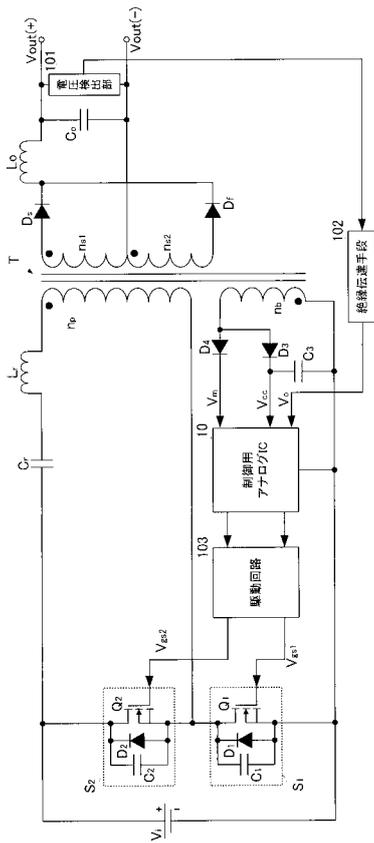
【図 9】



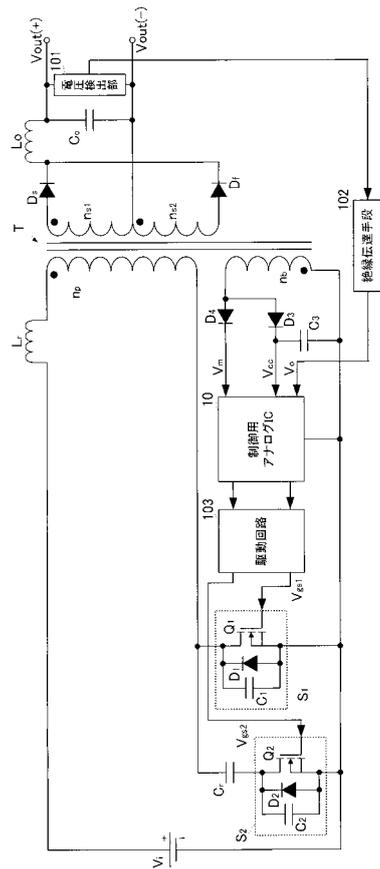
【図 10】



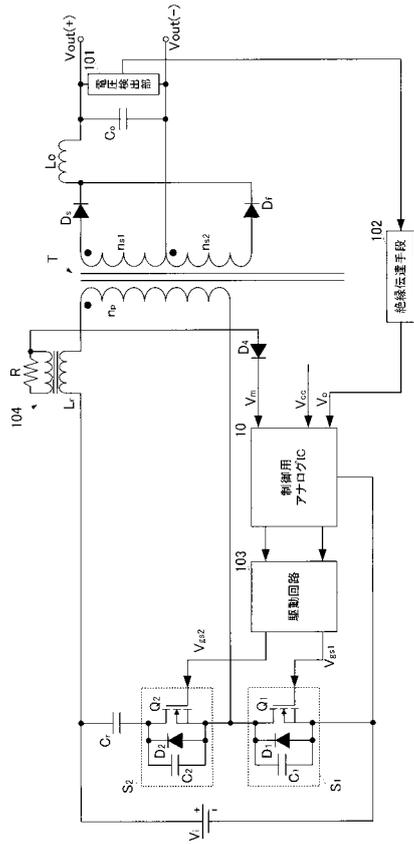
【図 11】



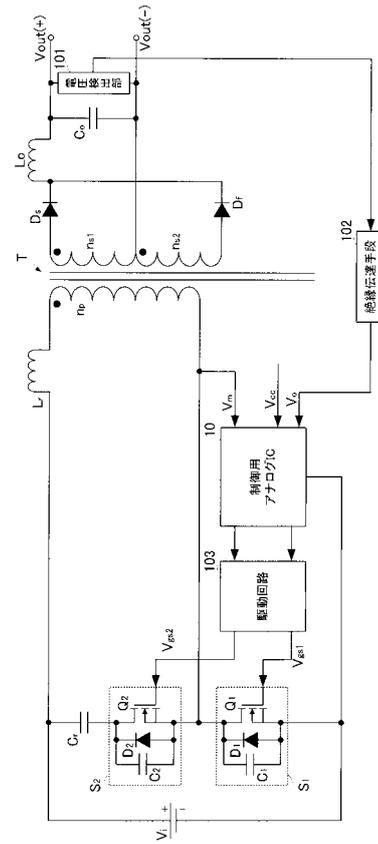
【図 12】



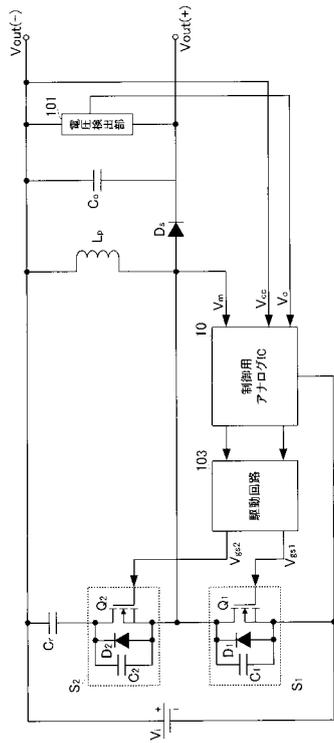
【図 13】



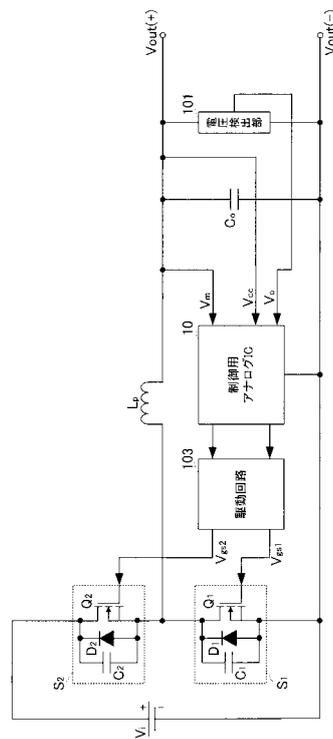
【図 14】



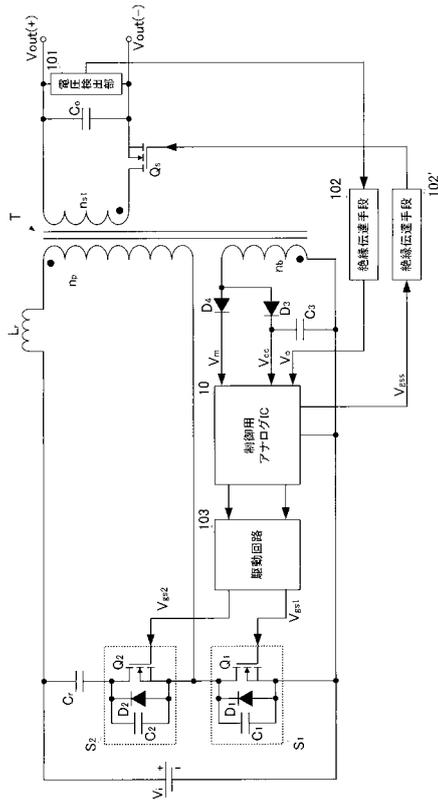
【図 15】



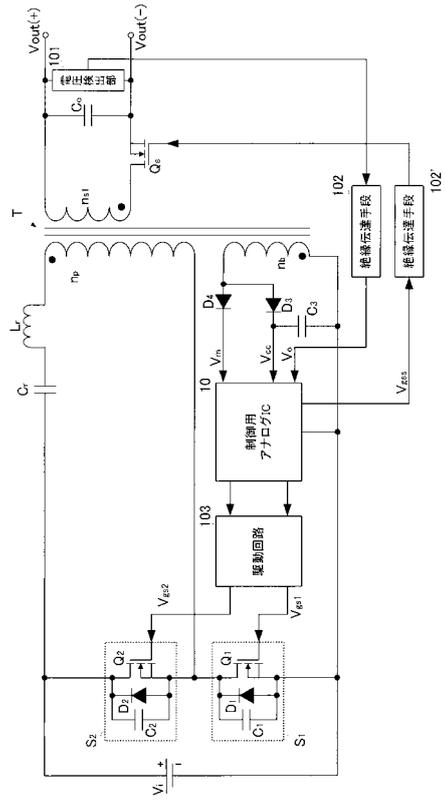
【図 16】



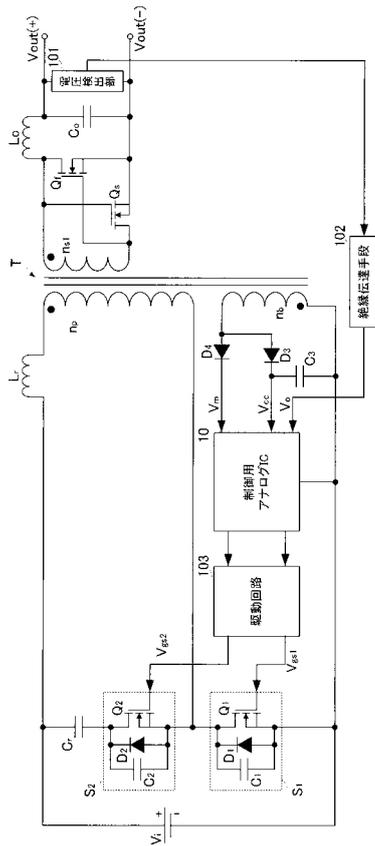
【図 17】



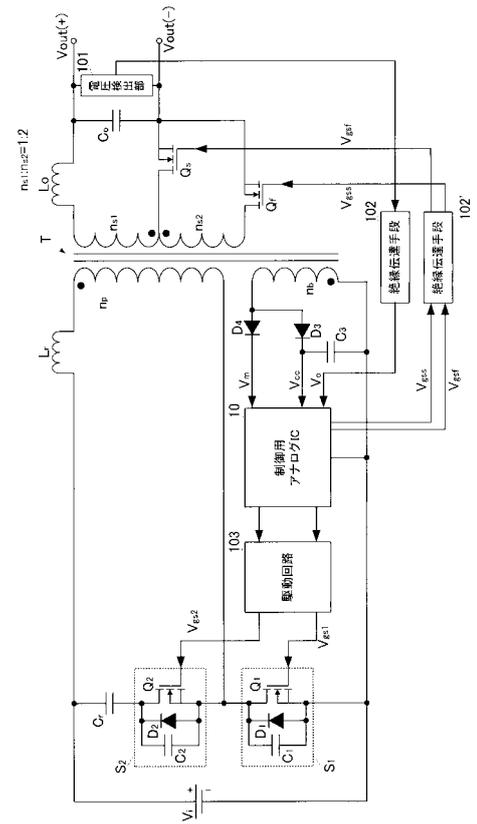
【図 18】



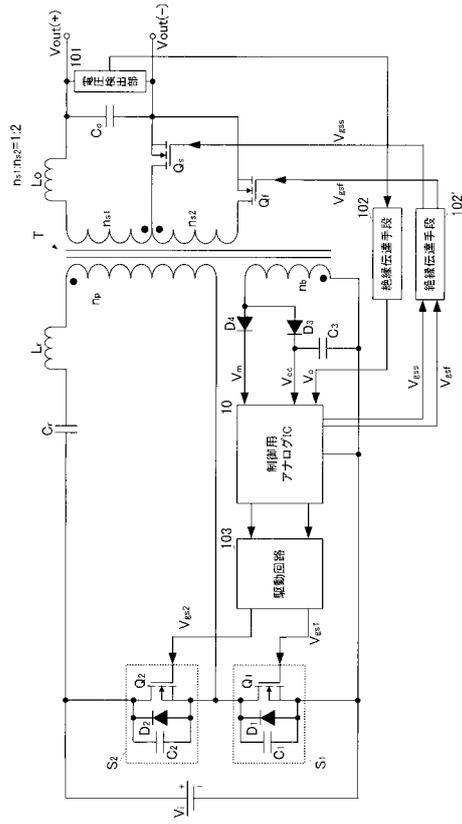
【図 19】



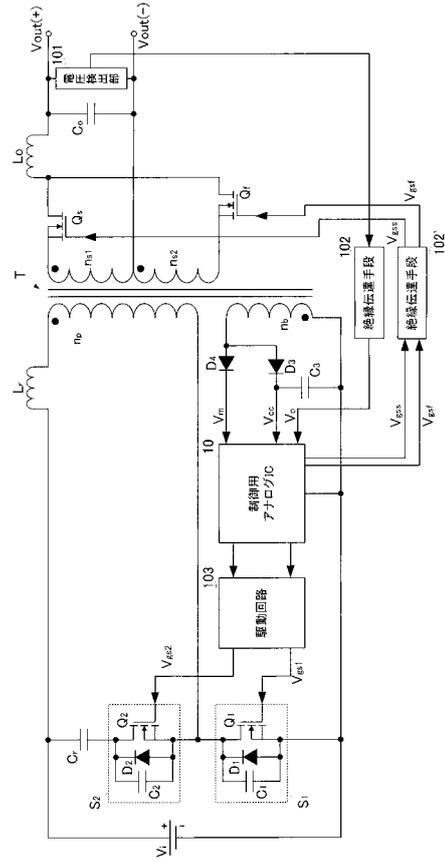
【図 20】



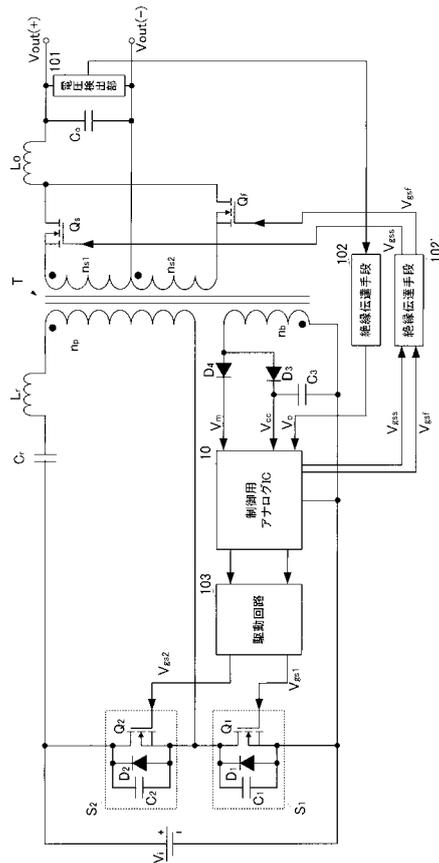
【図 2 1】



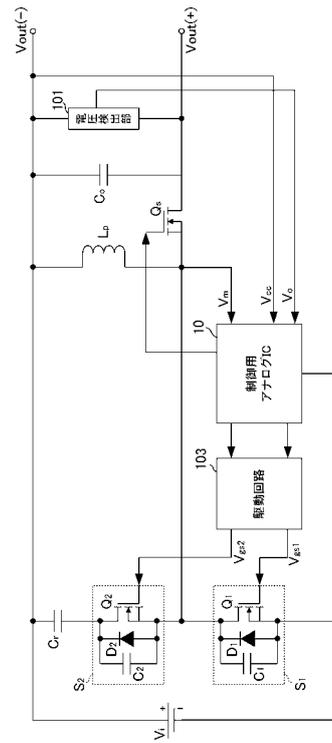
【図 2 2】



【図 2 3】



【図 2 4】



---

フロントページの続き

- (56)参考文献 特開2007-097379(JP,A)  
実開平04-076185(JP,U)  
特開2002-209381(JP,A)  
特開2003-009528(JP,A)  
特開2004-312913(JP,A)  
特開2001-258269(JP,A)  
特開2000-069746(JP,A)  
特開2004-023846(JP,A)  
特開2002-165442(JP,A)  
特開2001-037220(JP,A)

(58)調査した分野(Int.Cl., DB名)

H02M 3/28  
H02M 3/155