



(21) 申請案號：101108354 (22) 申請日：中華民國 101 (2012) 年 03 月 12 日

(51) Int. Cl. : *H01L21/8242(2006.01)* *H01L21/762 (2006.01)*  
*H01L27/108 (2006.01)*

(71) 申請人：華亞科技股份有限公司 (中華民國) INOTERA MEMORIES, INC. (TW)  
 桃園縣龜山鄉復興三路 667 號

(72) 發明人：辜亞敏 KUMAR, ARVIND (IN)；何 瑞克 LAHAUG, ERIC (US)；達塔 達文西  
 庫馬爾 DATTA, DEVESH KUMAR (SG)；周健華 CHOW, KEEN-WAH (SG)；楊  
 家銘 YANG, CHIA MING (TW)；李建錡 LEE, CHIEN CHI (TW)；余 瑞德  
 FISHBURN, FREDRICK DAVID (US)

(74) 代理人：莊志強

(56) 參考文獻：

TW 436974

TW 201203453A1

US 6949445B2

WO 2012/030371A2

審查人員：施喻懷

申請專利範圍項數：10 項 圖式數：6 共 0 頁

(54) 名稱

動態隨機存取記憶體之淺溝槽隔絕結構及其製造方法

SHALLOW TRENCH ISOLATION IN DYNAMIC RANDOM ACCESS MEMORY AND  
 MANUFACTURING METHOD THEREOF

(57) 摘要

本發明提供一種動態隨機存取記憶體(DRAM)之淺溝槽隔絕(STI)結構及其製造方法，該方法的步驟為(a)提供一基材；(b)在該基材中蝕刻至少一溝渠；(c)在該溝渠底部或側邊摻雜一摻雜物；(d)在該溝渠內填充氧化物；及(e)拋光磨平該溝渠及該氧化物的上方。藉此，該 STI 結構的摻雜物周邊或角落之處的應力集中現象可大幅減小，用以消除矽材質的晶格缺陷，並改善 DRAM 的數據資料維持時間(Retention time)之變異性問題。

The present invention relating to a Shallow Trench Isolation (STI) in Dynamic Random Access Memory (DRAM) and the manufacturing method thereof are provided. The method comprises: (a) providing a substrate; (b) forming at least one trench on the substrate; (c) doping a dopant at the bottom or the side wall of the trench; (d) filling a oxide in the trench; and (e) polishing the upper side of the trench and the oxide. In this manner, the corner and the neighborhood of the STI may reduce the stress, so as to diminish the defect of the substrate and improve the DRAM variability in retention time.

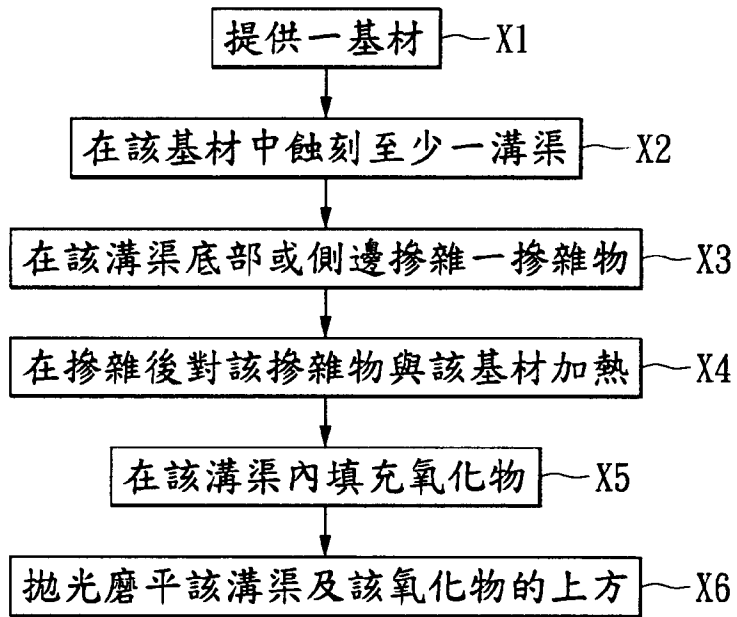


圖 1

## 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：(01108354)

H01L 21/0242 (2006.01)

※申請日：101. 3. 12

※IPC 分類：

H01L 21/762 (2006.01)

H01L 27/108 (2006.01)

## 一、發明名稱：(中文/英文)

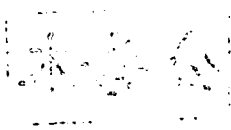
動態隨機存取記憶體之淺溝槽隔絕結構及其製造方法  
/Shallow Trench Isolation in Dynamic random access  
memory and manufacturing method thereof

## 二、中文發明摘要：

本發明提供一種動態隨機存取記憶體(DRAM)之淺溝槽隔絕(STI)結構及其製造方法，該方法的步驟為(a)提供一基材；(b)在該基材中蝕刻至少一溝渠；(c)在該溝渠底部或側邊摻雜一摻雜物；(d)在該溝渠內填充氧化物；及(e)拋光磨平該溝渠及該氧化物的上方。藉此，該 STI 結構的摻雜物周邊或角落之處的應力集中現象可大幅減小，用以消除矽材質的晶格缺陷，並改善 DRAM 的數據資料維持時間(Retention time)之變異性問題。

## 三、英文發明摘要：

The present invention relating to a Shallow Trench Isolation (STI) in Dynamic Random Access Memory (DRAM) and the manufacturing method thereof are provided. The method comprises: (a)providing a substrate; (b)forming at least one trench on the substrate; (c)doping a dopant at the bottom or the side wall of the trench; (d)filling a oxide in the



trench; and (e) polishing the upper side of the trench and the oxide. In this manner, the corner and the neighborhood of the STI may reduce the stress, so as to diminish the defect of the substrate and improve the DRAM variability in retention time.

四、指定代表圖：

(一)本案指定代表圖為：第 ( 1 ) 圖。

(二)本代表圖之元件符號簡單說明：

無

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

## 六、發明說明：

### 【發明所屬之技術領域】

本發明係有關於一種動態隨機存取記憶體(Dynamic Random Access Memory, DRAM)的淺溝槽隔絕(Shallow Trench Isolation, STI)結構及其製造方法，特別是指一種用以改善 DRAM 之數據資料維持時間變異性(Variability in data retention time)的 STI 結構及其製造方法。

### 【先前技術】

積體電路的發展技術日新月異，其發展趨勢往功能強大，尺寸縮小與速度加快的方向前進，而動態隨機存取記憶體(DRAM)的製造技術亦是如此，尤其是其記憶容量的增加更是最重要的關鍵。一般而言，DRAM 的記憶體單元主要係由電晶體、電容及周邊控制電路所組成，而為了達到更快的運算速度、更高的儲存容量，在元件積集密度要求越來越高的情況下，記憶單元與電晶體的尺寸需要大幅縮小，才可能製造出記憶容量更高，處理速度更快的 DRAM。

隨著積體電路體積的縮小，DRAM 的數據資料維持時間(Retention time)也越來越不易控制，其直接影響的就是該 DRAM 的良率及工作效能。

DRAM 的數據資料維持時間會產生極大的變異性，其原因係在於 DRAM 的記憶體單元隨著微小化而產生的訊號洩露(leakage)，而該洩露的主要機制即在於矽晶原料在晶格或原子鍵結處所產生的缺陷而造成的結果；舉例來說，DRAM 製程中的電漿蝕刻步驟，即常常造成晶格差排

(dislocation)、平面滑移(slip plane)等晶格上的缺陷。

傳統上，”淺溝槽隔絕(Shallow Trench Isolation, STI)結構”是一種常見於 DRAM 的結構，其目的係在於作為相異兩導線或兩電極之間的阻隔。然而，在電子元件微小化的趨勢下，STI 結構在製程中常容易在 STI 結構周邊、角落的矽材料之處形成應力集中的現象，甚至在後續製程中將介電材質填入 STI 結構內，也會更進一步地加深其應力集中的狀況，因而導致形成了上述的晶格缺陷。

因此，如何改善 STI 結構中，其周邊矽材料的應力集中現象，藉以消除晶格差排、平面滑移之晶格缺陷，進而改善 DRAM 的數據資料維持時間(Retention time)之變異性問題，這是本領域具有通常知識者努力的目標。

#### 【發明內容】

本發明主要目的在改善 STI 結構中，其周邊矽材料的應力集中現象，藉以消除晶格差排、平面滑移之晶格缺陷，進而改善 DRAM 的數據資料維持時間(Retention time)之變異性問題。

為達上述及其他目的，本發明提供一種動態隨機存取記憶體之淺溝槽隔絕結構之製造方法，其步驟包括：(a)提供一基材；(b)在該基材中蝕刻至少一溝渠；(c)在該溝渠底部或側邊摻雜一摻雜物；(d)在該溝渠內填充氧化物；及(e)拋光磨平該溝渠及該氧化物的上方。

如上所述動態隨機存取記憶體的淺溝槽隔絕結構之製造方法，其中，更包括下列步驟：在摻雜時或摻雜後對該摻雜物與該基材加熱。

為達上述及其他目的，本發明提供一種動態隨機存取記憶體之淺溝槽隔絕結構，該 STI 結構包括有一基材、至少一溝渠及至少一氧化物。其中，該溝渠設置於該基材的上表面，該溝渠的底部或側邊形成有一摻雜物。該氧化物填充於該溝渠內，並將該摻雜物覆蓋。

在較佳的實施方式中，該 STI 結構及其製造方法的摻雜物為硼元素、碳元素或 4A 族的任一元素，該摻雜物的劑量小於  $1.5 \times 10^{14}$  ions/cm<sup>2</sup>，該摻雜物的摻雜能量小於 25keV。

該基材的材質可為多晶矽(polysilicon)，該氧化物的材質為四乙氧基矽烷(tetraeth oxysilane, TEOS)、磷矽玻璃或未摻雜之矽玻璃材質。

綜合上述，本發明所述的動態隨機存取記憶體(DRAM)之 STI 結構及其製造方法，可使該摻雜物周邊或該 STI 結構的角落之處的應力集中現象大幅減小，因而消除矽材質的晶格缺陷；當該 STI 結構作為 DRAM 的電極之間或導線之間的隔絕元件時，其 DRAM 的數據資料維持時間(Retention time)之變異性問題即可大幅改善。

為使能更進一步瞭解本發明的特徵及技術內容，請參閱以下有關本發明的詳細說明與附圖，然而所附圖式僅提供參考與說明用，並非用來對本發明加以限制。

### 【實施方式】

請同時參閱圖 1 與圖 2~圖 6，圖 1 為本發明之動態隨機存取記憶體的淺溝槽隔絕結構之製造方法流程圖，圖 2~圖 6 為本發明 DRAM 的 STI 結構製造方法的各個步驟的成



型示意圖。本發明的製造方法係用以製造一動態隨機存取記憶體(Dynamic Random Access Memory, DRAM)的淺溝槽隔絕結構 10(Shallow Trench Isolation, STI)，一開始如圖 2 所示，先提供一基材 11(步驟 X1)，該基材 11 的材質較佳為單晶矽或多晶矽(polysilicon)。然後，如圖 3 所示，在該基材 11 的上表面蝕刻至少一溝渠 12(步驟 X2)，其蝕刻的方法可利用光罩→曝光→顯影→濕蝕刻(wetted etching)的方法，而在該基材 11 的矽材質上開鑿出該溝渠 12。在此，利用蝕刻的手段其具有經濟、便宜、快速且大量製造等製程上的優點。

接下來，如圖 4 所示，在該溝渠 12 底部及側邊摻雜一摻雜物 13(dopant)(步驟 X3)；其中，該摻雜物 13 較佳係為硼元素、碳元素或者 4A 族的其他元素，且，經過實驗，該摻雜物 13 的劑量較佳係小於  $1.5 \times 10^{14}$  ions/cm<sup>2</sup>(即每平方公分  $1.5 \times 10^{14}$  個離子)，摻雜該摻雜物 13 時的摻雜能量較佳係小於 25keV。一般而言，受限於結構輪廓的關係，摻雜在該溝渠 12 底部的製程可以藉由離子佈植(ion implantation)的方式而施予摻雜，可收精準控制該摻雜物 13 濃度、摻雜製程再現性高與低溫加工等優點。而摻雜在該溝渠 12 側邊的製程，其係可以透過氣態摻雜物 13 擴散、進入該基材 11 內部的方式來施予摻雜製程，或者是將含有摻雜物 13 的氧化物沉積於該溝渠 12 的側邊，再藉由高溫而使該摻雜物 13 的原子(或離子)進入該基材內部的方式為之。此外，為了得到較佳、較均勻的摻雜效果，可進一步地在摻雜的同時或在摻雜之後，對該摻雜物 13 與該基材 11 加熱(步驟 X4)，如此，該摻雜物 13 的離子或原子即可

透過較高的溫度而均勻地擴散至該溝渠 12 的周邊，避免該摻雜物 13 離子或原子分佈不均的狀況。

接下來，如圖 5 所示，當摻雜完成後，在該溝渠 12 內填充或成長氧化物 14(步驟 X5)，該氧化物 14 之材質較佳為四乙氧基矽烷(tetraeth oxysilane, TEOS)、磷矽玻璃(Phosphor-Silicate Glass, PSG)或未摻雜之矽玻璃(Un-dopant Silicon Glass, USG)材質。一般而言，該氧化物 14 成長、沉積的方式可為物理氣相沉積法(physical vapor deposition, PVD)或化學氣相沉積法(chemical vapor deposition, CVD)；在此，該步驟 X5 的沉積製程之優點在於：該氧化物 14 的厚度、品質及成份比例易於控制。

最後，為求結構表面的平整性，即在該氧化物 14 的上方表面施予拋光磨平的手段(步驟 X6)，該拋光磨平的方式較佳係以化學機械拋光(Chemical Mechanical Polish, CMP)法為之。當完成拋光磨平之後，即可完成該 STI 結構 10 的製造，使該 STI 結構 10 的基材 11 之上表面具有多個溝渠 12，在每一溝渠 12 的底部及側邊形成有摻雜物 13，並將一 TEOS 的氧化物材質填充於該溝渠 12 內而將該摻雜物 13 覆蓋。

本發明的 STI 結構 10 經過實驗證實，發現該 STI 結構 10 在該摻雜物 13 周邊或該 STI 結構 10 的角落之處，其應力集中現象可大幅減小，因而其晶格差排、平面滑移等晶格缺陷之現象即可大幅降低。藉此，當本發明的 STI 結構 10 作為 DRAM 的電極之間或導線之間的隔絕元件時，其 DRAM 的數據資料維持時間(Retention time)之變異性問題即可大幅改善。

本發明以實施例說明如上，然其並非用以限定本發明所主張之專利權利範圍。其專利保護範圍當視後附之申請專利範圍及其等同領域而定。凡本領域具有通常知識者，在不脫離本專利精神或範圍內，所作之更動或潤飾，均屬於本發明所揭示精神下所完成之等效改變或設計，且應包含在下述之申請專利範圍內。

### 【圖式簡單說明】

圖 1 為本發明之動態隨機存取記憶體(DRAM)的淺溝槽隔絕(STI)結構之製造方法流程圖。

圖 2 為本發明 DRAM 的 STI 結構製造方法之步驟 X1 的成型示意圖。

圖 3 為本發明 DRAM 的 STI 結構製造方法之步驟 X2 的成型示意圖。

圖 4 為本發明 DRAM 的 STI 結構製造方法之步驟 X3 的成型示意圖。

圖 5 為本發明 DRAM 的 STI 結構製造方法之步驟 X5 的成型示意圖。

圖 6 為本發明 DRAM 的 STI 結構製造方法之步驟 X6 的成型示意圖。

### 【主要元件符號說明】

10：STI 結構

13：摻雜物

11：基材

14：氧化物

12：溝渠

## 七、申請專利範圍：

1、一種動態隨機存取記憶體的淺溝槽隔絕結構之製造方法，其步驟包括：

(a)提供一基材；

(b)在該基材中蝕刻至少一溝渠；

(c)在該溝渠底部或側邊摻雜一摻雜物，使該溝渠於該摻雜物周邊及該溝渠的角落處的應力集中現象減少，因而減少該溝渠表面晶格差排、平面滑移等晶格缺陷；其中，該摻雜物為 4A 族的任一元素；

(d)在該溝渠內填充氧化物；及

(e)拋光磨平該溝渠及該氧化物的上方。

2、如申請專利範圍第 1 項所述動態隨機存取記憶體的淺溝槽隔絕結構之製造方法，其中，更包括下列步驟：

在摻雜時或摻雜後對該摻雜物與該基材加熱。

3、如申請專利範圍第 1 項所述動態隨機存取記憶體的淺溝槽隔絕結構之製造方法，其中，該摻雜物為碳元素。

4、如申請專利範圍第 1 項所述動態隨機存取記憶體的淺溝槽隔絕結構之製造方法，其中，該摻雜物的劑量小於  $1.5 \times 10^{14}$  ions/cm<sup>2</sup>。

5、如申請專利範圍第 1 項所述動態隨機存取記憶體的淺溝槽隔絕結構之製造方法，其中，該摻雜物的摻雜能量小於 25keV。

6、一種動態隨機存取記憶體的淺溝槽隔絕結構，其包括：

一基材；

至少一溝渠，其設置於該基材的上表面，該溝渠的底

部或側邊形成有一摻雜物，使該溝渠於該摻雜物周邊及該溝渠的角落處的應力集中現象減少，因而減少該溝渠表面晶格差排、平面滑移等晶格缺陷；其中，該摻雜物為 4A 族的任一元素；

至少一氧化物，填充於該溝渠內，並將該摻雜物覆蓋

。

7、如申請專利範圍第 6 項所述動態隨機存取記憶體的淺溝槽隔絕結構，其中，該摻雜物為碳元素。

8、如申請專利範圍第 6 項所述動態隨機存取記憶體的淺溝槽隔絕結構，其中，該摻雜物的劑量小於  $1.5 \times 10^{14}$  ions/cm<sup>2</sup>。

9、如申請專利範圍第 6 項所述動態隨機存取記憶體的淺溝槽隔絕結構，其中，該摻雜物的摻雜能量小於 25keV

。

10、如申請專利範圍第 6 項所述動態隨機存取記憶體的淺溝槽隔絕結構，其中，該基材的材質為多晶矽 (polysilicon)，該氧化物的材質為四乙氧基矽烷 (tetraethoxysilane, TEOS)、磷矽玻璃或未摻雜之矽玻璃材質。

八、圖式：

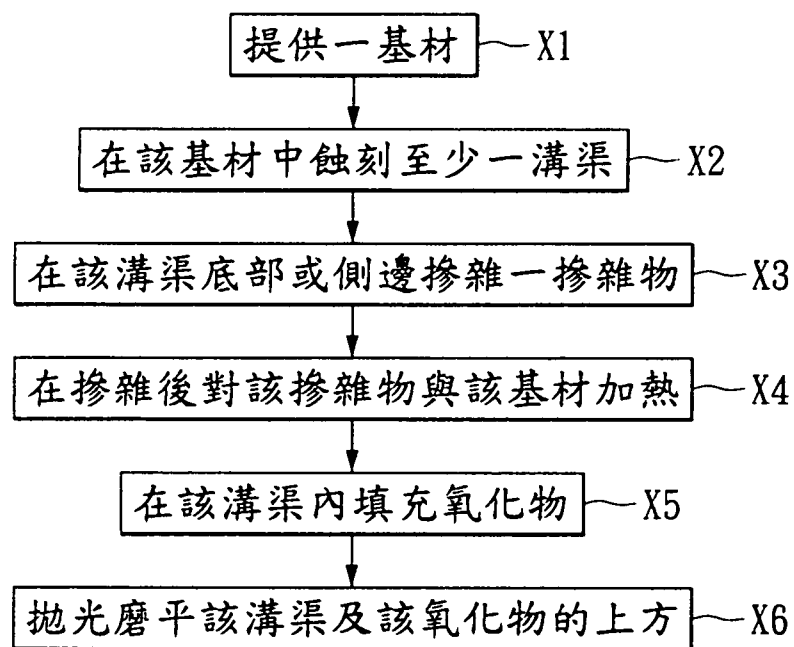


圖 1

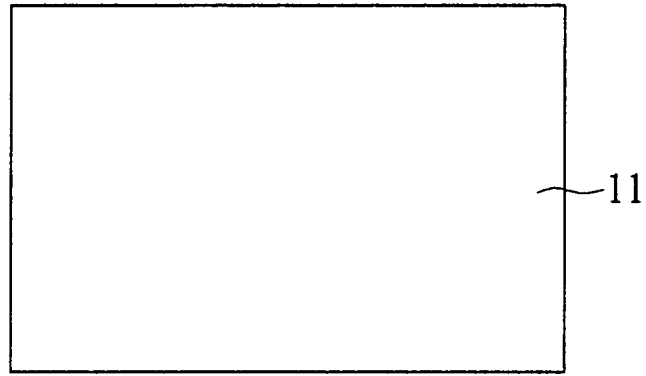


圖 2

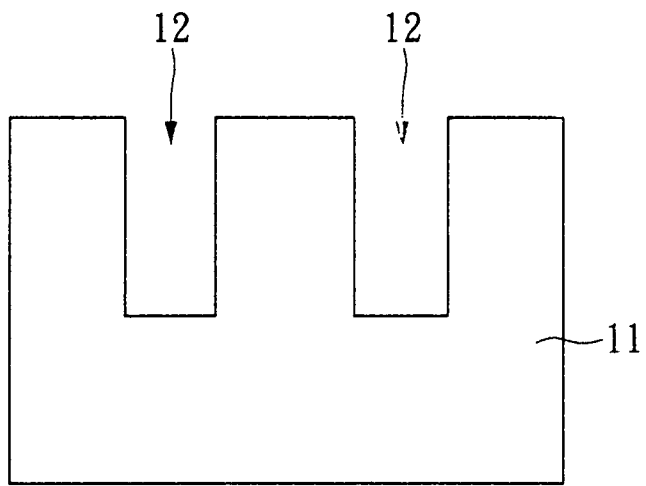


圖 3

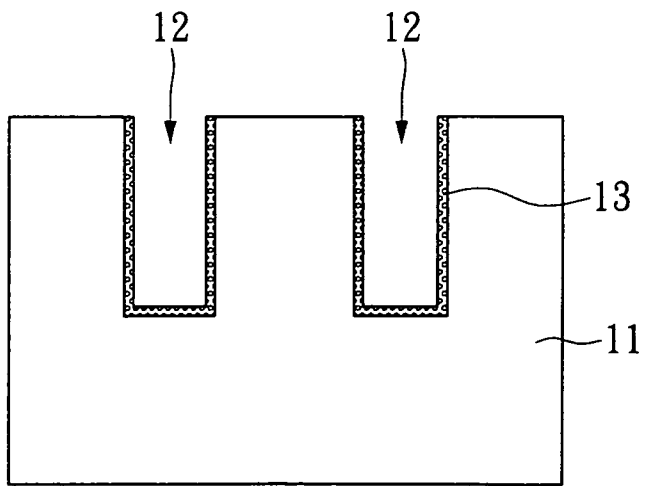


圖 4

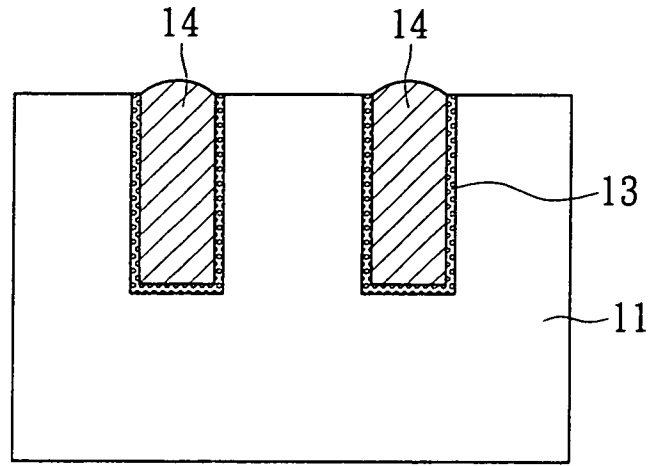


圖5

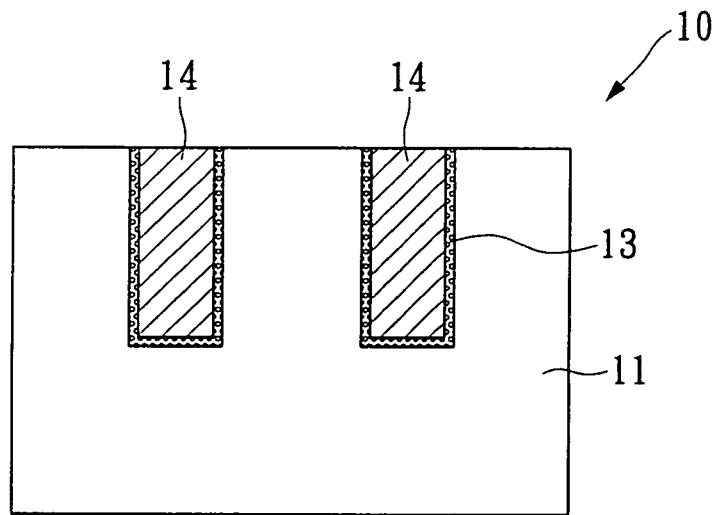


圖6