

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6465964号  
(P6465964)

(45) 発行日 平成31年2月6日(2019.2.6)

(24) 登録日 平成31年1月18日(2019.1.18)

(51) Int. Cl.	F I
G09F 9/30 (2006.01)	G09F 9/30 330
G02F 1/1368 (2006.01)	G09F 9/30 338
	G09F 9/30 348A
	G02F 1/1368

請求項の数 18 (全 17 頁)

(21) 出願番号	特願2017-515900 (P2017-515900)	(73) 特許権者	503260918
(86) (22) 出願日	平成27年9月23日 (2015. 9. 23)		アップル インコーポレイテッド
(65) 公表番号	特表2017-531816 (P2017-531816A)		Apple Inc.
(43) 公表日	平成29年10月26日 (2017.10.26)		アメリカ合衆国 95014 カリフォルニア州 クパチーノ アップル パーク ウェイ ワン
(86) 国際出願番号	PCT/US2015/051795		One Apple Park Way,
(87) 国際公開番号	W02016/053722		Cupertino, Californ
(87) 国際公開日	平成28年4月7日 (2016. 4. 7)		ia 95014, U. S. A.
審査請求日	平成29年5月19日 (2017. 5. 19)	(74) 代理人	100076428
(31) 優先権主張番号	14/504, 215		弁理士 大塚 康德
(32) 優先日	平成26年10月1日 (2014. 10. 1)	(74) 代理人	100115071
(33) 優先権主張国	米国 (US)		弁理士 大塚 康弘
		(74) 代理人	100112508
			弁理士 高柳 司郎

最終頁に続く

(54) 【発明の名称】 垂直ゲート線延伸部及び最小化された枠を有するディスプレイ

(57) 【特許請求の範囲】

【請求項 1】

行列に整列された画素のアレイであって、前記画素のそれぞれが、ゲートを有する少なくとも一つのトランジスタを有する、アレイと、

複数の水平に延伸するゲート線であって、前記複数のゲート線のそれぞれが前記画素の行のうちの対応する一つと関連付けられる、複数のゲート線と、

複数の垂直に延伸するデータ線であって、前記複数のデータ線のそれぞれが前記画素の列のうちの対応する一つと関連付けられる、複数のデータ線と、

複数の垂直に延伸するゲート線延伸部であって、前記複数のゲート線延伸部のそれぞれが前記画素の列のうちの対応する一つと関連付けられ、前記複数のゲート線延伸部のそれぞれが前記水平に延伸するゲート線のうちの対応する一つに接続して、ゲート線信号が前記垂直に延伸するゲート線延伸部から前記水平に延伸するゲート線に提供される、複数のゲート線延伸部と、

を備え、

各列内の前記垂直に延伸するゲート線延伸部は、当該列内の前記垂直に延伸するデータ線の下を走り、

前記ゲートは、前記トランジスタのアクティブ領域の下の前記水平に延伸するゲート線の第1のゲート線突起から形成されるディスプレイ。

【請求項 2】

4つの端を有する基板と、

前記4つの端のうちの所定の1つに沿って搭載されるディスプレイドライバ回路と、  
を更に備え、前記ディスプレイドライバ回路は前記データ線に画像データ信号を供給し、  
前記垂直に延伸するゲート線延伸部にゲート線信号を供給する、請求項1に記載のディスプレイ。

【請求項3】

前記基板はガラス層を含み、前記ディスプレイドライバ回路は前記ガラス層上に少なくともいくつかの薄膜トランジスタ回路を含む、請求項2に記載のディスプレイ。

【請求項4】

前記ディスプレイドライバ回路はゲートドライバ回路を含み、前記ゲートドライバ回路は前記ゲート線信号を前記垂直に延伸するゲート線延伸部に供給する、請求項2に記載のディスプレイ。

10

【請求項5】

追加基板と、  
前記基板と前記追加基板との間に液晶材料の層と、  
を更に備える、請求項3に記載のディスプレイ。

【請求項6】

各画素が薄膜トランジスタを含む、請求項5に記載のディスプレイ。

【請求項7】

各画素が、前記液晶材料の層の一部に電界を供給する電極を更に含む、請求項6に記載のディスプレイ。

20

【請求項8】

画素の各行にビアを更に備え、各垂直に延伸するゲート線延伸部は、前記ビアのうちの対応する1つを用いて、その対応する水平に延伸するゲート線と接続する、請求項7に記載のディスプレイ。

【請求項9】

画素の各行における前記水平に延伸するゲート線は、当該行内の前記ビアに接続される第2のゲート線突起を有する、請求項8に記載のディスプレイ。

【請求項10】

各ビアが前記列のうちの1つに配置され、各列内の前記垂直に延伸するゲート線延伸部は当該列内の前記ビアに接続される突起を有する、請求項9に記載のディスプレイ。

30

【請求項11】

前記垂直に延伸するゲート線延伸部は全て同じ長さである、請求項1に記載のディスプレイ。

【請求項12】

各列内の前記垂直に延伸するゲート線延伸部及び前記垂直に延伸するデータ線が重畳する、請求項1に記載のディスプレイ。

【請求項13】

複数のビアを更に備え、各垂直に延伸するゲート線延伸部は、前記複数のビアのうちの対応する1つを用いて、その対応する水平に延伸するゲート線と接続する、請求項1に記載のディスプレイ。

40

【請求項14】

画素の行列であって、前記画素のそれぞれが、ゲートを有する少なくとも1つのトランジスタを有する、画素の行列と、

複数のゲート線であって、前記複数のゲート線のそれぞれが、前記行のうちの1つの前記画素内の前記トランジスタの前記ゲートに接続される、複数のゲート線と、

前記ゲート線と垂直に走る複数のデータ線と、

複数のゲート線延伸部であって、前記複数のゲート線延伸部のそれぞれが前記データ線と平行して走り、前記複数のゲート線延伸部のそれぞれが前記ゲート線のうちの対応する1つに接続される、複数のゲート線延伸部と、

を備え、

50

各ゲート線延伸部が前記データ線のうちの対応する1つの下を走り、  
前記ゲートは、前記トランジスタのアクティブ領域の下の前記ゲート線のゲート線突起  
から形成されるディスプレイ。

【請求項15】

各ゲート線延伸部が当該前記ゲート線から誘電体の層によって分離される、請求項14  
に記載のディスプレイ。

【請求項16】

前記ゲート線延伸部は全て同じ長さであり、前記ディスプレイが  
液晶材料の層と、  
前記トランジスタに接続される電極であって、前記トランジスタが電極に電圧を印加し  
て前記液晶材料の層に電界を生成させる電極と、  
前記ゲート線延伸部を前記ゲート線に接続するビアと、  
を更に備える、請求項15に記載のディスプレイ。

【請求項17】

複数の画素であって、前記複数の画素のそれぞれが、トランジスタゲートと第1及び第  
2のソース・ドレイン端子とを有するトランジスタを有する、複数の画素と、  
前記トランジスタゲートにゲート制御信号を供給する第1の複数の線と、  
前記第1の複数の線と垂直に走り、前記第1のソース・ドレイン端子にデータ信号を供  
給する第2の複数の線と、  
第3の複数の線であって、前記第3の複数の線のそれぞれが、対応するビアから前記第  
1の複数の線のうちの対応する1つに接続し、前記第2の複数の線と平行に、前記第2の  
複数の線のうちの対応する1つの下を走る、第3の複数の線と、  
を備え、

前記トランジスタゲートは、前記トランジスタのアクティブ領域の下の前記第1の複数  
の線のそれぞれの線の突起から形成されるディスプレイ。

【請求項18】

液晶材料の層と、  
前記複数の画素のそれぞれに、前記液晶材料の層の一部に電界を供給する電極と、  
を更に備え、各画素内の前記電極は当該画素の前記トランジスタに接続される、請求項  
17に記載のディスプレイ。

【発明の詳細な説明】

【技術分野】

【0001】

本出願は、広くは電子デバイスに関し、より具体的には、ディスプレイを有する電子デ  
バイスに関する。

【背景技術】

【0002】

電子デバイスは、多くの場合、ディスプレイを含む。例えば、セルラー電話機及びポー  
タブルコンピュータは、多くの場合、ユーザに情報を呈示するためのディスプレイを含む  
。

【0003】

液晶ディスプレイは、液晶材料の層を含む。液晶ディスプレイ内の画素は、薄膜ラン  
ジスタと、液晶材料に電界を印加するための電極と、を含む。画素内の電界の強さは液晶  
材料の偏光状態を制御し、それによって画素の輝度を調整する。

【0004】

カラーフィルタ層及び薄膜トランジスタ層などの基板層が、液晶ディスプレイに用いら  
れる。組み立てられたディスプレイでは、液晶材料の層は薄膜トランジスタ層とカラーフ  
ィルタ層との間に挟まれている。カラーフィルタ層は、赤、青、及び緑色素子などのカラ  
ーフィルタ素子のアレイを含み、ディスプレイにカラー画像を表示する能力を提供するた  
めに用いられる。薄膜トランジスタ層は、画素のアレイのための薄膜トランジスタを形成

10

20

30

40

50

する薄膜トランジスタ回路を含む。画素は、連続する画像フレーム間のデータ値を記憶するためのコンデンサを含む。

【0005】

画素のアレイには、垂直データ線を用いてデータがロードされる。ゲート線と呼ばれる水平制御線は、画素がデータ線上に提供されるデータを表示するように、アレイ内の画素の回路を制御するために用いられる。典型的な構成では、各ゲート線は画素の対応する列と関連付けられる。画像データのフレームは、データの列がデータ線から表示画素にロードすることができるように、それぞれのゲート線を順番にディスプレイにアサートすることで表示されてもよい。

【0006】

ゲート線上の信号は、ゲートドライバ回路によって生成される。ゲートドライバ回路は、薄膜トランジスタ層の左端と右端に沿って走る薄膜トランジスタ回路のブロックを用いて実装してもよく、それによって左端と右端の最小サイズを制限してもよい。

【0007】

有機発光ダイオードディスプレイなどの他のディスプレイの種類もまた、垂直データ線及び水平制御線を有する。有機発光ダイオードディスプレイ内の画素は光を生成する発光ダイオードを含み、発光ダイオードによって生成される光量を制御する薄膜トランジスタを含む。垂直のデータ線は画素にデータを分配するために用いられてもよく、水平の制御線は垂直のデータ線からのデータを、発光ダイオードの出力を制御する駆動トランジスタのゲートにロードするのを制御してもよい。この種のディスプレイはまた、その端に沿って薄膜トランジスタ回路のブロックを有してもよい。

【0008】

美的理由、及び電子デバイス内の空間を節約するために、ディスプレイの枠を最小化することが望ましい場合がある。ディスプレイの端に沿って薄膜ドライバ回路が存在することは、ディスプレイについて得られる最小の枠の大きさを制限する。気にすることがなければ、ディスプレイは所望よりも大きな非アクティブな枠を有することになる。

【0009】

従って、最小化された枠を有するディスプレイなど、電子デバイスのために改善されたディスプレイを提供可能とすることが望ましいであろう。

【発明の概要】

【0010】

ディスプレイは、行列に配置された画素のアレイを有し得る。各画素は、その画素に関連付けられる光量を制御するためのトランジスタを有し得る。トランジスタは、アクティブ領域、第1及び第2ソース・ドレイン端子、並びにゲートを有する薄膜トランジスタであり得る。

【0011】

水平及び垂直の線などの信号線を、画素を制御してディスプレイ上に画像を表示するために用い得る。信号線は、水平に延伸するゲート線と、垂直に延伸するデータ線と、垂直に延伸するゲート線延伸部とを備え得る。

【0012】

ゲート線は、各行内のトランジスタのゲートにゲート制御信号を分配するために用いられ得る。データ線はゲート線と垂直に走ってもよく、画素の列に沿って画像データを分配するために用いられ得る。ゲート線延伸部はゲート線に接続され得て、データ線と平行に走り得る。

【0013】

データ線はそれぞれ、ゲート線延伸部のうちの対応する1つと重畳し得る。誘電体の層が、ゲート線延伸部と重畳するデータ線との間に介在し得る。ゲート線延伸部をゲート線に接続するのにビアを用いてもよい。ゲート線延伸部は全て同じ長さを有し得る。

【0014】

トランジスタは液晶ディスプレイ内の液晶層に電界を印加する電極に接続され得る、又

10

20

30

40

50

は画素を含有するディスプレイは他の種類のディスプレイ技術（例えば、有機発光ダイオードディスプレイ技術、電気泳動ディスプレイ技術など）に基づいてもよい。

【図面の簡単な説明】

【0015】

【図1】一実施形態に係る、ディスプレイを有するラップトップコンピュータなどの例示的な電子デバイスの斜視図である。

【0016】

【図2】一実施形態に係る、ディスプレイを有する携帯型電子デバイスなどの例示的な電子デバイスの斜視図である。

【0017】

【図3】一実施形態に係る、ディスプレイを有するタブレットコンピュータなどの例示的な電子デバイスの斜視図である。

【0018】

【図4】一実施形態に係る、ディスプレイ構造を有するコンピュータディスプレイなどの例示的な電子デバイスの斜視図である。

【0019】

【図5】一実施形態に係る、例示的なディスプレイの断側面図である。

【0020】

【図6】一実施形態に係る、ディスプレイ内の画素のアレイの一部の上面図である。

【0021】

【図7】一実施形態に係る、垂直ゲート線延伸部及び水平ゲート線を有する例示的な表示画素アレイの上面図である。

【0022】

【図8】一実施形態に係る、画素の近傍での垂直ゲート線延伸部と水平ゲート線との間の例示的な接点のレイアウト図である。

【0023】

【図9】一実施形態に係る、ディスプレイ内の例示的な構造の断側面図である。

【0024】

【図10】一実施形態に係る、ディスプレイ内の例示的な構造の別の断側面図である。

【発明を実施するための形態】

【0025】

電子デバイスはディスプレイを含んでよい。ディスプレイを使用してユーザに画像を表示できる。ディスプレイを設けることができる例示的な電子デバイスを図1、図2、図3、及び図4に示す。

【0026】

図1は電子デバイス10が、どのようにキーボード16及びタッチパッド18などの構成要素を備える上部筐体12A及び下部筐体12Bを有するラップトップコンピュータの形状を有し得るかを示す。デバイス10は上部筐体12Aが下部筐体12Bに対して回転軸24を中心に方向22へ回転することを可能にするヒンジ構造20を有し得る。ディスプレイ14は上部筐体12A内に搭載されてよい。ディスプレイ筐体又は蓋と称されることもあり得る上部筐体12Aは上部筐体12Aを回転軸24中心に下部筐体12Bに向かって回転することにより閉位置に置かれてもよい。

【0027】

図2は電子デバイス10がどのように携帯電話、音楽プレーヤー、ゲーミングデバイス、ナビゲーションユニット又はその他の小型デバイスなどの携帯用デバイスであり得るかを示す。デバイス10のこの種の構成において、筐体12は対向する前側及び後側表面を有し得る。筐体12の正面にディスプレイ14を搭載することができる。所望であれば、ディスプレイ14は、ボタン26などの部品のための開口部を有してもよい。開口部は、また、スピーカポート（例えば、図2のスピーカポート28を参照）に適合するようにディスプレイ14内に形成されてもよい。

10

20

30

40

50

## 【 0 0 2 8 】

図 3 は電子デバイス 1 0 がどのようにタブレットコンピュータであり得るかを示す。図 3 の電子デバイス 1 0 内において筐体 1 2 は対向する平面の前側及び後側表面を有し得る。ディスプレイ 1 4 を筐体 1 2 の前面に搭載することができる。図 3 に示すように、(一例として) ボタン 2 6 に適合するように、ディスプレイ 1 4 は開口部を有し得る。

## 【 0 0 2 9 】

図 4 は電子デバイス 1 0 がどのようにコンピュータディスプレイ又はコンピュータディスプレイと一体化されるコンピュータであり得るかを示す。この種の構成では、デバイス 1 0 のための筐体 1 2 は、スタンド 2 7 などの支持構造上に載置され得る、又はスタンド 2 7 は省略され得る(例えば、デバイス 1 0 を壁に掛けるため)。筐体 1 2 の正面にディスプレイ 1 4 を搭載することができる。

10

## 【 0 0 3 0 】

図 1、図 2、図 3、及び図 4 に示すデバイス 1 0 の例示的構成は単なる例示にすぎない。一般に、電子デバイス 1 0 はラップトップコンピュータ、組込み型コンピュータを含むコンピュータモニタ、タブレットコンピュータ、携帯電話、メディアプレーヤ、又はその他のハンドヘルド型若しくはポータブル電子デバイス、腕時計型デバイス、ペンダント型デバイス、ヘッドホン型若しくはイヤホン型デバイスなどの小さめのデバイス又はその他の着用可能な若しくはミニチュアデバイス、組込み型コンピュータを含まないコンピュータディスプレイ、ゲーミングデバイス、ナビゲーションデバイス、ディスプレイを有する電子装置をキオスク又は自動車に搭載するシステムなどの組込みシステム、2 つ又はそれ以上のこれらのデバイスの機能を実装する装置、又はその他の電子装置であってもよい。

20

## 【 0 0 3 1 】

ケースと称されることもあるデバイス 1 0 の筐体 1 2 はプラスチック、ガラス、セラミックス、炭素繊維複合材及びその他の繊維系複合材、金属(例えば、加工されたアルミニウム、ステンレス鋼又はその他の金属)、その他の材料又はこれらの材料の組み合わせなどの材料で形成することも可能である。筐体 1 2 の大部分又は全てが単一の構造要素(例えば、一片の加工された金属又は一片の成形プラスチック)から形成されている単一本体構造を用いてデバイス 1 0 を形成してよく、又は複数の筐体構造体(例えば、内部フレーム要素又はその他の内部筐体構造体に搭載されている外部筐体構造体)から形成されてよい。

30

## 【 0 0 3 2 】

ディスプレイ 1 4 はタッチセンサを含むタッチセンシティブディスプレイであってもよく、又はタッチに反応しなくてもよい。ディスプレイ 1 4 のタッチセンサは容量性タッチセンサ電極のアレイ、抵抗性タッチアレイ、音響タッチ、光学式タッチ若しくは感圧式タッチ技術に基づくタッチセンサ構造体又はその他の好適なタッチセンサコンポーネントから形成されてよい。

## 【 0 0 3 3 】

デバイス 1 0 のディスプレイ 1 4 は、液晶ディスプレイ(LCD)部品、有機発光ダイオード、又はその他の好適な画素構造から形成される表示画素を含む。本明細書では時々、液晶ディスプレイに基づく構成を一例として記載する。

40

## 【 0 0 3 4 】

ディスプレイカバー層はディスプレイ 1 4 の表面又はカラーフィルタ層などのディスプレイ層をカバーしてよく、又はディスプレイのその他の部分はディスプレイ 1 4 内の最も外側の(又はほぼ最も外側の)層として用いてもよい。最も外側のディスプレイ層は、透明なガラス板、透明なプラスチック層又は他の透過な部材から形成することができる。

## 【 0 0 3 5 】

デバイス 1 0 のディスプレイ 1 4 についての(例えば、図 1、図 2、図 3、図 4 のデバイス又はその他の好適な電子デバイスのディスプレイ 1 4 についての)例示的な構成の断側面図を図 5 に示す。図 5 に示すように、ディスプレイ 1 4 は、バックライト 4 4 を生成するためのバックライトユニット 4 2 などのバックライト構造体を含むことができる。動

50

作中に、バックライト 4 4 が ( 図 5 の配向において Z 次元に垂直上向きに ) 外側へ進み、ディスプレイ層 4 6 内の表示画素構造体を通る。これはユーザが見るために表示画素により生成されている任意の画像を照らす。例えば、バックライト 4 4 は方向 5 0 のビューア 4 8 により見られているディスプレイ層 4 6 上の画像を照らすことができる。

【 0 0 3 6 】

筐体 1 2 内に搭載するためのディスプレイモジュールを形成するために、ディスプレイ層 4 6 をプラスチックシャーシ構造体及び / 又は金属シャーシ構造体などのシャーシ構造体に搭載することができ、又はディスプレイ層 4 6 を ( 例えば、ディスプレイ層 4 6 を筐体 1 2 内の凹部分に積層することにより ) 筐体 1 2 内に直接搭載することができる。ディスプレイ層 4 6 は液晶ディスプレイを形成でき、又はその他の種類のディスプレイを形成するのにも用いることもできる。

10

【 0 0 3 7 】

ディスプレイ層 4 6 が液晶ディスプレイを形成するのに用いられる構成において、ディスプレイ層 4 6 は、液晶層 5 2 などの液晶層を含んでもよい。液晶層 5 2 をディスプレイ層 5 8 及び 5 6 などのディスプレイ層の間に挟むことができる。層 5 6 及び 5 8 は下部偏光子層 6 0 と上部偏光子層 5 4 の間に挟入されてもよい。

【 0 0 3 8 】

層 5 8 及び 5 6 はガラス又はプラスチックのクリア層などの透明基板層から形成されてよい。層 5 6 及び 5 8 は薄膜トランジスタ層及び / 又はカラーフィルタ層などの層であってもよい。( 例えば、薄膜トランジスタ層及び / 又はカラーフィルタ層を形成するために ) 導電性配線、カラーフィルタ素子、トランジスタ並びにその他の回路及び構造体は層 5 8 及び 5 6 の基板上に形成してよい。タッチセンサ電極は、また、層 5 8 及び 5 6 などの層の中に組み込まれてもよく、及び / 又はタッチセンサ電極はその他の基板上に形成してよい。

20

【 0 0 3 9 】

1 つの例示的な構成では、層 5 8 は、薄膜トランジスタに基づく画素回路のアレイと、液晶層 5 2 に電界を印加してディスプレイ 1 4 上に画像を表示するための関連する電極 ( 表示画素電極 ) とを備える薄膜トランジスタ層であってもよい。層 5 6 はカラー画像を表示する能力を有するディスプレイ 1 4 を提供するためのカラーフィルタ素子のアレイを含むカラーフィルタ層であってもよい。所望する場合、層 5 8 はカラーフィルタ層であってもよく、層 5 6 は薄膜トランジスタ層であってもよい。共通基板層上でカラーフィルタ素子が薄膜トランジスタ構造と組み合わせられる構成もまた、用いることができる。

30

【 0 0 4 0 】

デバイス 1 0 内のディスプレイ 1 4 の動作中に、制御回路 ( 例えば、プリント回路上の 1 つ以上の集積回路 ) を使用して、ディスプレイ 1 4 上に表示される情報 ( 例えば、表示データ ) を生成してもよい。表示される情報は ( 一例として ) プリント回路 6 4 などのリジッド又はフレキシブルプリント回路内の導電性金属トレースから形成される信号経路などの信号経路を用いて、回路 6 2 A 又は 6 2 B などのディスプレイドライバ集積回路に伝達されてもよい。

【 0 0 4 1 】

バックライト構造 4 2 は導光板 7 8 などの導光板を含んでもよい。導光板 7 8 は、クリアガラス又はプラスチックなどの透明材料から形成することができる。バックライト構造 4 2 の動作中に、光源 7 2 などの光源は光 7 4 を発生させることができる。光源 7 2 は、例えば、発光ダイオードのアレイであってもよい。

40

【 0 0 4 2 】

光源 7 2 からの光 7 4 を導光板 7 8 のエッジ面 7 6 に接続してよく、全内部反射の原理により導光板 7 8 全体を通して次元 X 及び Y に配光されてもよい。導光板 7 8 はピット又はバンプなどの光散乱機構を含んでもよい。光散乱機構は導光板 7 8 の上部表面上に及び / 又は対向する下部表面上に配置されてもよい。光源 7 2 は、図 5 に示すように導光板 7 8 の左に配置されてもよく、導光板 7 8 の右端及び / 又は導光板 7 8 の他の端に沿って配

50

置されてもよい。

【0043】

導光板78から方向Zに上向きに散乱する光74はディスプレイ14のバックライト44として機能してもよい。下向きに散乱する光74はリフレクタ80により上向きの方向に反射されて戻ることができる。リフレクタ80は、白色プラスチック又はその他の光る材料の層などの反射材料から形成することができる。

【0044】

バックライト構造42のバックライト性能を高めるために、バックライト構造42は光学フィルム70を含んでもよい。光学フィルム70はバックライト44を均質化するのに役立つ拡散層を含んでもよく、それによってホットスポット、軸外視聴を強化するための補償フィルム及びバックライト44をコリメートするための輝度向上フィルム(また、回転フィルムと称されることもある)を減らす。光学フィルム70は導光板78及びリフレクタ80などのバックライトユニット42内のその他の構造体に重畳し得る。例えば、導光板78が図5のX-Y平面に長方形の設置面積を有する場合、光学フィルム70及びリフレクタ80は適合する長方形の設置面積を有し得る。

10

【0045】

図6に示すように、ディスプレイ14は、画素アレイ92などの画素のアレイ90を備え得る。画素アレイ92は、ディスプレイドライバ回路によって生成される制御信号を用いて制御され得る。ディスプレイドライバ回路は、1つ以上の集積回路(IC)及び/又は薄膜トランジスタ若しくはその他の回路によって実装され得る。

20

【0046】

デバイス10の動作中に、メモリ回路、マイクロプロセッサ、並びに他の記憶及び処理回路などのデバイス10内の制御回路が、ディスプレイドライバ回路にデータを提供し得る。ディスプレイドライバ回路は、画素アレイ92の画素90を制御するためにデータを信号に変換してもよい。

【0047】

画素アレイ92は、画素90の行列を含んでもよい。画素アレイ92の回路(即ち、画素90のための画素回路の行列)は、データ線D上のデータ線信号及びゲート線G上のゲート線信号などの信号を用いて制御され得る。データ線D及びゲート線Gは直交する。例えば、データ線Dは垂直に延伸し得て、ゲート線Gは水平(即ち、データ線Dに対して垂直)に延伸し得る。

30

【0048】

画素アレイ92内の画素90は、薄膜トランジスタ回路(例えば、ポリシリコントランジスタ回路、アモルファスシリコントランジスタ回路、InGaZnOトランジスタ回路などの半導体酸化物トランジスタ回路、他のシリコン又は半導体酸化物トランジスタ回路など)及びディスプレイ14内の液晶層52に亘って電界を生成するための関連する構造を備えてもよい。各表示画素は、1つ以上の薄膜トランジスタを有してもよい。例えば、各表示画素は、液晶層52の対応する画素サイズ部分52'への電界の印加を制御するために、薄膜トランジスタ94などの対応する薄膜トランジスタを有してもよい。

【0049】

画素90を形成するのに用いられる薄膜トランジスタ構造は、ガラスの層などの薄膜トランジスタ基板の上に配置されてもよい。薄膜トランジスタ基板及び薄膜トランジスタ基板の表面に形成される表示画素90の構造はまとめて薄膜トランジスタ層58を形成する(図5)。

40

【0050】

ゲート線G上にゲート信号を生成するために、ゲートドライバ回路を用いてもよい。ゲートドライバ回路は薄膜トランジスタ層上の薄膜トランジスタから形成されてもよく、又は個別の集積回路に実装されてもよい。ディスプレイ14の非アクティブの枠(例えば、右及び左の枠)の最小化を補助するために、ゲートドライバ回路をディスプレイ14の上端及び/又は下端に沿って配置してもよい。データ線の下を走る垂直ゲート線延伸部は、

50

そうすることで、ディスプレイ 14 内で水平に延伸するゲート線にゲート信号を分配するゲート信号分配経路として作用し得る。

【0051】

画素アレイ 92 内のデータ線 D 上のデータ線信号は、アナログ画像データ（例えば、画素の輝度レベルを表す大きさを有する電圧）を送る。ディスプレイ 14 に画像を表示する処理中に、ディスプレイドライバ集積回路又はその他の回路は制御回路からデジタルデータを受信してもよく、対応するアナログデータ信号を生成してもよい。アナログデータ信号は逆多重化されてデータ線 D に提供されてもよい。

【0052】

データ線 D 上のデータ線信号は、画素アレイ 92 内の表示画素 90 の列に分配される。ゲート線 G 上のゲート線信号は、関連するゲートドライバ回路によって画素アレイ 92 内の画素 90 の行に提供される。

10

【0053】

ディスプレイ 14 の回路は導電性構造体（例えば、インジウムスズ酸化物などの透明導電性材料から形成される金属線及び/又は構造体）から形成されてもよく、ディスプレイ 14 の薄膜トランジスタ基板層上に形成される図 6 のトランジスタ 94 などのトランジスタを備えてもよい。薄膜トランジスタは、例えば、シリコン薄膜トランジスタ又は半導体酸化物薄膜トランジスタであってもよい。

【0054】

図 6 に示すように、画素 90 などの画素は、アレイ 92 内の各ゲート線 G 及びデータ線 D の交点に配置されてもよい。各データ線 D 上のデータ信号は、データ線のうちの 1 つから端子 96 に供給されてもよい。薄膜トランジスタ 94（例えば、薄膜ポリシリコントランジスタ又はアモルファスシリコントランジスタ）は、ゲート線 G 上のゲート線制御信号を受信するゲート 98 などのゲート端子を有してもよい。ゲート線制御信号がアサートされると、トランジスタ 94 はオンになり、端子 96 でのデータ信号は電圧  $V_p$  としてノード 100 に渡される。ディスプレイ 14 のためのデータはフレームで表示されてもよい。各行にて、その行の画素にデータ信号を渡すためにゲート線信号がアサートされた後に、ゲート線信号はディアサートされてもよい。次の表示フレームでは、各行のためのゲート線信号はまた、トランジスタ 94 をオンにするためにアサートされ、 $V_p$  の新しい値をキャプチャしてもよい。

20

30

【0055】

画素 90 は、コンデンサ 102 などの信号記憶素子又は他の電荷蓄積素子を有してもよい。蓄積コンデンサ 102 を、フレームとフレームとの間（即ち、連続するゲート信号のアサートの間の時間期間内）の画素 90 内に信号  $V_p$  を蓄積するために用いてもよい。

【0056】

ディスプレイ 14 はノード 104 に接続される共通電極を有してもよい。共通電極（時々、 $V_{com}$  電極又は  $V_{com}$  端子と称される）は、共通電極電圧  $V_{com}$  などの共通電極電圧をアレイ 92 の各画素 90 内のノード 104 などのノードに分配するために用いてもよい。図 6 の例示的な電極パターン 104' に示すように、 $V_{com}$  電極 104 はインジウムスズ酸化物などの透明導電性材料のブランケットフィルム、及び/又は透明となるように十分に薄い金属の層を用いて実装されてもよい（例えば、電極 104 はアレイ 92 における画素 90 を全て被覆するインジウムスズ酸化物の層から形成されてもよい）。

40

【0057】

各画素 90 では、コンデンサ 102 がノード 100 及び 104 の間に接続されてもよい。並列容量（時々、容量  $C_{LC}$  と称される）が、画素の液晶材料（液晶材料 52'）を通して電界を制御するために用いられる画素 90 内の電極構造によって、ノード 100 及び 104 に亘って生じる。図 6 に示すように、電極構造 106（例えば、液晶材料 52' に電界を印加するための複数のフィンガを有する表示画素電極又は他の表示画素電極）は、ノード 100 に接続されてもよい（又はノード 104 にて複数フィンガの表示画素電極が形成されてもよい）。液晶材料 52' に亘る容量  $C_{LC}$  は、ノード 104 での、電極構造

50

106と共通電極Vcomとの間の容量に関連付けられる。動作中、電極構造106は、画素90内の画素の大きさを有する液晶材料52'に亘って、制御された電界（すなわち、 $V_p - V_{com}$ に比例する規模を有する電界）を印加するために用いてもよい。蓄積コンデンサ102及び材料52'の容量 $C_{LC}$ が存在することによって、 $V_p$ の値（及び、それによって液晶材料52'に亘る関連する電界）は、フレームの持続期間についてノード106及び104に亘って維持され得る。

【0058】

液晶材料52'に亘って生成される電界は、液晶材料52'内の液晶の向きに変化を生じさせる。これは、液晶材料52'を透過する光の偏光を変化させる。この偏光の変化は、図5の偏光子60及び54と併せて、ディスプレイ14のアレイ92内の各画素90を透過する光44の量を制御するために用いてもよい。

10

【0059】

図7に示すように、ディスプレイ14は表示画素90の表示画素アレイ92を含むアクティブ領域AAを有し得る。ディスプレイ14はまた、左及び右非アクティブ領域IA、上部非アクティブ枠IAU、並びに下部非アクティブ枠IALなどの、非アクティブの枠領域を有してもよい。上端非アクティブ領域IAU並びに左及び右非アクティブ領域IAの大きさは、下部非アクティブ領域IAL内のディスプレイ14の下端に沿ってディスプレイドライバ回路126を配置することで、最小化することができる。デバイス10では、下端非アクティブ領域IALは、ディスプレイカバー層の下側に不透明なマスキング材料の層又は他の好適な光遮断構造を用いることで、視界から隠してもよい。

20

【0060】

ディスプレイドライバ回路126は、ディスプレイドライバ回路124とゲートドライバ回路122とを含み得る。回路126は、薄膜トランジスタ層58上に1つ以上の集積回路及び/又は薄膜トランジスタ回路を用いて形成してもよい。

【0061】

ディスプレイドライバ回路124はディマルチプレクシング回路及び列ドライバ（ソースドライバ回路）を、対応する垂直に延伸するデータ線D（又は図7の向きに対して90°回転されるディスプレイ14のバージョンの水平線）にデータ信号を供給するために備えてもよい。ゲートドライバ回路122は、垂直線120にゲート制御信号（時々、ゲート信号、ゲート線信号、又は画素制御信号と称される）を供給してもよい。領域IALは、ディスプレイ14の下端の中心に位置する回路126から信号を線120及びDに送るために広がる線、又は回路126から線120及び線Dに相互接続するために用いられる分配経路の他のパターンを備えてもよい。

30

【0062】

線120などの垂直に延伸する線は、時々、垂直延伸ゲート線延伸部又は垂直延伸ゲート信号配線と称され得る。線120はゲート線信号を、ゲートドライバ回路122から対応する接続点128に伝える。接続点128は、ビア（例えば、金属ビア）又は垂直線120を水平ゲート線Gに接続する他の電気接続構造から形成されてもよい。図7に示すように、ディスプレイ14には画素90の各行に単一の接続点128があってもよく、各接続点128は、対応する垂直線120から対応する水平ゲート線Gに接続するために用い

40

【0063】

接続点128は、図7の例に示すように、ディスプレイ14の左上角からディスプレイ14の右下角に延伸する対角線パターンに構成されてもよい。他のパターンを用いてもよい（例えば、左下から右上への対角線パターン、接続点128が線に構成されていないパターンなど）。好ましくは、画素90の各列（例えば、列C1、C2、C3、...を参照）が単一の垂直線120と、その列と交差する単一のゲート線Gとの間での単一の接続を含むように、各垂直線120は単一の対応するゲート線Gに接続される。

【0064】

図7に示す種の構成では、ゲートドライバ回路122及び他のディスプレイドライバ回

50

路は、ディスプレイ 14 の左、右、及び上端から離れて配置されてもよく、非アクティブ枠に関連する端（又は少なくとも右及び左端）が最小化されることを許容する。その接続点 128 上に位置する各垂直に延伸する線 120 の「ダミー」部分は、ゲート信号が既に、接続点 128 の下にある垂直線 120 の部分から垂直線 G に接続点 128 で送られているために、ゲート信号を送る必要がない。それでもなお、このダミー部分を各線 120 の上部に含めて、各線 120 に関連付けられる寄生容量 C の量が同一であることを確認するのが好ましいであろう。全ての垂直線 120 を同じ長さで構成し、それによって各線 120 の容量が確実に同じとすることで、各線 120（及びその取り付けられたゲート線 G）の切替時間は同じになる。このことによって、回路 122 内のゲートドライバ回路を全て同一の設計を用いて構成することが可能となる。

10

## 【0065】

図 7 の接続点 128 を形成するために、任意の好適な相互接続構造を用いてもよい。図 8 は、図 7 の画素 90 の所定の一つと関連付けられる相互接続構造と、薄膜トランジスタ層 58 上の接続 128 の例示的なセットの上面図である。図 8 に示すように、データ線 D はディスプレイ 14 を垂直に横切って走ってもよい。図 8 の画素 90 などの画素は、データ線 D と各ゲート線 G との交点に配置され得る。各画素 90 は、画素電極 106（例えば、画素 90 と関連付けられる液晶内に電界を生成するための、フィンガを有する電極）を含んでもよい。各画素 90 はまた、電極 106 上の電圧を制御するためのトランジスタ 94 を含んでもよい。トランジスタ 94 のアクティブ領域 130 は、半導体（例えば、シリコン、半導体酸化物など）から形成されてもよい。ゲート線突起 G' がアクティブ領域 130 と重畳し、トランジスタ 94 のためのゲートとして作用する。データ線 D の部分 132 はアクティブ領域 130 と接続し、トランジスタ 94 のための第 1 のソース - ドレイン端子（例えば、ドレイン端子）を形成する。金属パッド 146 の部分 134 はアクティブ領域 130 の反対側の端と重畳し、トランジスタ 94 のための第 2 のソース - ドレイン端子（例えば、ソース端子）を形成する。金属 146 は電極 106 に、ビア 136 を介して接続されてもよい。

20

## 【0066】

垂直に延伸する線 120 はデータ線 D と平行に走ってもよい。図 8 に示すように、線 120 は、所望であれば、線 120 と重畳してもよい（例えば、線 120 は重畳するデータ線 D の下を走ってもよい）。この種の構成は、線 120 をディスプレイ 14 に含めることで遮蔽される光の量を減少させる助けとなる。各線 120 は、突起 G' などのゲート線 G における対応する突起と重畳する、突起 120' などの突起を有し得る。接続点 128 は突起 120' を突起 G' に接続し、それによって線 120 を線 G に接続するビアから形成されてもよい。電極 106 はトランジスタ 94 に、ビア 136 と金属 146 を用いて接続されてもよい。

30

## 【0067】

図 9 では、図 8 の画素 90 の構造を図 8 のマイナス Y 方向から見た断側面図を示す。図 9 に示すように、トランジスタ 94 はアクティブ領域 130 の下に、ゲート線突起 G' から形成されるゲートを有する。ゲート絶縁体 154 が、アクティブ領域 130 をゲート G' から分離する。ゲート G' は、基板 150 上に、誘電体 152 などのパッシベーション層の上に形成されてもよい。誘電体層 156 及び 158 は、トランジスタ 94 の上のパッシベーション層として作用してもよい。基板 150 は、ガラス、プラスチック、又はその他の基板材料から形成することができる。層 152、154、156、及び / 又は 158 は透明な無機材料（酸化物、窒化物など）から形成されてもよく、透明な有機材料（例えば、写真画像形成性ポリマーなどのポリマー）から形成されてもよく、透明な写真画像形成又は非写真画像形成塗布ガラス材料から形成されてもよく、及び / 又はその他の透明な誘電体材料から形成されてもよい。塗布ガラス材料などの材料は、良好な熱安定性、低誘電率、及び十分な平坦化能力を示し得る。所望であれば、他の誘電体を使用してもよい。例えば、ゲート絶縁層 154 は、シリコン酸化物及び / 又はシリコン窒化物若しくはその他の無機誘電体材料を含む無機層から形成されてもよい。

40

50

## 【 0 0 6 8 】

データ線 D の部分 1 3 2 はトランジスタ 9 4 のための第 1 のソース - ドレイン端子を形成し、金属層 1 4 6 の部分 1 3 4 はトランジスタ 9 4 のための第 2 のソース - ドレイン端子を形成する。ビア 1 3 6 は金属 1 4 6 を電極フィンガ 1 0 6 に接続する。V c o m 層 1 0 4 (例えば、図 6 の層 1 0 4 ' などのブランケットインジウムスズ酸化物層) は電極 1 0 6 の下に位置し、誘電体 1 5 8 によって電極 1 0 6 から分離される。接続 1 2 8 は、垂直線 1 2 0 の突起 1 2 0 ' をゲート線 G の突起 G ' に接続する金属ビアから形成される。

## 【 0 0 6 9 】

図 1 0 は、方向 X から見た、図 8 の画素構造の断側面図である。

## 【 0 0 7 0 】

所望であれば、ディスプレイ 1 4 は図 1 4 の向きに対して回転された位置を向いていてもよい(例えば、線 G は垂直に延伸し、線 1 2 0 及び線 D は水平に延伸してもよい)。図 7 の向きは、単なる例示にすぎない。

## 【 0 0 7 1 】

液晶ディスプレイのコンテキストで時々説明されるが、垂直に延伸するゲート線経路は有機発光ダイオードディスプレイ及びその他のディスプレイにて用いられてもよい(この場合、ゲート線は時々、画素制御線、走査線、発光イネーブル制御線などと称され得る)。このようなディスプレイでは、画素の各行に 2 つ以上の水平に延伸する制御線があってもよく、よって、表示画素の各列に 2 つ以上の垂直に延伸する制御線延伸部があってもよい。

## 【 0 0 7 2 】

行よりも列が少ないアレイでは、複数の垂直に延伸する線が画素の各列に設けられてもよい。例えば、所定の列では 2 つのゲート線延伸部があってもよく、一方は第 1 の行のゲート線に接続され、他方が第 2 の行のゲート線に接続されてもよい。列よりも行が少ないアレイでは、全ての列がゲート線延伸部を含む必要はない(即ち、いくつかの列は、ディスプレイ 1 4 の使用中に駆動されないダミーのゲート線延伸部を有してもよい、又はゲート線延伸部を省略してもよい)。

## 【 0 0 7 3 】

実施形態によれば、行列に整列された画素のアレイと、複数の水平に延伸するゲート線であって、複数のゲート線のそれぞれが画素の行のうちの対応する 1 つと関連付けられる、複数のゲート線と、複数の垂直に延伸するデータ線であって、複数のデータ線のそれぞれが画素の列のうちの対応する 1 つと関連付けられる、複数のゲート線と、複数の垂直に延伸するゲート線延伸部であって、複数のゲート線延伸部のそれぞれが画素の列のうちの対応する 1 つと関連付けられ、複数のゲート線延伸部のそれぞれが対応する 1 つの水平に延伸するゲート線と接続して、ゲート線信号が垂直に延伸するゲート線延伸部から水平に延伸するゲート線に提供される、複数のゲート線延伸部と、を備えるディスプレイを提供する。

## 【 0 0 7 4 】

別の実施形態によれば、ディスプレイは 4 つの端を有する基板と、4 つの端のうちの所定の 1 つに沿って搭載されるディスプレイドライバ回路とを備え、ディスプレイドライバ回路はデータ線に画像データ信号を供給し、垂直に延伸するゲート線延伸部にゲート線信号を供給する。

## 【 0 0 7 5 】

別の実施形態によれば、基板はガラス層を備え、ディスプレイドライバ回路はガラス層上に少なくともいくつかの薄膜トランジスタ回路を備える。

## 【 0 0 7 6 】

別の実施形態によれば、ディスプレイドライバ回路はゲートドライバ回路を備え、ゲートドライバ回路はゲート線信号を垂直に延伸するゲート線延伸部に供給する。

## 【 0 0 7 7 】

別の実施形態によれば、ディスプレイは追加基板と、基板と追加基板との間に液晶材料

10

20

30

40

50

の層と、を備える。

【0078】

別の実施形態によれば、各画素は薄膜トランジスタを備える。

【0079】

別の実施形態によれば、各画素は液晶材料の層の一部に電界を供給する電極を備える。

【0080】

別の実施形態によれば、ディスプレイは画素の各行にビアを備え、各垂直に延伸するゲート線延伸部は、ビアのうちの対応する1つを用いて、対応する水平に延伸するゲート線と接続される。

【0081】

別の実施形態によれば、画素の各行における水平に延伸するゲート線は、当該行内のビアに接続されるゲート線突起を有する。

【0082】

別の実施形態によれば、各ビアは列のうちの1つに配置され、各列内の垂直に延伸するゲート線延伸部は当該列におけるビアに接続される突起を有する。

【0083】

別の実施形態によれば、各垂直に延伸するゲート線延伸部は、垂直に延伸するデータ線のうちの対応する1つの下を走る。

【0084】

別の実施形態によれば、垂直に延伸するゲート線延伸部は全て同じ長さである。

【0085】

別の実施形態によれば、各列内の垂直に延伸するゲート線延伸部及び垂直に延伸するデータ線が重畳する。

【0086】

別の実施形態によれば、各列内の垂直に延伸するゲート線延伸部は当該列内の垂直に延伸するデータ線の下を走る。

【0087】

別の実施形態によれば、ディスプレイは複数のビアを備え、各垂直に延伸するゲート線延伸部は対応する水平に延伸するゲート線と、複数のビアのうちの対応する1つを用いて接続される。

【0088】

実施形態によれば、画素の行列を備えるディスプレイを提供し、各画素は、ゲートを有する少なくとも1つのトランジスタと、複数のゲート線であって、複数のゲート線のそれぞれが行のうちの対応する1つの画素内のトランジスタのゲートに接続される、複数のゲート線と、ゲート線と垂直に走る複数のデータ線と、複数のゲート線延伸部であって、複数のゲート線延伸部のそれぞれがデータ線と平行に走り、複数のゲート線延伸部のそれぞれがゲート線のうちの対応する1つと接続される複数のゲート線延伸部と、を有する。

【0089】

別の実施形態によれば、各ゲート線延伸部はデータ線のうちの対応する1つの下を走り、当該ゲート線から誘電体の層によって分離される。

【0090】

別の実施形態によれば、ゲート線延伸部は全て同じ長さであり、ディスプレイは液晶材料の層と、トランジスタに接続される電極であって、トランジスタが電極に電圧を印加することで液晶材料の層に電界を生成する電極と、ゲート線延伸部をゲート線に接続するビアと、を備える。

【0091】

実施形態によれば、複数の画素であって、複数の画素のそれぞれがトランジスタゲートと第1及び第2のソース・ドレイン端子とを有するトランジスタをそれぞれ有する、複数の画素と、トランジスタゲートにゲート制御信号を供給する第1の複数の線と、第1の複数の線と垂直に走り、第1のソース・ドレイン端子にデータ信号を供給する第2の複数の

10

20

30

40

50

線と、第3の複数の線であって、第3の複数の線のそれぞれが、対応するビアから第1の複数の線の対応する1つと接続し、第2の複数の線と平行に、第2の複数の線の対応する1つの下を走る第3の複数の線と、を備える。

【0092】

別の実施形態によれば、ディスプレイは、液晶材料の層と、複数の画素のそれぞれに、液晶材料の層の一部に電界を供給する電極とを備え、各画素内の電極は当該画素内のトランジスタに接続される。

【0093】

上述の内容は単なる例示にすぎず、説明された実施形態の範囲及び趣旨から逸脱することなく、当業者によって様々な修正を行うことができる。前述の実施形態は、個々に又は任意の組み合わせで実行することができる。

10

【0094】

本出願は、2015年10月1日に出願された米国特許出願第14/504,215号に対する優先権を主張するものであり、本明細書における参照によりその全体が本明細書内に組み入れられる。

【図1】

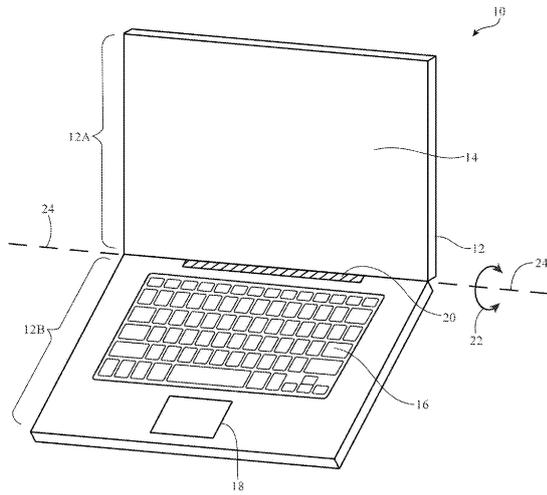


FIG. 1

【図2】

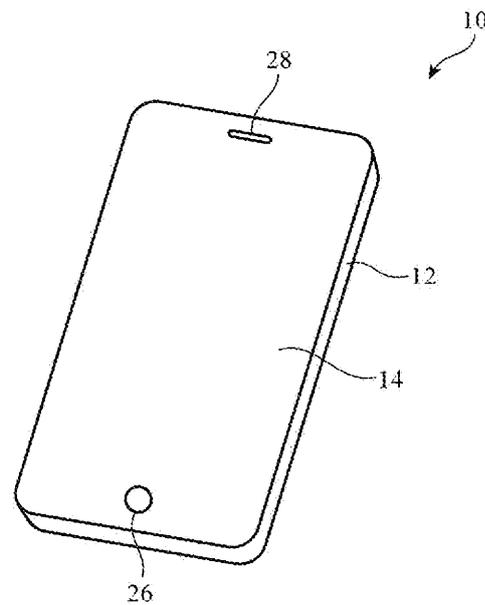


FIG. 2

【 図 3 】

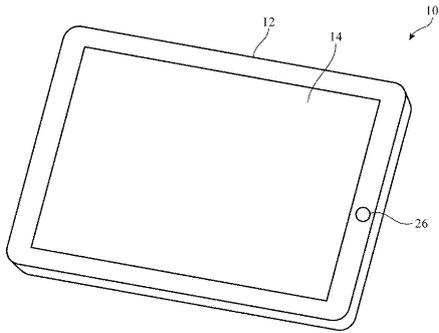


FIG. 3

【 図 4 】

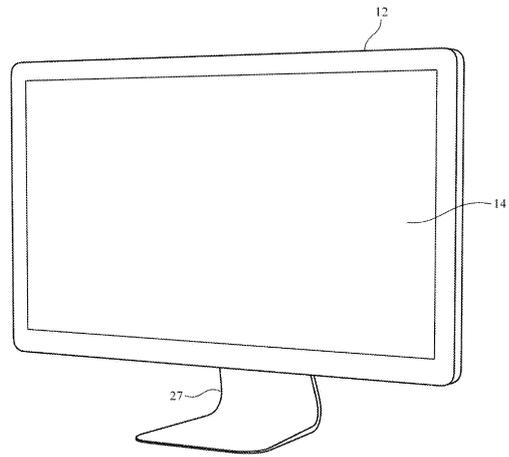


FIG. 4

【 図 5 】

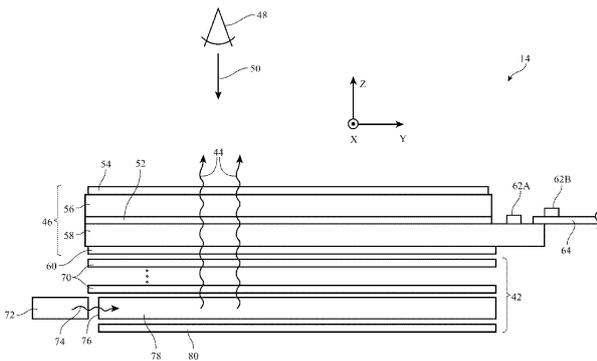


FIG. 5

【 図 6 】

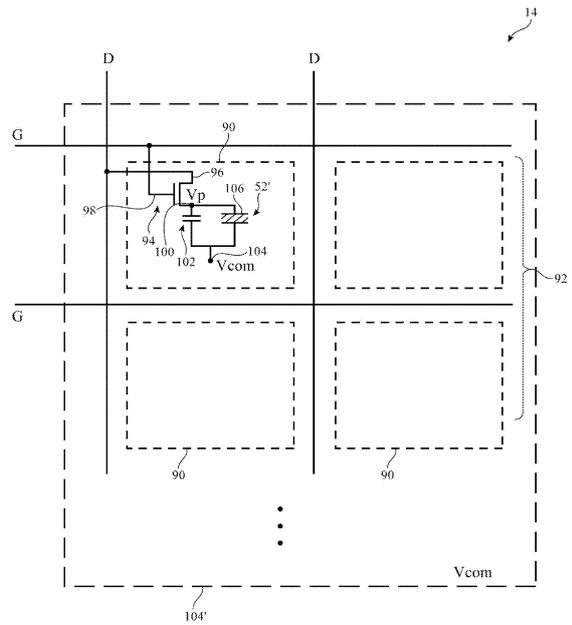


FIG. 6

【 図 7 】

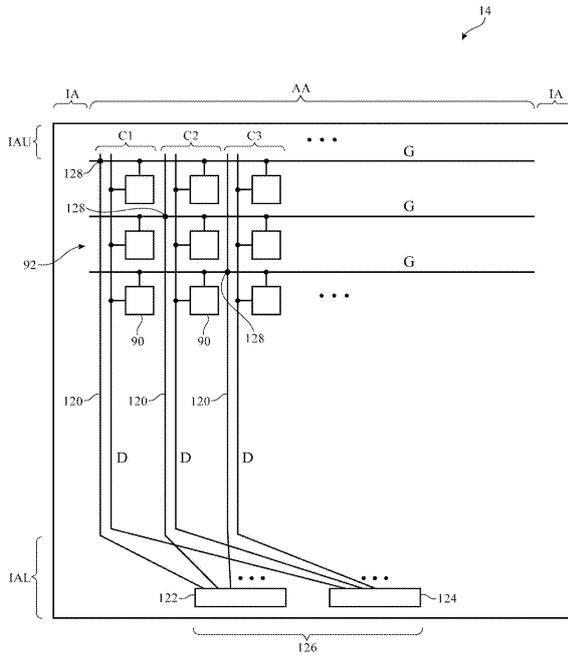


FIG. 7

【 図 8 】

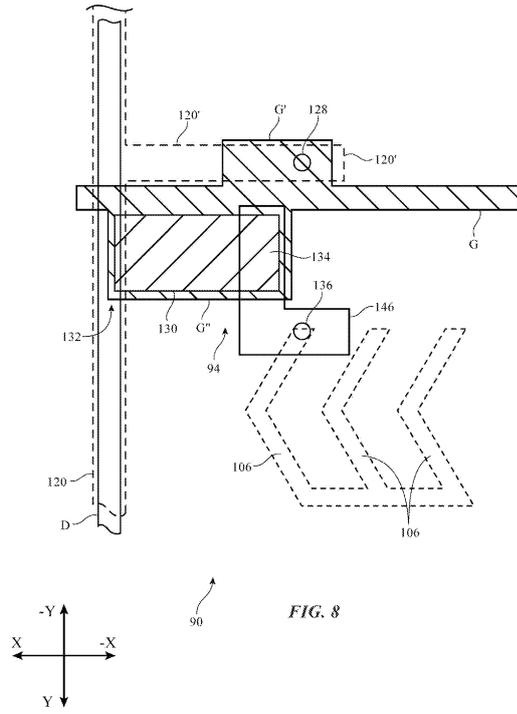


FIG. 8

【 図 9 】

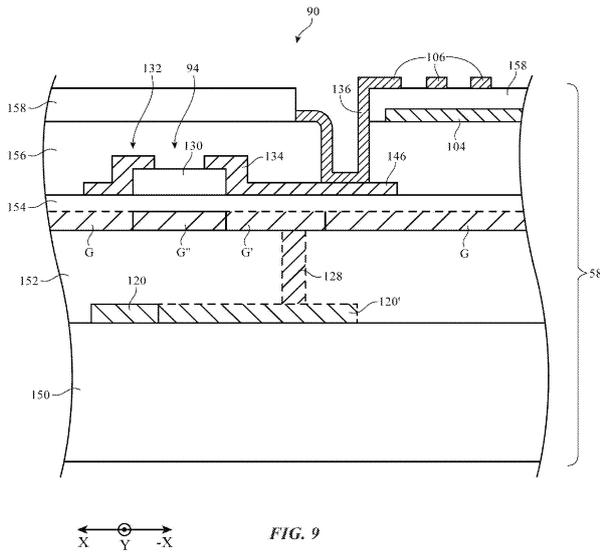


FIG. 9

【 図 10 】

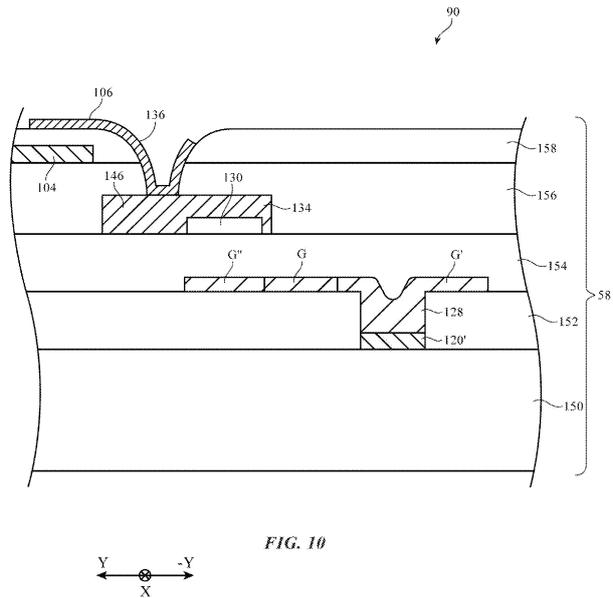


FIG. 10

## フロントページの続き

- (74)代理人 100116894  
弁理士 木村 秀二
- (74)代理人 100130409  
弁理士 下山 治
- (74)代理人 100134175  
弁理士 永川 行光
- (72)発明者 チウ, ハオ - リン  
アメリカ合衆国 カリフォルニア州 9 5 0 1 4 , クパチーノ, エム/エス 8 3 - ディー,  
インフィニット ループ 1
- (72)発明者 ヤン, ビョン ダク  
アメリカ合衆国 カリフォルニア州 9 5 0 1 4 , クパチーノ, エム/エス 8 3 - オー,  
インフィニット ループ 1
- (72)発明者 フアン, チャン - ヤオ  
アメリカ合衆国 カリフォルニア州 9 5 0 1 4 , クパチーノ, エム/エス 8 3 - オー,  
インフィニット ループ 1
- (72)発明者 キム, キャン ウーク  
アメリカ合衆国 カリフォルニア州 9 5 0 1 4 , クパチーノ, エム/エス 8 9 - 2 ピーピー  
- オー, インフィニット ループ 1
- (72)発明者 チャン, シー チャン  
アメリカ合衆国 カリフォルニア州 9 5 0 1 4 , クパチーノ, エム/エス 8 9 - 2 ピーピー  
- オー, インフィニット ループ 1
- (72)発明者 リー, シュー - シエン  
アメリカ合衆国 カリフォルニア州 9 5 0 1 4 , クパチーノ, エム/エス 8 9 - 2 ピーピー  
- オー, インフィニット ループ 1

審査官 石本 努

- (56)参考文献 特開2013-210666(JP,A)  
特開2003-058075(JP,A)  
特開2003-066474(JP,A)  
特開平11-305681(JP,A)  
国際公開第2014/077175(WO,A1)  
特開2003-295217(JP,A)  
特開2001-154197(JP,A)  
特表2004-516511(JP,A)  
特開2005-266394(JP,A)  
特開2003-140181(JP,A)

## (58)調査した分野(Int.Cl., DB名)

G 0 2 F 1 / 1 3 3  
1 / 1 3 4 3 - 1 / 1 3 4 5  
1 / 1 3 5 - 1 / 1 3 6 8  
G 0 9 F 9 / 3 0 - 9 / 4 6  
H 0 1 L 2 1 / 3 3 6  
2 9 / 7 8 6