

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6310803号
(P6310803)

(45) 発行日 平成30年4月11日(2018.4.11)

(24) 登録日 平成30年3月23日(2018.3.23)

(51) Int.Cl.		F I			
H O 1 L 21/673	(2006.01)	H O 1 L	21/68	T	
H O 1 L 21/301	(2006.01)	H O 1 L	21/78	Q	
B 6 5 D 85/86	(2006.01)	B 6 5 D	85/38	R	

請求項の数 11 (全 24 頁)

(21) 出願番号	特願2014-154312 (P2014-154312)	(73) 特許権者	302062931
(22) 出願日	平成26年7月29日 (2014.7.29)		ルネサスエレクトロニクス株式会社
(65) 公開番号	特開2016-32049 (P2016-32049A)		東京都江東区豊洲三丁目2番24号
(43) 公開日	平成28年3月7日 (2016.3.7)	(74) 代理人	100080001
審査請求日	平成29年5月11日 (2017.5.11)		弁理士 筒井 大和
		(74) 代理人	100113642
			弁理士 菅田 篤志
		(74) 代理人	100117008
			弁理士 筒井 章子
		(74) 代理人	100147430
			弁理士 坂次 哲也
		(72) 発明者	松田 信太郎
			神奈川県川崎市中原区下沼部1753番地
			ルネサスエレクトロニクス株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

(a) 第1主面と、前記第1主面と反対側の面である第2主面を有する基板を準備し、前記基板の前記第1主面上に複数の半導体素子を形成することにより半導体ウエハを形成する工程と、

(b) 粘着テープが貼り付けられた環状のリングを準備する工程と、

(c) 前記半導体ウエハの前記第2主面と前記リングの環内に位置する前記粘着テープの粘着面とが対向するように、前記粘着テープ上に前記半導体ウエハを貼り付ける工程と、

(d) 前記半導体ウエハを切断することにより、複数の半導体チップに分割し、前記複数の半導体チップが前記粘着テープに貼り付いた状態で前記リングに保持される、ソーンウエハを作成する工程と、

(e) 前記(d)工程の後、前記ソーンウエハの前記複数の半導体チップが貼り付けられた第1面を覆う第1ケース部と、前記ソーンウエハの前記第1面の反対側の第2面を覆う第2ケース部と、を有する梱包ケース内に前記ソーンウエハを収納して前記リングを固定する工程と、

(f) 前記(e)工程の後、梱包袋内に前記梱包ケースを収納する工程と、

(g) 前記(f)工程の後、前記梱包袋内の気体を吸気することにより、前記梱包ケース内を減圧する工程と、を有し、

前記第1ケース部は、前記(e)工程で、前記複数の半導体チップを覆う第1凹部、お

よび上記第 1 凹部に連通し、前記梱包ケースの外部空間に接続される第 1 通気経路を有し、

前記第 2 ケース部は、前記 (e) 工程で、前記ソーンウエハの前記第 2 面を覆う第 2 凹部を有し、

前記 (g) 工程では、前記第 1 通気経路を介して、前記梱包ケース内の気体を排出する、半導体装置の製造方法。

【請求項 2】

請求項 1 に記載の半導体装置の製造方法において、

前記第 1 ケース部は、前記第 1 凹部の外側において、前記ソーンウエハの前記リングの前記第 1 面を押圧して前記リングを固定するリング押さえ部を有し、

平面視において、前記第 1 通気経路は、前記リングの内側の空間と前記リングの外側の空間とを連通する、半導体装置の製造方法。

10

【請求項 3】

請求項 1 に記載の半導体装置の製造方法において、

前記第 1 ケース部は、前記第 1 凹部の周囲を囲むように設けられ、前記ソーンウエハの前記リングの前記第 1 面を押圧して前記リングを固定するリング押さえ部を有し、

平面視において、前記第 1 通気経路は、前記リング押さえ部の一部を貫通するように、前記第 1 凹部内の空間と前記リング押さえ部の外側の空間とを連通する、半導体装置の製造方法。

【請求項 4】

請求項 1 に記載の半導体装置の製造方法において、

前記第 2 ケース部は、前記第 2 凹部に連通し、前記梱包ケースの外部空間に接続される第 2 通気経路を有し、

前記 (g) 工程では、前記第 2 通気経路を介して、前記第 2 凹部内の気体を排出する、半導体装置の製造方法。

20

【請求項 5】

請求項 4 に記載の半導体装置の製造方法において、

前記第 1 通気経路および前記第 2 通気経路は、互いに接続される、半導体装置の製造方法。

【請求項 6】

請求項 4 に記載の半導体装置の製造方法において、

前記第 2 通気経路は、前記ソーンウエハの前記リングの外縁部と前記第 2 凹部の壁面との間に生じる隙間を含む、半導体装置の製造方法。

30

【請求項 7】

請求項 4 に記載の半導体装置の製造方法において、

前記 (e) 工程において、前記第 1 凹部と前記ソーンウエハの前記第 1 面により形成される第 1 空間の容積は、前記 (e) 工程において、前記第 2 凹部と前記ソーンウエハの前記第 2 面により形成される前記第 2 凹部の容積よりも大きい、半導体装置の製造方法。

【請求項 8】

請求項 7 に記載の半導体装置の製造方法において、

前記複数の半導体チップのそれぞれは、前記第 1 主面側に形成されたイメージセンサ素子を有する、半導体装置の製造方法。

40

【請求項 9】

請求項 8 に記載の半導体装置の製造方法において、

前記 (d) 工程の後、前記 (e) 工程の前に、前記複数の半導体チップを覆うように保護テープを前記ソーンウエハ上に貼り付ける工程を有する、半導体装置の製造方法。

【請求項 10】

請求項 1 に記載の半導体装置の製造方法において、

(h) 前記 (g) 工程の後、前記梱包袋を開封することにより、前記梱包ケース内の圧力を上昇させる工程と、

50

(i) 前記(h)工程の後、前記ソーンウエ八を前記梱包ケースから取り出す工程と、をさらに有する、半導体装置の製造方法。

【請求項11】

請求項1に記載の半導体装置の製造方法において、

前記梱包ケースの外部空間と前記第1凹部内の第1空間とを接続する前記第1通気経路中には、前記第1通気経路の断面積が局所的に大きくなる空間が設けられる、半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の製造技術に関し、例えば、半導体ウエ八をリングに固定して切断した後、複数の半導体チップに分割された半導体ウエ八を、リングに支持された状態で梱包する工程を含む半導体装置の製造方法に適用して有効な技術に関する。

【背景技術】

【0002】

特開2002-145380号公報(特許文献1)には、分割済みの半導体ウエ八がダイシングテープに貼り付けられた状態の複数枚のダイシングフレームを、積層して収容する梱包箱が記載されている。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2002-145380号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

半導体ウエ八を複数の半導体チップに分割した後、半導体チップを実装する場所まで搬送する際に、切断後の複数の半導体チップが粘着テープに貼り付いた状態でリングに保持された状態で梱包する場合がある。この状態のウエ八は、リング付切断済み半導体ウエ八と呼ばれる場合もあるが、本明細書では、以下、ソーンウエ八と呼ぶ。

【0005】

搬送時に半導体チップの損傷を抑制する観点から、ソーンウエ八の梱包ケースは、リングを固定できる構造であることが好ましい。また、半導体チップや半導体チップが有する回路の構成部品の酸化を抑制する観点から、ソーンウエ八の梱包ケースは、内部の気体を吸気して、半導体ウエ八の周囲の環境を減圧状態で維持できる構造であることが好ましい。

【0006】

ところが、本願発明者が検討した所、ソーンウエ八を梱包するケースの構造によっては、半導体ウエ八の周囲の環境を減圧状態から常圧状態に復帰させる際に、梱包ケース内に収容された個々の半導体チップが損傷する懸念があることが判った。

【0007】

その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0008】

一実施の形態による半導体装置の製造方法は、半導体ウエ八を切断することにより、複数の半導体チップに分割し、上記複数の半導体チップが粘着テープに貼り付いた状態で環状のリングに保持される、ソーンウエ八を作成する工程を有する。また、半導体装置の製造方法は、上記ソーンウエ八の上記半導体ウエ八が貼り付けられた第1面を覆う第1ケース部と、上記ソーンウエ八の上記第1面の反対側の第2面を覆う第2ケース部と、を有する梱包ケース内に、上記ソーンウエ八を収納する工程を有する。また、半導体装置の製造

10

20

30

40

50

方法は、上記梱包ケースを梱包袋内に収納した後、上記梱包袋内の気体を吸気することにより、上記梱包ケース内を減圧する工程を有する。また、上記第1ケース部は、上記複数の半導体チップを覆う第1凹部、および上記第1凹部に連通する第1通気経路を有する。また、上記梱包ケース内を減圧する工程では、上記第1通気経路を介して、上記梱包ケース内の気体が外部に排出される。

【発明の効果】

【0009】

上記一実施の形態によれば、梱包ケース内に収容されたソーンウエハの複数の半導体チップを保護することができる。

【図面の簡単な説明】

10

【0010】

【図1】一実施の形態である半導体パッケージ（半導体装置）の上面図である。

【図2】図1のA-A線に沿った断面図である。

【図3】図1および図2を用いて説明した半導体パッケージの製造工程の概要を示す説明図である。

【図4】図3に示すウエハ準備工程で準備する半導体ウエハの回路形成面側の平面図である。

【図5】図3に示すダイシング工程で使用する半導体ウエハの支持部材を示す平面図である。

【図6】図5のA-A線に沿った断面において、ダイシングテープに半導体ウエハを貼り付けた状態を示す断面図である。

20

【図7】図6に示す半導体ウエハをダイシングラインに沿って切断する様子を示す拡大断面図である。

【図8】図3に示すダイシング工程後に得られるソーンウエハの平面図である。

【図9】図8に示すソーンウエハを梱包ケースに収容する様子を示す組立斜視図である。

【図10】図9に示す梱包ケースの蓋部を上方から見た平面図である。

【図11】図9に示す梱包ケースの本体部を上方から見た平面図である。

【図12】図10および図11のA-A線に沿った断面において、梱包ケースにソーンウエハが梱包された状態を示す断面図である。

【図13】図10および図11のB-B線に沿った断面において、梱包ケースにソーンウエハが梱包された状態を示す断面図である。

30

【図14】図3に示す真空包装工程で、梱包されたソーンウエハを真空包装する様子を模式的に示す説明図である。

【図15】図3に示す包装開封工程で、梱包袋の密封状態を開封する様子を模式的に示す説明図である。

【図16】図10に示す梱包ケースが有する通気経路を模式的に示す平面図である。

【図17】図11に示す梱包ケースが有する通気経路を模式的に示す平面図である。

【図18】図12に対する変形例を示す断面図である。

【図19】図12に対する他の変形例を示す断面図である。

【図20】図12に対応する検討例を示す断面図である。

40

【発明を実施するための形態】

【0011】

（本願における記載形式・基本的用語・用法の説明）

本願において、実施の態様の記載は、必要に応じて、便宜上複数のセクション等に分けて記載するが、特にそうでない旨明示した場合を除き、これらは相互に独立別個のものではなく、記載の前後を問わず、単一の例の各部分、一方が他方の一部詳細または一部または全部の変形例等である。また、原則として、同様の部分は繰り返しの説明を省略する。また、実施の態様における各構成要素は、特にそうでない旨明示した場合、理論的にその数に限定される場合および文脈から明らかにそうでない場合を除き、必須のものではない。

50

【 0 0 1 2 】

同様に実施の態様等の記載において、材料、組成等について、「AからなるX」等であっても、特にそうでない旨明示した場合および文脈から明らかにそうでない場合を除き、A以外の要素を含むものを排除するものではない。例えば、成分についていえば、「Aを主要な成分として含むX」等の意味である。例えば、「シリコン部材」等であっても、純粋なシリコンに限定されるものではなく、シリコン・ゲルマニウム(SiGe)合金やその他シリコンを主要な成分とする多元合金、その他の添加物等を含む部材も含むものであることはいうまでもない。また、金めっき、Cu層、ニッケル・めっき等であっても、そうでない旨、特に明示した場合を除き、純粋なものだけでなく、それぞれ金、Cu、ニッケル等を主要な成分とする部材を含むものとする。

10

【 0 0 1 3 】

さらに、特定の数値、数量に言及したときも、特にそうでない旨明示した場合、理論的にその数に限定される場合および文脈から明らかにそうでない場合を除き、その特定の数値を超える数値であってもよいし、その特定の数値未満の数値でもよい。

【 0 0 1 4 】

また、実施の形態の各図中において、同一または同様の部分は同一または類似の記号または参照番号で示し、説明は原則として繰り返さない。

【 0 0 1 5 】

また、本願では、複数のデバイス領域を有する半導体ウエハに集積回路を形成した後、デバイス領域毎に個片化されたものを、半導体チップと記載する。また、半導体チップがリードフレームや配線基板などの基材に搭載され、基材が有する端子と電氣的に接続されたものを半導体パッケージと記載する。

20

【 0 0 1 6 】

また、本願では、半導体材料を利用した回路(集積回路)を有する電子部品の総称を半導体装置と記載する。したがって、半導体装置には、上記した半導体チップおよび半導体パッケージが含まれる。また、複数の半導体チップが梱包された包装体も半導体装置に含まれる。

【 0 0 1 7 】

また、添付図面においては、却って、煩雑になる場合または空隙との区別が明確である場合には、断面であってもハッチング等を省略する場合がある。これに関連して、説明等から明らかである場合等には、平面的に閉じた孔であっても、背景の輪郭線を省略する場合がある。更に、断面でなくとも、空隙でないことを明示するため、あるいは領域の境界を明示するために、ハッチングやドットパターンを付すことがある。

30

【 0 0 1 8 】

(実施の形態)

<半導体パッケージ>

まず、本実施の形態の半導体パッケージ(半導体装置)PKG1の概要構成について、図1および図2を用いて説明する。本実施の形態の半導体パッケージPKG1は、配線基板2、および配線基板2上に搭載された半導体チップ(半導体装置)CPを備えている。図1は本実施の形態の半導体パッケージ(半導体装置)の上面図である。また、図2は、図1のA-A線に沿った断面図である。なお、図1および図2では、半導体チップCPの主面Cpt側に形成された複数のイメージセンサ素子(受光素子)の配置領域を見やすくするため、イメージセンサ素子の配置領域を二点鎖線で囲み、符号LSEを付して示している。

40

【 0 0 1 9 】

図2に示すように、配線基板2は、半導体チップCPが搭載された上面(面、主面、第1面、チップ搭載面)2t、上面2tとは反対側の下面(面、主面、第2面、実装面)2b、および上面2tと下面2bの間に配置された側面2sを有し、図1に示すように平面視において四角形の外形形状を成す。

【 0 0 2 0 】

50

配線基板 2 の上面 2 t には、半導体チップ C P と電氣的に接続される複数の端子 (ボンディングリード、ボンディングフィンガ、半導体チップ接続用端子) 2 B F が形成されている。また、図 2 に示すように、配線基板 2 の下面 2 b には、半導体パッケージ P K G 1 の外部入出力端子である複数のランド 2 L D が形成されている。複数の端子 2 B F と複数のランド 2 L D は、配線基板 2 に形成された複数の配線 2 W を介して、それぞれ電氣的に接続されている。また、図 2 に示す例では、複数のランド 2 L D のそれぞれには、半田ボール (半田材、外部端子、電極、外部電極) S B が接続されている。半田ボール S B は、半導体パッケージ P K G 1 を図示しない実装基板に実装する際に、実装基板側の複数の端子 (図示は省略) と複数のランド 2 L D を電氣的に接続する、導電性部材である。

【 0 0 2 1 】

また、半導体パッケージ P K G 1 は、配線基板 2 上に搭載される半導体チップ C P を備えている。図 2 に示すように、半導体チップ C P のそれぞれは、主面 (表面、上面) C P t、主面 C P t とは反対側の主面 (裏面、下面) C P b、および、主面 C P t と主面 C P b との間に位置する側面 C P s を有し、図 1 に示すように平面視において配線基板 2 よりも平面積が小さい四角形の外形形状を成す。

【 0 0 2 2 】

また、半導体チップ C P の主面 C P t には、複数のパッド (ボンディングパッド、チップ電極) P D が形成されており、本実施の形態では、複数のパッド P D が主面 C P t の各辺に沿って (側面 C P s に沿って) 形成されている。また、図 2 に示す例では、半導体チップ C P は、主面 C P b が配線基板 2 の上面 2 t と対向配置された状態で、配線基板 2 上に搭載されている。このような搭載方式は、フェイスアップ実装方式と呼ばれる。

【 0 0 2 3 】

半導体チップ C P (詳しくは、半導体チップ C P の基材) は、例えばシリコン (S i) から成る。また、主面 C P t には、半導体チップ C P の基材および配線を覆う絶縁膜が形成されており、複数のパッド P D のそれぞれの表面は、この絶縁膜に形成された開口部において、絶縁膜から露出している。また、複数のパッド P D は、それぞれ金属からなり、本実施の形態では、例えばアルミニウム (A l) からなる。

【 0 0 2 4 】

図 1 および図 2 に示す例では、半導体チップ C P は、主面 C P t 側に形成された複数のイメージセンサ素子 (受光素子) L S E を有する、所謂、イメージセンサチップである。イメージセンサ素子は、例えば、C M O S (Complementary Metal Oxide Semiconductor) を用いた固体撮像素子である。半導体チップ C P の主面 C P t 側に形成された複数のイメージセンサ素子 L S E は、主面 C P t の周縁部に形成された複数のパッド P D と電氣的に接続されている。

【 0 0 2 5 】

また、半導体チップ C P の複数のパッド P D は、例えば金 (A u) あるいは銅 (C u) などの金属材料から成る複数のワイヤ (導電性部材) B W を介して配線基板 2 の複数の端子 2 B F と電氣的に接続されている。イメージセンサチップなどのセンサチップを有する半導体パッケージの場合、センサ部分を視認可能な状態にする必要が生じる場合が多い。このため、図 1 および図 2 に示す例では、フェイスアップ実装方式により半導体チップ C P が搭載され、ワイヤ B W を介して半導体チップ C P と配線基板 2 とが電氣的に接続される。

【 0 0 2 6 】

また、ワイヤ B W により半導体チップ C P と配線基板 2 とを電氣的に接続する場合、ワイヤ B W による接続部分を保護する必要がある。このため、図 1 および図 2 に示す例では、半導体チップ C P および複数のワイヤ B W は、可視光に対して透明なカバー部材 C G により覆われている。

【 0 0 2 7 】

なお、図 1 および図 2 では、半導体チップ C P を搭載する基材として、配線基板 2 を例示的に示しているが、種々の変形例がある。例えば、半導体チップ C P を図示しない金属

10

20

30

40

50

製のリードフレームのチップ搭載部に搭載することもできる。

【0028】

また、図1および図2に対する変形例としてセンサチップではない半導体チップに置き換えることができる。この場合、半導体チップが例えば黒色の樹脂に覆われていても良いので、半導体チップCPおよび複数のワイヤBWを樹脂で封止しても良い。また、半導体チップの半導体素子のパッドPDの形成面である主面CPT側が配線基板2の上面2tと対向するように搭載される、フェイスダウン実装方式で配線基板2上に搭載されても良い。この場合、ワイヤBWに代えて、複数のパッドPDに接合された複数の突起電極を介して半導体チップCPと配線基板2とを電氣的に接続することができる。

【0029】

<半導体装置の製造方法>

次に、図1および図2を用いて説明した半導体パッケージPKG1の製造工程について説明する。なお、本実施の形態では、図1に示す半導体チップCPを製造する工程（ウエハ工程）と、半導体パッケージを組み立てる工程（組立工程）と、を互いに異なる場所で行う実施態様について説明する。この場合、ウエハ工程を実施した後、完成した半導体チップを梱包し、搬送する必要がある。図3は、図1および図2を用いて説明した半導体パッケージの製造工程の概要を示す説明図である。

【0030】

<ウエハ工程>

図3に示すウエハ工程では、ウエハ準備工程として、例えばシリコン（Si）などの半導体材料からなる基板である、半導体ウエハWH（図4参照）を準備する。図4は、図3に示すウエハ準備工程で準備する半導体ウエハの回路形成面側の平面図である。なお、ウエハ準備工程で準備する半導体ウエハWHは、複数のデバイス領域DVpを有するが、各デバイス領域DVpの境界に、目視可能な線が形成されていなくても良い。図4では、複数のデバイス領域DVpが存在することを明示的にしめすため、デバイス領域DVpの境界、すなわち、ダイシングラインDCpに二点鎖線を付している。

【0031】

図4に示す半導体ウエハWHは、回路形成面CFTおよび回路形成面CFTの反対側の裏面を有している。また、平面視において、半導体ウエハWHは、複数のデバイス領域DVp、および複数のデバイス領域DVpの間に位置するダイシングライン（スクライプ領域）DCpを有する。

【0032】

また、図3に示す回路形成工程として、半導体ウエハWHの回路形成面CFTに複数の半導体素子を含む回路を形成する。本工程では、複数の半導体素子、複数のパッドPD（図1参照）および複数の半導体素子と複数のパッドPDとを電氣的に接続する複数の配線を形成する。複数の半導体素子は、例えばトランジスタやダイオードなどの電子回路素子であって、半導体材料に不純物を導入することにより形成される。また、上記したように、本実施の形態では、CMOSセンサなどのイメージセンサ素子LSE（図1参照）を形成する。イメージセンサ素子LSEは、複数の半導体素子により構成される。また、図1および図2では図示を省略するが、イメージセンサ素子LSEの上方には、複数のレンズ（マイクロレンズ）が形成されている。したがって、本実施の形態では、回路形成工程において、イメージセンサ素子LSE、イメージセンサ素子LSEと電氣的に接続される複数の配線、および複数のパッドPD（図1参照）が形成される。

【0033】

なお、図3に示す回路形成工程では、図4に示す半導体ウエハWHの回路形成面CFT上に配線層が積層される。図2に示す半導体チップの主面CPTは、上記のように、配線層を積層することにより回路が形成された後の半導体ウエハWHの上面である。このため、回路が形成された後の半導体ウエハWHの断面を示す場合には、例えば図6に示すように半導体ウエハWHの上面を主面CPTとして示している。

【0034】

10

20

30

40

50

また、図3に示す検査工程では、回路形成工程で半導体ウエハWHに形成された回路に対して電氣的試験等を行う。この電氣的試験では、例えば、導通試験や回路の電氣的特性を確認する試験等を行うことができる。

【0035】

なお、図3では図示を省略するが、回路形成工程の後に半導体ウエハWHの裏面を研削し、半導体ウエハの厚さを低減させる、裏面研削工程を行っても良い。裏面研削工程を行う場合、回路形成工程の後に半導体ウエハWHを薄くできるので、回路形成工程における半導体ウエハWHのハンドリングを向上させ、かつ、取得する半導体チップCP(図1参照)の厚さを薄型化できる。裏面研削工程は、図3に示す検査工程の後、かつ、ダイシング工程の前に行うこともできる。ただし、裏面研削工程における回路への影響を検査する観点からは、検査工程の前に行うことが好ましい。

10

【0036】

なお、図2に示す半導体チップCPの主面CPbは、裏面研削工程を行う場合には、研削後に露出する面である。また、図2に示す半導体チップCPの主面CPbは、裏面研削工程を行わない場合には、図4に示す半導体ウエハWHの回路形成面CFtの反対側に位置する裏面と同一面である。したがって、図3に示すダイシング工程以降の工程において、半導体ウエハWHの断面を示す場合には、例えば、後述する図6に示すように半導体ウエハWHの下面を主面CPbとして示している。

【0037】

次に、図3に示すダイシング工程では、図4に示すダイシングラインDCpに沿って半導体ウエハWHを切断し、デバイス領域DVpごとに分割された、複数の半導体チップCP(図7参照)を取得する。図5は、図3に示すダイシング工程で使用する半導体ウエハの支持部材を示す平面図である。また、図6は、図5のA-A線に沿った断面において、ダイシングテープに半導体ウエハを貼り付けた状態を示す断面図である。また、図7は、図6に示す半導体ウエハをダイシングラインに沿って切断する様子を示す拡大断面図である。また、図8は、図3に示すダイシング工程後に得られるソーンウエハの平面図である。

20

【0038】

なお、図5に示すリングRGは、半導体ウエハWH(図6参照)の貼り付け面である粘着面ADf側を示している。また、上記したように、半導体ウエハWHは、複数のデバイス領域DVpを有するが、各デバイス領域DVpの境界に、目視可能な線が形成されていなくても良い。図6では、複数のデバイス領域DVpが存在することを明示的にしめすため、デバイス領域DVpの境界、すなわち、ダイシングラインDCpに点線を付している。

30

【0039】

ダイシング工程は、図5に示すようにダイシングテープ(粘着シート)DTが貼り付けられたリングRGを準備するリング準備工程を有する。また、ダイシング工程は、図6に示すように、半導体ウエハWHの主面CPbとリングRGの環内に位置するダイシングテープDTの粘着面ADfとが対向するように、ダイシングテープDT上に半導体ウエハWHを貼り付ける、ウエハ接着工程を有する。また、ダイシング工程は、図7に示すように、半導体ウエハWHを切断することにより、複数の半導体チップCPに分割し、ソーンウエハSWを作成する、ソーンウエハ形成工程を有する。

40

【0040】

リング準備工程で準備するリングRGは、図5に示すように平面形状が環状の支持枠であって、図6に示すように上面RGtおよび上面RGtの反対側の下面RGbを有する。また、リングRGに貼り付けられるダイシングテープDTは、樹脂フィルムであって、一方の面に粘着材料を含む粘着層が形成された粘着面(接着面、上面)ADfを有する。一方、粘着面の反対側の下面DTbの粘着性は、粘着面よりも低くなっている。

【0041】

ダイシングテープDTの粘着面ADfに半導体ウエハWHやリングRGを密着させると

50

、粘着面 A D f の粘着力によって、半導体ウエハ W H やリング R G が接着される。図 6 に示す例では、ダイシングテープ D T の粘着面 A D f はリング R G の下面 R G b に貼り付けられている。

【 0 0 4 2 】

また、ダイシングテープ D T の基材は樹脂フィルムなので、力を加えることにより、基材がある程度伸縮する。このため、リング R G の下面 R G b にダイシングテープ D T を貼り付ける際に、ダイシングテープ D T を引っ張りながら貼り付けて、半導体ウエハ W H との対向面に、弛みや皺が形成されないようにすることが好ましい。

【 0 0 4 3 】

また、粘着面 A D f に配置される粘着材料は、例えば紫外線硬化性の樹脂を含む。このため、ダイシングテープ D T に貼り付いた半導体チップ C P (図 7 参照) をピックアップする時には、ダイシングテープ D T に紫外線を照射した後、半導体チップ C P をピックアップする。これにより、半導体チップ C P とダイシングテープ D T とを容易に剥離させることができる。

【 0 0 4 4 】

次に、ウエハ接着工程では、図 6 に示すように、半導体ウエハ W H の主面 C P b とダイシングテープ D T の粘着面 A D f とを接着し、半導体ウエハ W H を、ダイシングテープ D T を介してリング R G に固定する。図 6 に示すように、半導体ウエハ W H の主面 C P b をダイシングテープ D T に貼り付けた場合、回路形成面側の主面 C P t は、露出する。

【 0 0 4 5 】

次に、ソーンウエハ形成工程では、図 7 に示すように、ダイシングライン D C p に沿って半導体ウエハ W H を切断する。例えば図 7 に示す例では、切削加工治具であるブレード (ダイシングブレード) D B を用いてダイシングライン D C p を切削加工することで、デバイス領域 D V p ごとに半導体ウエハ W H を分割する。ブレード D B は、円盤形状の板状部材であって、円盤の周縁部に、砥粒が形成されている。この円盤状のブレード D B を円盤の円周方向に回転させながら、ダイシングライン D C p に沿って移動させると、半導体ウエハ W H が切断される。この時、半導体ウエハ W H はダイシングテープ D T に貼り付けられているので、半導体ウエハ W H を固定した状態で、切削加工を施すことができる。また、切断後の半導体チップ C P の主面 C P b は、それぞれダイシングテープ D T に貼り付いているので、ダイシング後の半導体チップ C P が周囲に飛び散ることを防止できる。

【 0 0 4 6 】

また、半導体ウエハ W H を分割した後は、洗浄工程を行って、切削屑を除去する。この洗浄工程では、半導体ウエハ W H の構成部分のうち、半導体チップ C P 以外の部分 (例えば周縁部の端材など) を切削屑とともに取り除いても良い。この場合、例えば、取り除く部分に選択的に紫外線を照射する。これにより半導体チップ C P はダイシングテープ D T から剥離せず、かつ、除去対象の端材を選択的にダイシングテープ D T から剥離させることができる。

【 0 0 4 7 】

以上の各工程により、図 8 に示すソーンウエハ (半導体装置) S W が作成される。図 8 に示すソーンウエハ S W は、複数の半導体チップ C P がダイシングテープ D T に貼り付いた状態でリング R G に保持される、リング付切断済半導体ウエハである。

【 0 0 4 8 】

次に、図 3 に示すケース準備工程では、図 9 に示すように、ソーンウエハ S W を収納する梱包ケース S P を準備する。図 9 は、図 8 に示すソーンウエハを梱包ケースに收容する様子を示す組立斜視図である。また、図 1 0 は、図 9 に示す梱包ケースの蓋部を上方から見た平面図である。また、図 1 1 は、図 9 に示す梱包ケースの本体部を上方から見た平面図である。また、図 1 2 は、図 1 0 および図 1 1 の A - A 線に沿った断面において、梱包ケースにソーンウエハが梱包された状態を示す断面図である。また、図 1 3 は、図 1 0 および図 1 1 の B - B 線に沿った断面において、梱包ケースにソーンウエハが梱包された状態を示す断面図である。

10

20

30

40

50

【 0 0 4 9 】

なお、図 1 0 および図 1 1 では、梱包ケース S P とソーンウエハ S W の平面的な位置関係を示すため、図 1 0 では蓋部 S P 1 に覆われるソーンウエハ S W を点線で示し、図 1 1 では本体部 S P 2 のうち、ソーンウエハ S W に覆われる部分を点線で示す。また、図 1 2 および図 1 3 では、梱包ケース S P の内部空間と外部空間との間で、気体 G S 1、G S 2 を通気可能にするための通気経路を二点鎖線で模式的に示す。

【 0 0 5 0 】

また、図 3 に示すケース収納工程では、梱包ケース S P にソーンウエハ S W を収容する。梱包ケース S P は、図 9 に示すように蓋部（第 1 ケース部）S P 1 と本体部（第 2 ケース部）S P 2 との間に、ソーンウエハ S W を挟んで収容する、ソーンウエハ搬送用の収納容器である。

10

【 0 0 5 1 】

ここで、ソーンウエハを搬送する途中で、半導体チップ C P（図 8 参照）が損傷することを防止する観点から、ケース内で半導体チップ C P が動かないように固定することが好ましい。ソーンウエハ S W の複数の半導体チップ C P は、上記したように、ダイシングテープ D T（図 8 参照）を介してリング R G（図 8 参照）に支持されている。したがって、リング R G を固定すれば、半導体チップ C P が搬送中に動いてしまうことを防止できる。

【 0 0 5 2 】

本実施の形態では、図 1 1 に示すように本体部 S P 2 は、ソーンウエハ S W を収容する凹部 D M 2、および凹部 D M 2 に形成された複数の支持部 S T G 1 を備える。ソーンウエハ S W は、本体部 S P 2 に形成された凹部 D M 2 に収容される。また、支持部 S T G 1 は、凹部 D M 2 の底面に対して上方に盛り上がった部分（盛り上がり部）である。ソーンウエハ S W を凹部 D M 2 内に配置すると、図 6 に示すリング R G の下面 R G b に貼り付けられたダイシングテープ D T の下面 D T b、すなわち、ソーンウエハ S W の下面 S W b の周縁部は、支持部 S T G 1 と接触する。言い換えれば、支持部 S T G 1 は、ソーンウエハ S W の一部と接触して支持する支持面を有する。

20

【 0 0 5 3 】

一方、図 1 2 に示すように、蓋部 S P 1 は複数の半導体チップ C P を覆う凹部 D M 1、および凹部 D M 1 の外側において、ソーンウエハ S W のリング R G の上面 R G t を押さえるリング押さえ部 H D R 1 を有する。リング押さえ部 H D R 1 は、リング R G の上面 R G t と接触する位置に形成され、リング R G を上面 R G t 側から押圧することによりリング R G を固定する。

30

【 0 0 5 4 】

また、梱包ケース S P は、蓋部 S P 1 と本体部 S P 2 とを重ねあわせることで、内部に形成された空間の気密性を向上させることができる。詳しくは後述するが、蓋部 S P 1 と本体部 S P 2 との間に形成される内部空間と梱包ケース S P の外部空間との間での気体の出入りは、意図的に形成された複数の通気経路を介しての出入りが主要経路になる。このように、梱包ケース S P の気密性を向上させることで、梱包ケース S P 内に異物が侵入することを抑制できる。このため、異物により半導体チップ C P が汚染されることを抑制できる。

40

【 0 0 5 5 】

また、梱包ケース S P が、ソーンウエハ S W を収容する前に、予め清浄な状態になるように、洗浄などの作業を行っても良い。これにより、梱包ケース S P 内に収容された複数の半導体チップ C P に異物が付着する可能性を低減できる。

【 0 0 5 6 】

ところで、本実施の形態に対する変形例として、梱包ケース S P 内に複数枚のソーンウエハ S W を積層して収容する実施態様も可能である。ただしこの場合、積層したソーンウエハ S W 同士が接触することを避ける観点から、ソーンウエハ S W の間に緩衝機能を備えるスペーサ部材を配置する必要がある。また、一つの梱包ケース S P 内に収容される部品点数が増加すれば、部品同士の接触により異物が発生する懸念が増大する。したがって、

50

異物の発生を抑制する観点からは、本実施の形態のように一つの梱包ケース S P に一枚のソーンウエハ S W を収容する実施態様が特に好ましい。

【 0 0 5 7 】

また、本実施の形態のように一つの梱包ケース S P に一枚のソーンウエハ S W を収容する場合、ソーンウエハ S W 一枚を梱包する包装体の体積が増加する。したがって、例えば図 1 4 に示すように、複数の梱包ケース S P を勘合させて積み重ねることが可能な構造にすれば、多数のソーンウエハ S W を搬送する場合でも搬送対象物の体積を低減できる点で好ましい。

【 0 0 5 8 】

次に、図 3 に示す真空包装工程では、図 1 4 に示すようにソーンウエハ S W が収容された梱包ケース S P を梱包袋に収納し、梱包袋 S B G 内の気体 G S 1 を吸気することにより、梱包ケース S P 内を減圧する。図 1 4 は、図 3 に示す真空包装工程で、梱包されたソーンウエハを真空包装する様子を模式的に示す説明図である。なお、図 1 4 では、気体 G S 1 の流れ方向に矢印を付して模式的に示す。

10

【 0 0 5 9 】

本工程では、梱包ケース S P が収容された梱包袋 S B G 内が真空引きされた状態で梱包袋 S B G をシールする、所謂、真空包装を行う。なお、上記した「真空」の状態とは、気密空間中の大気を排出することにより減圧された状態の意味であって、気体が存在しない絶対真空の状態には限定されない。

【 0 0 6 0 】

20

真空包装工程は、図 1 4 に模式的に示すように、例えば、内部を減圧状態にすることができる減圧容器である真空チャンバ V C 内に、梱包ケース S P が収容された梱包袋 S B G を配置して行う。真空チャンバ V C には、真空ポンプ V P が接続されており、チャンバ V C 内の空間の気体 G S 1 を強制的に外部に排出することができる。また、真空チャンバ V C には、例えば熱により梱包袋 S B G の一部を溶融させてシールする、シール装置 H S が設けられる。真空包装工程では、真空チャンバ V C 内で梱包袋 S B G および梱包ケース S P の内部が真空引きされた状態で、梱包袋 S B G をシールして、梱包袋 S B G の内部を密封する。

【 0 0 6 1 】

図 1 4 に示すように、強制的に、気体 G S 1 を排出する方式の場合、梱包ケース S P の内部空間と外部空間の間に隙間が生じていれば、内部の気体を排出することができる。また、本実施の形態の場合、図 1 2 に示すように、梱包ケース S P には、梱包ケース S P の内部空間と外部空間の間を接続する通気経路が形成されている。この場合、梱包ケース S P の内部の気体 G S 1 を排出する時間を短縮することができる。また、梱包ケース S P の内部の気体 G S 1 を排出する際に気体 G S 1 の流れを制御し易くなるので、梱包ケース S P の内部空間における気圧のバランスを制御し易くなる。

30

【 0 0 6 2 】

次に、図 3 に示す包装体搬出工程（出荷工程ともいう）では、図 1 4 に示す包装袋 S B G を密封することにより得られる包装体 S W p k g を搬出する。包装体 S W p k g 内のソーンウエハ S W は、真空包装された状態で梱包ケース S P 内に固定されているので、搬送中に半導体チップ C P （図 1 2 ）が損傷すること、あるいは酸化によって特性が劣化することを抑制できる。このような搬送方法を利用すれば、例えば、半導体チップ C P を製造する工程（ウエハ工程）と、半導体パッケージを組み立てる工程（組立工程）と、を互いに異なる場所で行うことができる。

40

【 0 0 6 3 】

なお、例えば、ウエハ工程と、組立工程を異なる事業者が行う場合、図 1 4 に示す包装体 S W p k g は、複数の半導体チップ C P （図 1 2 参照）が真空包装された、半導体装置の製品と見做すこともできる。

【 0 0 6 4 】

< 組立工程 >

50

次に、図3に示す組立工程について説明する。図15は、図3に示す包装開封工程で、梱包袋の密封状態を開封する様子を模式的に示す説明図である。また、図16は、図10に示す梱包ケースが有する通気経路を模式的に示す平面図である。また、図17は、図11に示す梱包ケースが有する通気経路を模式的に示す平面図である。

【0065】

図3に示す基材準備工程では、図12に示す半導体チップCPが搭載される基材を搭載する。本実施の形態では、図1および図2に示す配線基板2を基材として準備する。なお、本実施の形態では、説明を単純化するために、図1および図2に示す配線基板2に半導体チップCPを搭載する実施態様について説明する。しかし、変形例としては、配線基板2に相当する複数の製品形成領域を備える、所謂多数個取り基板を準備して、複数の半導体装置を一括して組立てた後、製品形成領域毎に個片化する方法もある。この場合、組立工程を効率化することができる。

10

【0066】

また、図3に示す包装体受入工程では、図14に示す包装体SWpkgを受け入れる。次に、図3に示す包装開封工程では、図14に示す包装体SWpkgの密封状態を開封して、梱包ケースSPからソーンウエハSWを取り出す。

【0067】

包装開封工程には、梱包袋SBGの密封状態を開封することにより、梱包ケースSP内の圧力を上昇させる工程、および、梱包ケースSPからソーンウエハSWを取り出す工程が含まれる。図15に示す例では、清浄度が管理されたクリーンルームCR内で、梱包袋SBGの一部が切断される。これにより、梱包袋SBGの密封状態が開封され、クリーンルームCR内の気体(例えば大気)GS2が梱包袋SBG内に流入する。また、梱包ケースSPは、完全に密封された状態ではないので、梱包袋SBG内に流入した気体GS2は、梱包ケースSPの内部に侵入し、梱包ケースSP内の圧力が上昇する。

20

【0068】

ここで、本願発明者が検討した所、ソーンウエハSWの梱包ケースSPの構造によっては、包装開封工程において、梱包ケースSP内でソーンウエハSWの個々の半導体チップCPが損傷する懸念があることが判った。

【0069】

例えば、図20に示す検討例の梱包ケースSPh1の場合、蓋部SP1に形成されたリング押さえ部HDRhが、複数の半導体チップCPの周囲を連続的に囲むように形成されている点で、図10に示す本実施の形態の梱包ケースSPと相違する。また、梱包ケースSPh1は、凹部DM1とソーンウエハSWの上面SWtにより形成される空間SPC1と梱包ケースSPh1の外部空間を接続する通気経路が形成されていない点で、図10に示す本実施の形態の梱包ケースSPと相違する。図20に示す変形例の場合、リング押さえ部HDRhと、リングRGの上面RGtとが全周に亘って連続的に接触する。このため、凹部DM1とソーンウエハSWの上面SWtにより形成される空間SPC1は、気密空間になり、外部空間との間での気体の出入りが行い難い状態になる。

30

【0070】

上記した真空包装工程において、空間SPC1の内部圧力が常圧状態(例えば、101.325kPa)から減圧状態に移行する際には、空間SPC1内の気体は僅かな隙間からでも排出され易い。このため、リング押さえ部HDRhが、複数の半導体チップCPの周囲を連続的に囲むように形成されていても、空間SPC1を減圧状態にすることは可能である。

40

【0071】

しかし、包装開封工程において、空間SPC1の内部圧力が減圧状態から常圧状態に移行する際には、空間SPC1の内圧と外部空間との圧力差に起因する外力により、蓋部SP1のリング押さえ部HDRhがリングRGに押し付けられる。このため、リング押さえ部HDRhが、複数の半導体チップCPの周囲を連続的に囲むように形成されている場合、空間SPC1に気体が流入する経路が形成され難い。

50

【 0 0 7 2 】

また、梱包ケース S P h 1 の本体部 S P 2 には、凹部 D M 2 が形成され、凹部 D M 2 とソーンウエハ S W の下面 S W b により空間 S P C 2 が形成される。また、本体部 S P 2 には、凹部 D M 2 に連通し、外部と梱包ケース S P 内の気体 G S 2 (例えば空気)を通気可能にする(出し入れ可能にする)通気経路 V T R 2 が形成されている。

【 0 0 7 3 】

このため、上記した真空包装工程では、空間 S P C 2 内の気体 G S 1 は、通気経路 V T R 2 を介して梱包ケース S P h 1 の外部に排出される。一方、包装開封工程では、梱包ケース S P h 1 の外部空間の気体 G S 2 が通気経路 V T R 2 を介して空間 S P C 2 内に流入する。

10

【 0 0 7 4 】

このように空間 S P C 1 には気体 G S 2 が流入し難く、かつ、空間 S P C 2 には気体 G S 2 が流入し易い場合、空間 S P C 2 の内部圧力が空間 S P C 1 の内部圧力よりも大きくなる。この時、ソーンウエハ S W の複数の半導体チップ C P に貼り付けられたダイシングテープ D T は樹脂テープなので、空間 S P C 1 と空間 S P C 2 との圧力差が大きくなると、圧力差に起因した外力に押されて変形する。例えば、図 2 0 に示すように、空間 S P C 2 の内部圧力が相対的に大きくなると、ダイシングテープ D T は、複数の半導体チップ C P を上方に押し上げるように変形する。そして、ダイシングテープ D T の変形の程度によっては、図 2 0 に示すように、半導体チップ C P の主面 C P t が蓋部 S P 1 h 1 の凹部 D M 1 の内面に接触する場合がある。

20

【 0 0 7 5 】

上記したように、半導体チップ C P の主面 C P t は、回路形成面側に配置される面であり、主面 C P t が他の部材と接触すると、半導体チップ C P に形成された回路が損傷する懸念がある。特に、本実施の形態の半導体チップ C P のように、主面 C P t 側に形成された複数のイメージセンサ素子(受光素子)を有する、所謂、イメージセンサチップの場合、主面 C P t が損傷すると、受光機能の低下の原因になる。

【 0 0 7 6 】

また、図 2 0 に示す梱包ケース S P h 1 とは別の検討例として、凹部 D M 2 に連通する通気経路 V T R 2 を形成しなかった場合には、空間 S P C 1 および空間 S P C 2 の両方が気密状態になるので、ダイシングテープ D T の変形は抑制できる。しかし、この場合、空間 S P C 1 および空間 S P C 2 の両方に気体 G S 2 が流入し難くなり、梱包ケースの内部が減圧状態で維持されるので、蓋部 S P 1 と本体部 S P 2 を引き剥がすことが困難になる。

30

【 0 0 7 7 】

ここで、本実施の形態の梱包ケース S P は、図 1 6 に示すように、蓋部 S P 1 の凹部 D M 1 に連通する、通気経路 V T R 1 を有する。図 1 3 に示すように通気経路 V T R 1 は、ソーンウエハ S W の上面 S W t および下面 S W b のうち、複数の半導体チップ C P が保持される上面 S W t 側の空間 S P C 1 と外部空間とを接続する。つまり、梱包ケース S P の蓋部 S P 1 の凹部 D M 1 内の空間 S P C 1 は、通気経路 V T R 1 を介して、梱包ケース S P の外部空間との間で気体 G S 2 を通気することが可能である。

40

【 0 0 7 8 】

図 1 3 および図 1 6 に示す例では、通気経路 V T R 1 は、空間 S P C 2 (図 1 3 参照)と外部空間を連通する通気経路 V T R 2 と接続されている。包装開封工程では、梱包ケース S P の外部空間の気体 G S 2 は、通気経路 V T R 2 および通気経路 V T R 1 を通って蓋部 S P 1 の凹部 D M 1 内の空間 S P C 1 に供給される。また、包装開封工程では、梱包ケース S P の外部空間の気体 G S 2 は、通気経路 V T R 2 を通って図 1 3 に示す本体部 S P 2 の凹部 D M 2 内の空間 S P C 2 に供給される。

【 0 0 7 9 】

本実施の形態のように、蓋部 S P 1 の凹部 D M 1 に連通する通気経路 V T R 1 を介して、梱包ケース S P の外部と凹部 D M 1 内の空間 S P C 1 とを接続することで、包装開封工

50

程において、空間 S P C 1 内に安定的に気体 G S 2 を供給することができる。このため、図 1 3 に示す空間 S P C 1 と空間 S P C 2 の間で圧力差が生じることを抑制し、圧力差に起因するダイシングテープ D T の変形を抑制することができる。この結果、ダイシングテープ D T に貼り付けられた複数の半導体チップ C P が蓋部 S P 1 と接触して損傷することを抑制できる。

【 0 0 8 0 】

また、本実施の形態に対する変形例として、通気経路 V T R 1 と通気経路 V T R 2 とを互いに接続せず、それぞれ独立して形成することができる。ただし、空間 S P C 1 と空間 S P C 2 との圧力差を低減する観点からは、本実施の形態のように、通気経路 V T R 1 と通気経路 V T R 2 とを互いに接続することが好ましい。通気経路 V T R 1 と通気経路 V T R 2 とを互いに接続すれば、空間 S P C 1 および空間 S P C 2 のうち、いずれか一方の圧力が上昇すると、他方への気体 G S 2 の流入量が増加するので、圧力差を低減できる。

10

【 0 0 8 1 】

また、図 1 6 に示すように、本実施の形態の梱包ケース S P の蓋部 S P 1 は、凹部 D M 1 の外側において、ソーンウエハ S W のリング R G を押圧してリング R G を固定するリング押さえ部 H D R 1 を有する。また、平面視において、通気経路 V T R 1 は、リング R G の内側の空間とリング R G の外側の空間とを連通する。つまり、通気経路 V T R 1 は、凹部 D M 1 に覆われた複数の半導体チップ C P 上には形成されず、複数の半導体チップ C P の周囲に形成されている。このような構造の場合、包装開封工程において、図 1 6 に示すように外部空間から気体 G S 2 が空間 S P C 1 に流入する際に、半導体チップ C P に気体 G S 2 が直接的に吹き付けられることを防止できる。このため、半導体チップ C P に異物が付着することを抑制できる。

20

【 0 0 8 2 】

また、図 1 6 に示すように、本実施の形態の梱包ケース S P は、凹部 D M 1 の周囲に複数の通気経路 V T R 1 を有している。この場合、通気経路 V T R 1 の断面積を増大させることができるので、通気経路 V T R 1 を通過する気体 G S 2 の流速を低下させることができる。これにより、気体 G S 2 により異物が半導体チップ C P まで搬送される可能性をさらに低減できる。

【 0 0 8 3 】

また、図 1 6 に示すように、本実施の形態の梱包ケース S P は、凹部 D M 1 の周囲に複数のリング押さえ部 H D R 1 が形成されている。このように、凹部 D M 1 の周囲において複数箇所リング R G を押さえることにより、リング R G の固定強度を向上させることができる。そしてリング R G を固定する強度を向上させれば、搬送中にリング R G が動いて半導体チップ C P が損傷することを抑制できる。

30

【 0 0 8 4 】

また、図 1 6 に示す例では、平面視において、通気経路 V T R 1 は、リング押さえ部 H D R 1 の一部を貫通するように、凹部 D M 1 内の空間とリング押さえ部 H D R 1 の外側の空間とを連通する。つまり、通気経路 V T R 1 と厚さ方向に重なる位置では、図 1 3 に示すようにリング R G の上面 R G t が蓋部 S P 1 と接触しない。言い換えれば、通気経路 V T R 1 の部分では、蓋部 S P 1 を構成する部材は、通気経路 V T R 1 を覆うようにドーム状に形成されている。更に言い換えれば、リング押さえ部 H D R 1 のリング R G と接触する部分に形成された凹部が第 1 通気経路 V T R 1 となっている。このように通気経路 V T R 1 をドーム状に形成する場合、蓋部 S P 1 を製造する際に、成形金型により容易に形成することができる。

40

【 0 0 8 5 】

また、本実施の形態に対する変形例としては、図 1 2 に示す本体部 S P 2 に凹部 D M 2 を形成しない実施態様も考えられる。この場合、ソーンウエハ S W の下面 S W b、すなわち、ダイシングテープ D T の下面 D T b の全体が、本体部 S P 2 と接触する構造になる。ただし、本体部 S P 2 に凹部 D M 2 を形成しない場合、真空包装によって、ソーンウエハ S W と本体部 S P 2 とが密着し、引き剥がし難くなる場合がある。したがって、ソーンウ

50

エハSWと本体部SP2を引き剥がし易くする観点からは、本実施の形態のように、本体部SP2には、ソーンウエハSWの下面SWb側を覆う凹部DM2が形成されていることが好ましい。

【0086】

また、本体部SP2とソーンウエハSWとの剥離性を向上させる観点から、本体部SP2には、凹部DM2に連通し、梱包ケースSPの外部空間と空間SPC2との間で気体の通気を可能にする通気経路VTR2が形成されていることが好ましい。なお、凹部DM2内にソーンウエハSWを収容する場合、凹部DM2の内側の寸法と、ソーンウエハSWの外縁部と凹部DM2の壁面との間には隙間が生じる。凹部DM2に連通する通気経路VTR2は、この隙間を利用しても良い。

10

【0087】

ただし、凹部DM2に流入する気体GS2の流量を制御する観点からは、上記隙間以外に通気経路VTR2を形成することが好ましい。例えば、本実施の形態では、図17に示すように、凹部DM2には、ソーンウエハSWの下面SWb(図13参照)を支持する複数の支持部STG1が形成され、ソーンウエハSWは、支持部STG1上に形成されている。したがって、複数の支持部STG1のうち、隣り合う支持部STG1の間には、気体GS2の通気が可能な空間が形成される。本実施の形態では、この複数の支持部STG1の間の空間を通気経路VTR2として利用する。

【0088】

20

また、図13に示すように、本実施の形態では、梱包ケースSPの外部空間と凹部DM1内の空間SPC1とを接続する通気経路中に、通気経路の断面積が局所的に大きくなる空間SPC3が設けられている。本実施の形態の例では、図17に示すように平面視において四角形を成す本体部SP2の四つの角部には、凹部DM2よりも更に深く窪んだ凹部DM3がそれぞれ形成されている。図13に示すように、凹部DM3と蓋部SP1に囲まれた空間SPC3では、通気経路VTR1の他の部分と比較して、通気経路の断面積が相対的に大きくなっている。

【0089】

このように、通気経路中に、通気経路の断面積が局所的に大きくなる空間SPC3が設けられている場合、空間SPC3では気体GS2の流速が遅くなる。このため、包装開封工程において、空間SPC1に向かって気体GS2を流入させる場合、気体GS2に異物が含まれていた場合でも、空間SPC3を通過させることにより、異物を空間SPC3内に落下させることができる。つまり、通気経路中に、通気経路の断面積が局所的に大きくなる空間SPC3が設けられていることにより、空間SPC1への異物の流入を抑制することができる。

30

【0090】

また、複数の半導体チップCPが保持される空間SPC1への気体GS2の流入速度を低減する観点からは、図12に示す空間SPC1の容積を空間SPC2の容積よりも小さくすることが好ましい。

【0091】

40

また、図12および図13に示すように、本体部SP2の凹部DM2には、複数の半導体チップCPの厚さ方向において、ダイシングテープDTに貼り付けられた複数の半導体チップCPと重なる位置に、支持部STG2が形成されている。支持部STG2は、凹部DM2の底面に対して上方に盛り上がった部分(盛り上がり部)である。また、支持部STG2の上面の高さは、図13に示す複数の支持部STG1の支持面の高さと同じ高さになっており、ダイシングテープDTの下面DTbは、支持部STG2の上面と接触する。言い換えれば、支持部STG2は、ソーンウエハSWのうち、複数の半導体チップCPが貼りついている領域のダイシングテープDTの下面DTbと接触して支持する支持面を有する。

【0092】

50

このように、複数の半導体チップCPの下方に支持部STG2を設けることにより、仮に、空間SPC1の圧力が空間SPC2の圧力よりも大きくなった場合でも、ダイシングテープDTが下方に変形することを抑制できる。

【0093】

半導体チップCPは、ソーンウエハSWの上面SWt側に保持されているので、ダイシングテープDTが下方に向かって変形しても半導体チップCPは梱包ケースSPには接触し難い。しかし、ダイシングテープDTが下方に向かって変形する際に、半導体チップCPがダイシングテープDTから剥離してしまうことを抑制する観点からは、ダイシングテープDTが下方に向かって変形することを抑制することが好ましい。

【0094】

図3に示す包装開封工程が終わると、梱包ケースSPから取り出されたソーンウエハSWは、図3に示すダイボンド工程を行う場所に搬送される。ダイボンド工程では、図2に示すように、半導体チップCPを基材である配線基板2のチップ搭載面に搭載する。この時、図8に示すソーンウエハSWのダイシングテープDTに例えば紫外線を照射することで、ダイシングテープDTの粘着層に含まれる、紫外線硬化性樹脂成分を硬化させる。これにより、半導体チップCPをダイシングテープDTから容易にピックアップすることが可能になる。

【0095】

また、図2に示す例では、半導体チップCPは、主面CPbが配線基板2の上面2tと対向配置された状態で、配線基板2上に搭載される。このような搭載方式は、フェイスアップ実装方式と呼ばれる。なお、図2では、基材の例として配線基板2を挙げているので、本工程では、配線基板2に半導体チップCPを搭載するが、基材には種々の変形性がある。例えば、ダイパッド(チップ搭載部)およびダイパッドと離間して設けられた複数のリードを有するリードフレームを基材として利用する場合、本工程では、チップ搭載部であるダイパッドに半導体チップCPを搭載することになる。

【0096】

次に、ワイヤボンド工程では、図2に示すように、複数のワイヤBWを介して半導体チップCPと配線基板2とを電氣的に接続する。図2に示す例ではワイヤBWの一方の端部を半導体チップCPのパッドPDに接合した後、ワイヤBWの他方の端部を、配線基板2の端子2BFに接合する。

【0097】

次に、カバー搭載工程では、図2に示すように、半導体チップCPおよび複数のワイヤBWを覆うカバー部材CGを配線基板2上に搭載し、複数のワイヤBWを保護する。なお、本実施の形態では、半導体チップCPの用途の都合上、半導体チップCPに光を照射する必要があるので、カバー部材CGを搭載する例を示している。しかし、半導体チップCPが樹脂で覆われていても良い場合には、半導体チップCPおよび複数のワイヤBWを樹脂で封止しても良い。

【0098】

次にボール搭載工程では、図2に示すように、配線基板2の実装面である下面2b側に、複数の半田ボールSBを取り付ける。本工程では、配線基板2の上下を反転させて、配線基板2の下面2bに形成されたランド2LDの露出面に半田ボールSBを配置する。そして、配線基板2に対してリフロー処理(加熱して半田成分を溶融接合させた後、冷却する処理)を施すことにより半田ボールSBが取り付けられる。

【0099】

以上の各工程により、図1および図2を用いて説明した半導体パッケージPKG1が得られる。その後、外観検査や電氣的試験など、必要な検査を行い、出荷、あるいは、図示しない実装基板に実装する。

【0100】

なお、上記した包装開封工程で説明した課題は、真空包装された梱包袋SBGを開封することにより顕在化する課題である。ただし、ソーンウエハSWを真空包装した包装体は

10

20

30

40

50

、これを開封した後で半導体チップCPを利用することを前提として真空包装するものである。したがって、上記ウエハ工程で説明した真空包装を行った段階で、潜在的な課題が生じるものである。言い換えれば、本実施の形態によれば、ウエハ工程において、潜在的な課題が解決された状態で真空包装が行われる。

【0101】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は上記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。上記実施の形態の説明中にも種々の変形例について説明したが、以下では、上記以外の代表的な変形例について説明する。

【0102】

<変形例1>

例えば、上記実施の形態では、半導体チップの例として、平面視において、主面CPt側にイメージセンサ素子LSEが形成された半導体チップCPを例示的に取り上げた。イメージセンサ素子LSEが形成されている場合、イメージセンサ素子LSEが損傷すると、半導体チップCPの特性低下の原因になるので、特に上記実施の形態で説明した方法が有効である。しかし、主面CPt側にイメージセンサ素子LSEなどが形成されていない半導体チップに適用しても良い。例えば、半導体チップの主面CPtが保護膜に覆われている場合でも、図1に示す複数のパッドPDは保護膜から露出させる必要がある。この場合、パッドPDが損傷すると、半導体チップの電気的特性が低下する原因になる。

【0103】

<変形例2>

また、上記実施の形態では、図12に示すようにリング押さえ部HDR1のリングRGと接触する面、すなわち、リング押さえ面HDR1bが平坦な面となっている実施態様について説明した。しかし、変形例として、図18に示すリング押さえ部HDR3のリング押さえ面HDR3bのように複数の突起部BPを有する凹凸面であっても良い。リング押さえ部HDR3のように複数の突起部BPをリングRGの上面RGtと接触させてリングRGを押さえる構造の場合、隣り合う突起部BPの間隙が、凹部DM1に連通する通気経路として機能する。この場合、図10に示すような通気経路VTR1を設けられていない場合でも、包装開封工程において、空間SPC1内に気体GS2を流入させることができる。

【0104】

ただし、複数の突起部BPをリングRGと接触させる構造の場合、リングRGと突起部BPの摩擦により発塵の可能性がある。したがって、発塵を抑制する観点からは、図12に示すリング押さえ部HDR1のリング押さえ面HDR1bのように平坦面であることが好ましい。

【0105】

<変形例3>

また、上記実施の形態では、複数の半導体チップCPの主面CPtが露出した状態でソーンウエハSWを梱包ケースSP内に収容する実施態様について説明した。しかし、図19に示す変形例のように、複数の半導体チップCPの主面CPtを覆う保護テープMTをソーンウエハSWの上面SWt側に貼り付けても良い。この場合、複数の半導体チップCPの主面CPtが保護テープMTにより覆われるので、さらに損傷し難くなる。

【0106】

図19に示すように、ソーンウエハSWの上面SWt側に保護テープMTを貼り付ける場合には、図3に示すダイシング工程の後、かつ、ケース収納工程の前に貼り付けることが好ましい。

【0107】

また、図19に示す例では、複数の半導体チップCPに保護テープMTを貼り付けて、リングRGの上面RGtは保護テープMTから露出している。しかし、図19に対する更なる変形例としては、複数の半導体チップCPおよびリングRGの上面RGtを覆うよう

10

20

30

40

50

に、保護テープMTを貼り付けても良い。

【0108】

ただし、リングRGの厚さと半導体チップCPの厚さとが異なる場合でも半導体チップCPの主面Cptに保護テープMTを確実に貼り付ける観点からは、リングRGの上面RGtは保護テープMTから露出させることが好ましい。

【0109】

<変形例4>

また、上記実施の形態では、半導体パッケージの例として、半導体チップCPを基材である配線基板2上に搭載した半導体パッケージを例示的に取り上げて説明した。しかし、半導体パッケージの構造には種々の変形例がある。例えば、基材としてチップ搭載部の隣に、複数のリードが形成されたリードフレームを用いた半導体パッケージであっても良い。

10

【0110】

<変形例5>

また、上記実施の形態で説明した技術思想の要旨を逸脱しない範囲内において、変形例同士を組み合わせる適用することができる。

【符号の説明】

【0111】

- 2 配線基板(基材)
- 2b 下面(第2面、実装面)
- 2BF 端子(ボンディングリード、ボンディングフィンガ、半導体チップ接続用端子)
- 2LD ランド(端子、実装端子)
- 2s 側面
- 2t 上面(第1面、チップ搭載面)
- 2W 配線
- ADf 粘着面(接着面、上面)
- BP 突起部(凹凸部)
- BW ワイヤ(導電性部材)
- CFt 回路形成面
- CG カバー部材
- CP 半導体チップ(半導体装置)
- CPb 主面(裏面、下面)
- CPs 側面
- Cpt 主面(表面、上面)
- CR クリーンルーム
- DB ブレード(ダイシングブレード)
- DCp ダイシングライン(スクライプ領域)
- DM1 凹部(第1凹部)
- DM2 凹部(第2凹部)
- DM3 凹部(第3凹部)
- DT ダイシングテープ(粘着シート、粘着テープ)
- DTb 下面
- DVp デバイス領域
- GS1、GS2 気体
- HDR1、HDR3、HDRh リング押さえ部
- HDR1b、HDR3b リング押さえ面
- HS シール装置
- LSE 複数のイメージセンサ素子(受光素子)
- MT 保護テープ
- PD パッド(ボンディングパッド、チップ電極)

20

30

40

50

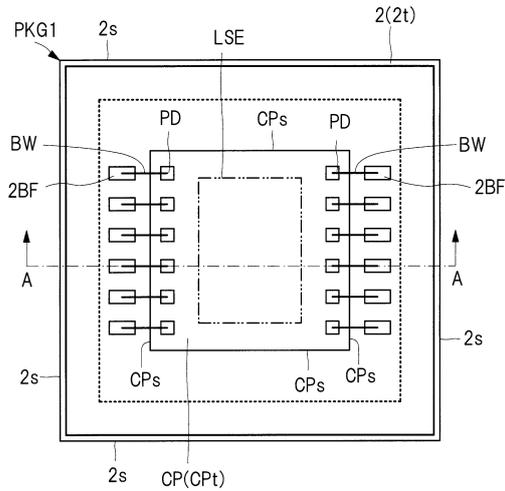
- P K G 1 半導体パッケージ (半導体装置)
- R G リング
- R G b 下面
- R G t 上面
- S B 半田ボール (半田材、外部端子、電極、外部電極)
- S B G 梱包装袋
- S P、S P h 1 梱包ケース
- S P 1 蓋部 (第 1 ケース部)
- S P 2 本体部 (第 2 ケース部)
- S P C 1、S P C 2、S P C 3 空間
- S T G 1、S T G 2 支持部
- S W ソーンウエハ (半導体装置)
- S W b 下面
- S W p k g 包装体 (半導体装置)
- S W t 上面
- V C 真空チャンバ
- V P 真空ポンプ
- V T R 1 通気経路 (第 1 通気経路)
- V T R 2 通気経路 (第 2 通気経路)
- W H 半導体ウエハ

10

20

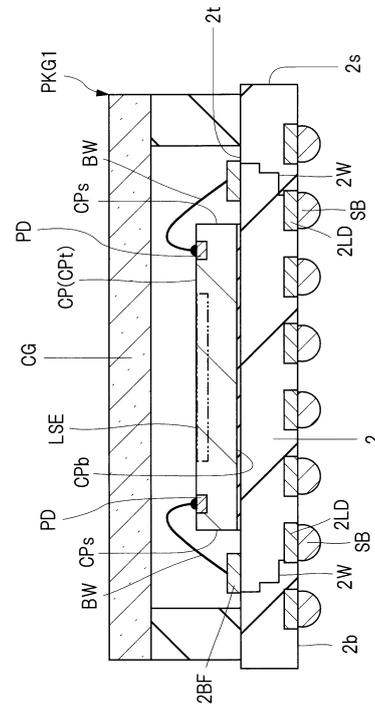
【図 1】

図 1



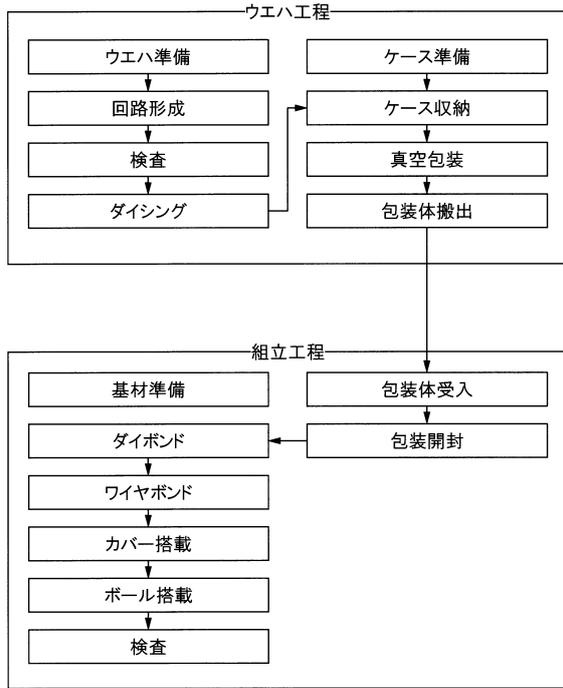
【図 2】

図 2



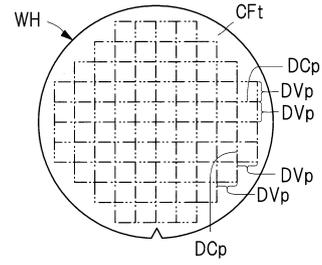
【図3】

図3



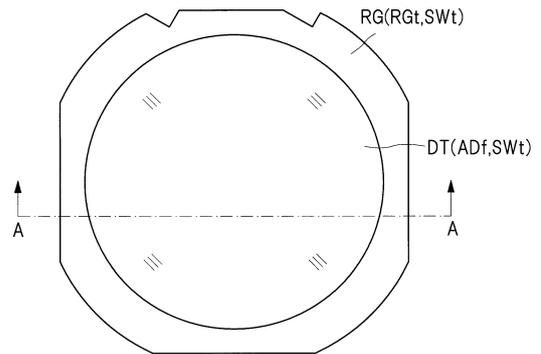
【図4】

図4



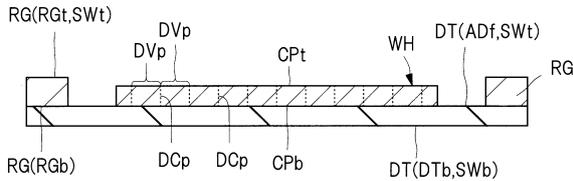
【図5】

図5



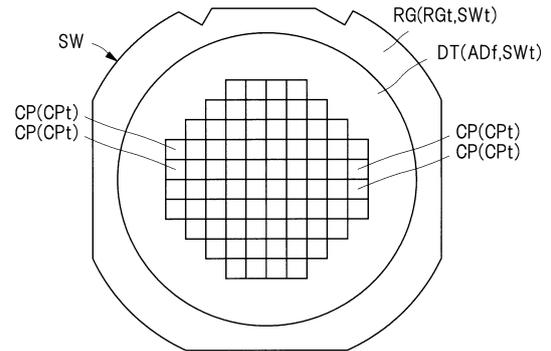
【図6】

図6



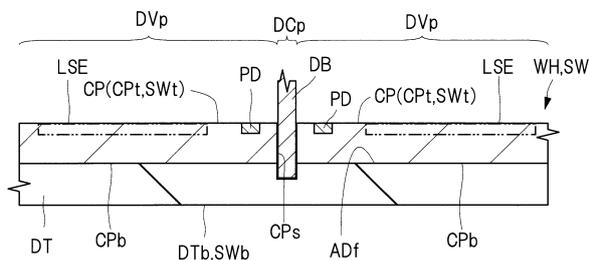
【図8】

図8



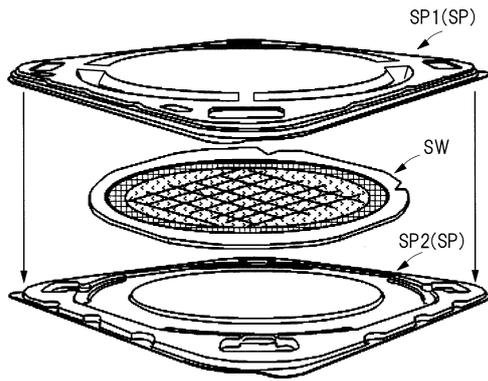
【図7】

図7



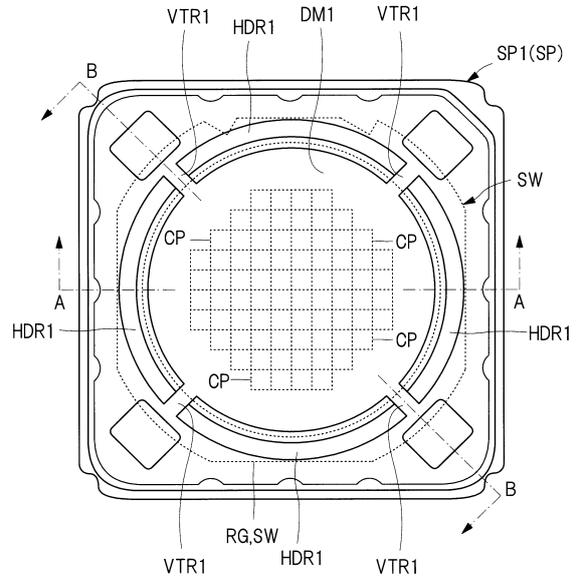
【図9】

図9



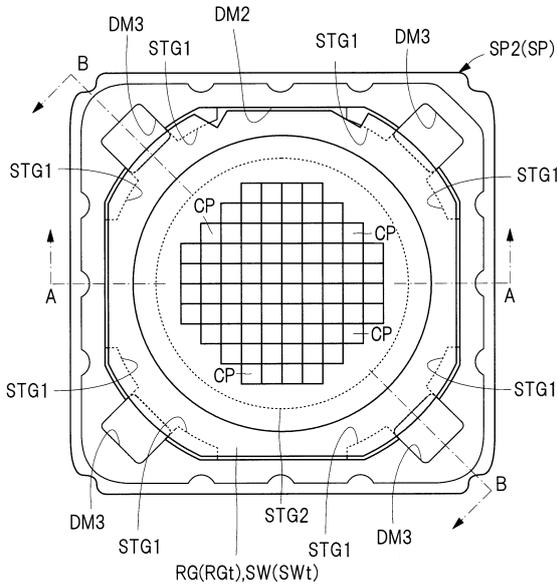
【図10】

図10



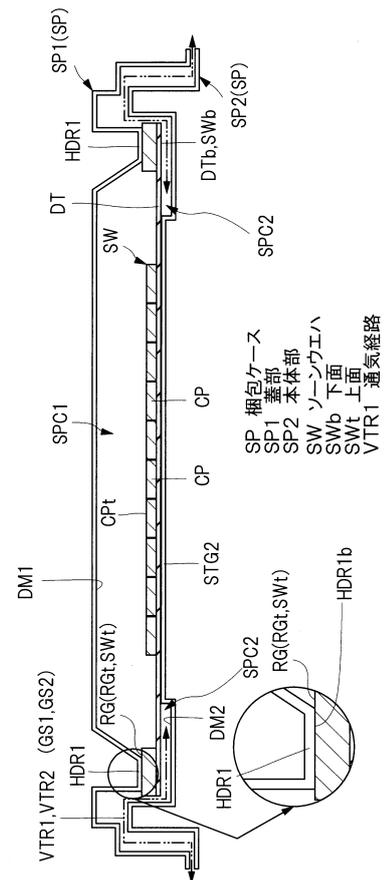
【図11】

図11



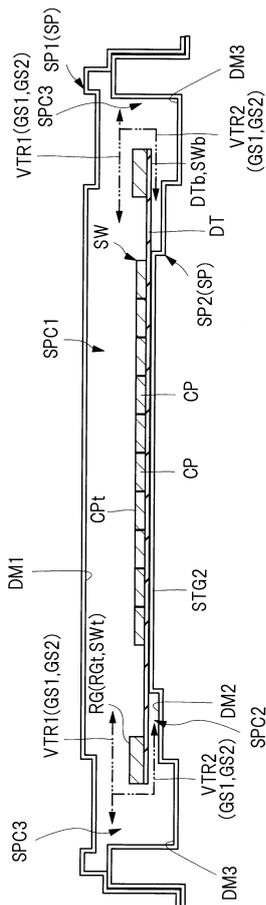
【図12】

図12



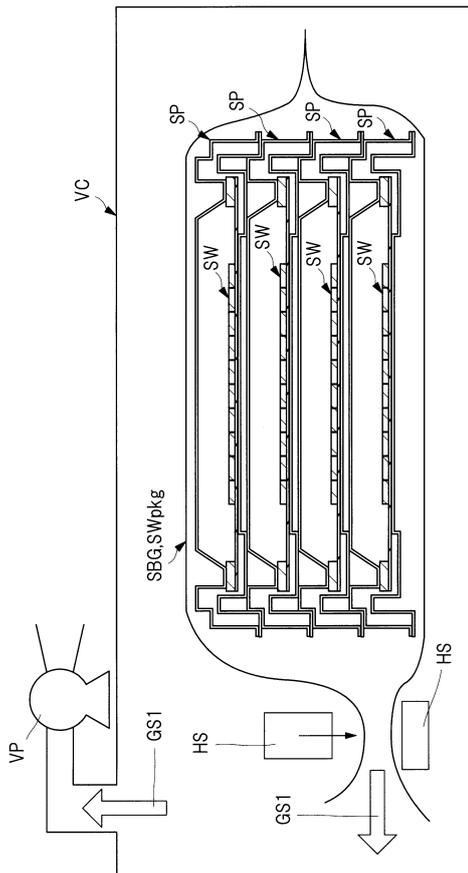
【 13 】

13



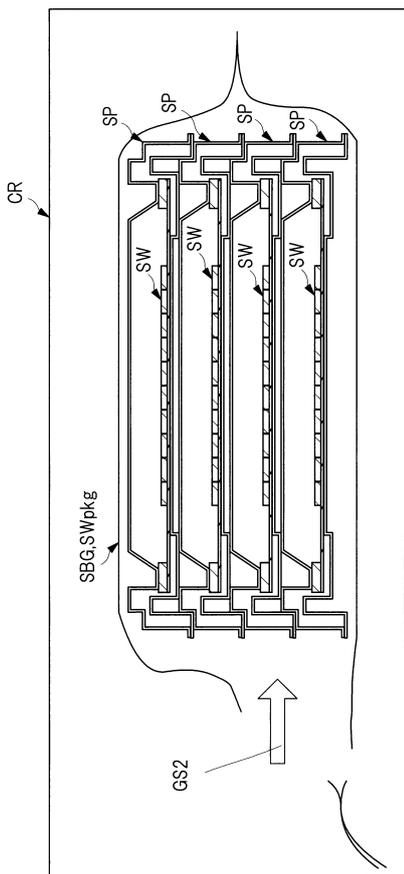
【 14 】

14



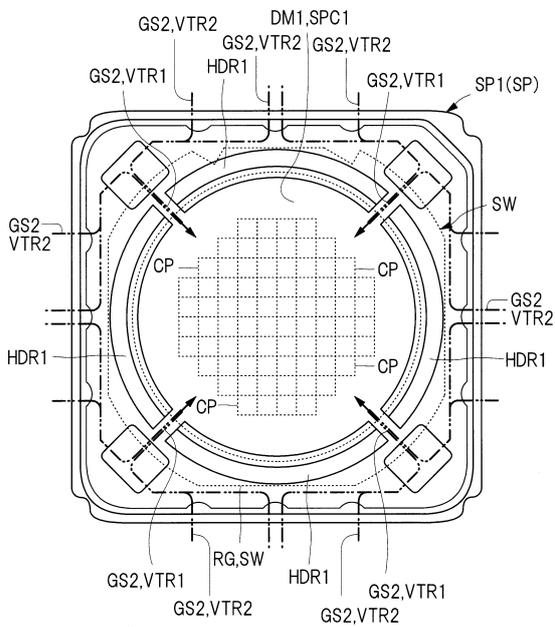
【 15 】

15



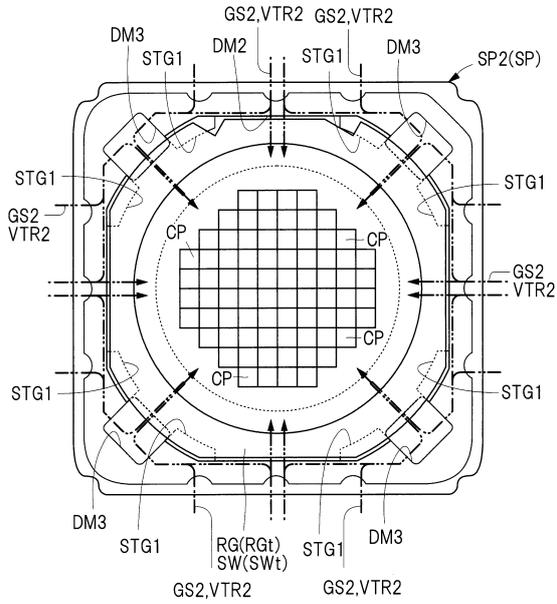
【 16 】

16



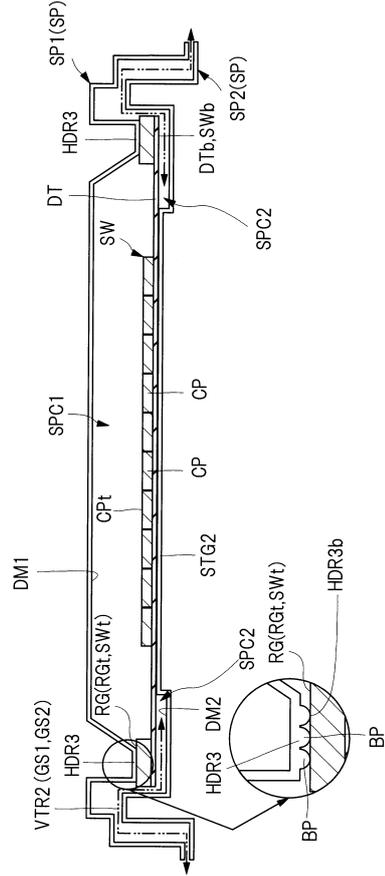
【 図 17 】

図 17



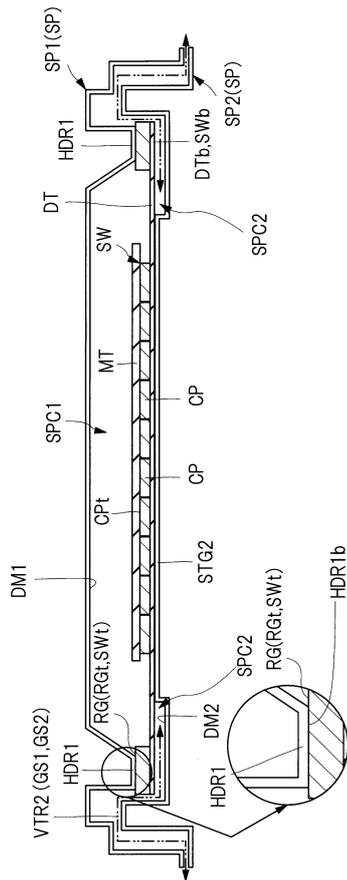
【 図 18 】

図 18



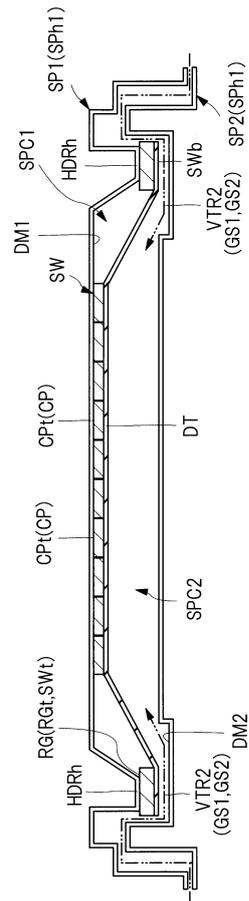
【 図 19 】

図 19



【 図 20 】

図 20



フロントページの続き

審査官 宮久保 博幸

- (56)参考文献 特開2011-001106(JP,A)
特開2013-145768(JP,A)
特開平10-261701(JP,A)
特開2002-145380(JP,A)
米国特許第04203127(US,A)

- (58)調査した分野(Int.Cl., DB名)
H01L 21/673
B65D 85/86
H01L 21/301