

①9 RÉPUBLIQUE FRANÇAISE
—
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
—
PARIS
—

①1 N° de publication : **2 575 564**
(à n'utiliser que pour les
commandes de reproduction)

②1 N° d'enregistrement national : **85 19332**

⑤1 Int Cl⁴ : G 06 F 13/00 // G 05 B 19/403.

①2 **DEMANDE DE BREVET D'INVENTION**

A1

②2 Date de dépôt : 27 décembre 1985.

③0 Priorité : JP, 27 décembre 1984, n°s 59-281592, 59-281593 et 59-281594.

④3 Date de la mise à disposition du public de la demande : BOPI « Brevets » n° 27 du 4 juillet 1986.

⑥0 Références à d'autres documents nationaux apparentés :

⑦1 Demandeur(s) : *Société dite : SONY CORPORATION.* — JP.

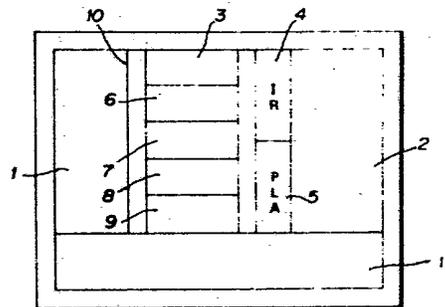
⑦2 Inventeur(s) : Nobuhisa Watanabe.

⑦3 Titulaire(s) :

⑦4 Mandataire(s) : Cabinet Beau de Loménie.

⑤4 Microprocesseur à architecture facilitant la liaison avec des dispositifs périphériques.

⑤7 L'invention concerne un microprocesseur à architecture nouvelle qui peut facilement être relié à divers dispositifs périphériques. Le microprocesseur est constitué d'un noyau de CPU 10, d'une RAM 1, d'une ROM 2 et d'un dispositif à options d'entrée-sortie 11. La RAM est contiguë à un bord du noyau de CPU et la ROM est contiguë au bord opposé du noyau de CPU. Le dispositif à options d'entrée-sortie est contigu à un troisième bord du noyau de CPU et à des bords parallèles de la RAM et de la ROM. Le dispositif à options d'entrée-sortie est destiné à assurer la liaison avec des dispositifs périphériques divers. Le noyau de CPU comprend le CPU et les éléments utilisés en commun pour former un microprocesseur complet. Ces éléments communs peuvent comprendre un registre d'adresse 9 de RAM qui facilite l'accès au CPU de la part des dispositifs périphériques.



FR 2 575 564 - A1

D

La présente invention concerne de façon générale un microprocesseur présentant une nouvelle architecture. Plus spécialement, l'invention se rapporte à un microprocesseur ayant une architecture qui permet qu'il lui soit facilement donné accès de la part d'un dispositif en option ou périphérique. De manière plus particulière, l'invention traite d'une architecture de microprocesseur qui rend plus facile l'application de microprocesseurs, fait d'une seule puce, à des appareils électroménagers.

Des microprocesseurs connus comprennent de façon générale une unité centrale de traitement (ou CPU), une mémoire vive (ou RAM), une mémoire morte (ou ROM), une unité d'entrée-sortie (ou I/O), un registre de commande d'interruption, une unité de mesure de temps, etc. Dans le cas d'un microprocesseur en une seule puce, les éléments ci-dessus mentionnés sont tous montés sur un unique substrat, par exemple une puce de silicium. Ces microprocesseurs sont également fréquemment disponibles dans des versions possédant une ou plusieurs unités d'entrée-sortie périphériques différentes afin de former un microprocesseur complet.

Dans la technique antérieure, l'architecture du microprocesseur n'est pas destinée à accepter diverses unités d'entrée-sortie périphériques. Ceci rend difficile la liaison avec différents types d'unités d'entrée-sortie périphériques. En particulier, pour rendre la puce compatible avec un ensemble différent de dispositifs périphériques, des changements importants dans l'architecture du microprocesseur sont nécessaires, puisqu'une variation dans les dispositifs périphériques impose des variations dans l'ensemble d'instructions, le décodeur d'instruction et l'agencement des RAM et des ROM, pour les adapter aux nouveaux dispositifs périphériques. Ces modifications demandent un important travail de conceptualisation et un temps prolongé. Ceci conduit à des coûts assez élevés pour la mise au point de la puce.

C'est donc un objet principal de l'invention de proposer un microprocesseur à architecture nouvelle pouvant facilement être relié avec divers dispositifs périphériques.

Pour accomplir le but ci-dessus indiqué, ainsi que d'autres buts, un microprocesseur selon l'invention est généralement constitué d'un noyau d'unité centrale de traitement (CPU), d'une RAM,

d'une ROM et d'un dispositif à options d'entrée-sortie. La RAM est disposée d'un côté du noyau du CPU, et la ROM est disposée de l'autre côté du CPU. Le dispositif à options d'entrée-sortie est contigu au noyau du CPU et aux mémoires RAM et ROM. Le
5 dispositif à options d'entrée-sortie est conçu pour permettre la liaison avec divers dispositifs périphériques.

Dans la structure préférée, le noyau du CPU comprend un CPU et des éléments couramment utilisés pour former un micro-
processeur complet. Ces éléments communs peuvent comporter un
10 registre d'adresse de RAM qui facilite l'accès au CPU de la part des dispositifs périphériques.

Selon un aspect de l'invention, le microprocesseur comprend un noyau de CPU possédant un premier, un deuxième et un troisième bord périphérique, lesquels premier et deuxième bords
15 périphériques sont disposés de part et d'autre du noyau de CPU et sont reliés par le troisième bord périphérique, la RAM étant contiguë au premier bord périphérique du noyau de CPU, la ROM étant contiguë au deuxième bord périphérique du noyau de CPU, et un
20 dispositif à options d'entrée-sortie étant en mesure d'effectuer la liaison avec divers dispositifs périphériques et étant contigu au troisième bord périphérique du noyau de CPU et aux bords périphériques parallèles des mémoires RAM et ROM.

Le noyau de CPU comprend un décodeur d'instruction contigu au deuxième bord périphérique. Le noyau de CPU comprend
25 en outre divers blocs de fonction qui se trouvent respectivement perpendiculaires aux premier et deuxième bords périphériques et sont disposés côte à côte et parallèlement les uns aux autres.

Les blocs de fonction se trouvent sensiblement parallèles au dispositif à options d'entrée-sortie. Les blocs de fonction
30 comportent un registre de dispositif de mesure de temps. Les blocs de fonction comportent un registre d'entrée-sortie série. Les blocs de fonction ont tous la même longueur de bits et sensiblement le même nombre de bytes.

Le microprocesseur comprend en outre plusieurs unités
35 d'entrée-sortie périphériques en liaison avec le dispositif

à options d'entrée-sortie, et la RAM possède un bus d'adresse qui sert également à adresser les unités d'entrée-sortie périphériques.

5 Le noyau de CPU possède un décodeur d'adresse de RAM servant à localiser des adresses dans les unités d'entrée-sortie périphériques, lequel décodeur d'adresse de RAM possède des lignes de décodage d'adresse s'étendant jusque dans le dispositif à options d'entrée-sortie.

10 La description suivante, conçue à titre d'illustration de l'invention, vise à donner une meilleure compréhension de ses caractéristiques et avantages ; elle s'appuie sur les dessins annexés, parmi lesquels :

15 la figure 1 montre le mode de réalisation préféré d'un microprocesseur en une seule puce selon l'invention ;
la figure 2 montre la disposition de différents éléments du mode de réalisation préféré du microprocesseur de la figure 1 ; et
la figure 3 est un schéma de principe simplifié de connexions entre un décodeur d'instruction et des unités d'entrée-sortie périphériques.

20 On se reporte maintenant aux dessins, et en particulier à la figure 1. Le mode de réalisation préféré d'un microprocesseur en une seule puce comprend une RAM 1, une ROM 2, un compteur de programme (PC) 3, une unité d'opération arithmétique-logique (ALU) 6, un registre d'instruction (IR) 4, un décodeur d'instruction (PLA) 5, un dispositif de mesure de temps 7, une unité d'entrée-
25 sortie série 8, et un registre d'adresse 9. Le compteur de programme 3, l'unité d'opération arithmétique-logique 6, le registre d'instruction 4 et le décodeur d'instruction 5 sont combinés pour former le CPU. De plus, le dispositif de mesure de temps 7, l'unité
30 d'entrée-sortie série 8 et le registre d'adresse 9 sont combinés avec le CPU pour former un noyau de CPU 10. Comme représenté sur la figure 1, les éléments précédents sont disposés sur un substrat 11, par exemple une puce de silicium. La RAM 1, le noyau de CPU 10 et la ROM 2 sont placés côte à côte, la RAM 1 et la ROM 2 étant
35 disposées de part et d'autre du noyau de CPU 10. A l'intérieur du

noyau de CPU 10, le registre d'instruction 4 et le décodeur d'instruction 5 sont contigus à la ROM 2 le long d'un bord du noyau de CPU 10. Le registre d'instruction 4 et le décodeur d'instruction 5 forment ensemble une zone de décodeur.

5 Le compteur de programme 3, l'unité arithmétique-logique 6, le dispositif de mesure de temps 7, l'unité d'entrée-sortie série 8 et le registre d'adresses 9 sont disposés parallèlement entre eux le long de l'autre côté du noyau de CPU 10.

10 Il faut noter que, bien que ceci ne soit pas représenté sur les dessins, des registres de travail, des zones de piles, un pointeur de données d'adressage indirect, etc., sont prévus dans la RAM 1.

15 Un dispositif à options d'entrée-sortie 11 est contigu à un bord du noyau de CPU 10 et est également contigu aux bords parallèles de la RAM 1 et de la ROM 2. Le dispositif à options d'entrée-sortie 11 est conçu pour faire la liaison avec un ou plusieurs dispositifs périphériques.

20 Comme représenté sur la figure 2, le compteur de programme 3, l'unité d'opération arithmétique-logique 6, le dispositif de mesure de temps 7, l'unité d'entrée-sortie série 8 et le registre d'adresse 9 de RAM ont tous le même nombre de bytes et le même nombre de bits par byte. D'un point de vue structurel, ils ont la forme de blocs identiques. Dans le mode de réalisation représenté, chacun des blocs est constitué de 8 cellules permettant
25 de manipuler des données de 8 bits. Chaque cellule de chaque bloc est connectée en entrée et en sortie avec des cellules correspondantes des autres blocs. Un bus de données D_1-D_8 constitué de lignes métalliques parallèles s'étend transversalement aux cellules alignées de tous les blocs. Dans le bus de données, les lignes
30 D_1-D_4 sont rapportées au bus de données pair, et les lignes D_5-D_8 sont appelées le bus de données impair. Des lignes de commande D_1-C_4 s'étendent depuis le décodeur d'instructions 4 le long de blocs respectivement correspondants 3, 6, 7, 8 et 9 sensiblement perpendiculairement au bus de données. Le seul bus de données
35 pair D_1-D_4 est connecté à la RAM par l'intermédiaire de lignes de signal S_1-S_4 .

Comme on l'aura noté, le noyau de CPU 10 peut comporter également des blocs de fonction supplémentaires, par exemple un registre d'étiquette d'état, un registre temporaire, un accumulateur, etc. Ces blocs de fonction ont également même taille de byte et même taille de bloc. Dans les cas où certains blocs de fonction ont une taille de byte plus grande ou plus petite que les autres, les cellules des blocs les plus gros, dépassant le nombre normal, peuvent être couplées avec des cellules plus petites pour former des blocs normalisés. Par exemple, si l'on suppose que le compteur de programme 3 possède 13 cellules de bit et que le registre d'état possède 3 bits, les 5 bits supérieurs du compteur de programme 3 peuvent être combinés avec les trois bits du registre d'état pour former un bloc de fonction à 8 bits.

En disposant au moins certains des blocs de fonction du noyau de CPU en blocs de cellules de bits identiques et en disposant ceux-ci suivant une configuration régulière, on minimise l'aire nécessaire aux blocs de fonction, en partie en raison du fait qu'il faut une moindre aire pour les lignes de connexion, par exemple le bus de données, les lignes de commande et les lignes de signaux.

La figure 3 présente un autre mode de réalisation du microprocesseur selon l'invention. Dans cet autre mode de réalisation, l'accès aux adresses de l'unité ou des unités d'entrée-sortie périphériques $12_1, \dots, 12_n$, qui doivent être connectées au microprocesseur par l'intermédiaire du dispositif à options d'entrée-sortie 11, passe par le bus qui est employé pour la RAM 1. Dans ce cas, les lignes de signaux S_1-S_4 (figure 2) qui sont connectées au décodeur d'instructions 5 se ramifient et se connectent aux unités d'entrée-sortie périphériques $12_1, \dots, 12_n$ en parallèle avec la RAM 1. Ainsi, des signaux de commande permettant de lire et d'écrire dans la RAM peuvent être utilisés de manière commune pour les unités d'entrée-sortie périphériques $12_1, \dots, 12_n$. Dans ce cas, un décodeur d'adresses 13 sera prévu pour adresser les unités d'entrée-sortie périphériques.

Avec cet autre mode de réalisation, on peut utiliser en commun le signal de lecture-écriture de la RAM pour l'unité d'entrée-sortie périphérique. Ainsi, seuls des signaux d'adressage

sont nécessaires pour la liaison avec les unités d'entrée-sortie périphériques. Ceci signifie que seules une ou plusieurs lignes de décodage d'adresse sont nécessaires pour assurer la liaison avec des dispositifs périphériques.

5 Par conséquent, pour faire la liaison avec divers dispositifs périphériques, il n'est pas nécessaire de changer la structure du noyau de CPU. En outre, lors de l'écriture de programmes, des instructions destinées à l'accumulateur, à la RAM, etc. en vue d'opérations arithmétiques-logiques, de traitement de bits, etc.,
10 sont applicables à tous les accumulateurs et toutes les unités d'entrée-sortie en commun, tandis que, de plus, tous les modes d'adressage utilisés pour accéder aux opérandes sont applicables à toutes les unités d'entrée-sortie. Ceci assure une plus grande souplesse pour la réalisation des programmes.

15 Comme on l'aura noté, selon l'invention, la liaison avec divers dispositifs périphériques sera rendue plus facile sans qu'il soit besoin de modifier notablement l'architecture du microprocesseur et, ou bien, l'ensemble d'instructions. Ainsi, l'invention a rempli tous les buts et avantages indiqués
20 précédemment.

Bien entendu, l'homme de l'art sera en mesure d'imaginer, à partir des microprocesseurs dont la description vient d'être donnée à titre simplement illustratif et nullement limitatif, diverses variantes et modifications ne sortant pas du cadre
25 de l'invention.

REVENDEICATIONS

1. Microprocesseur, caractérisé en ce qu'il entre dans son architecture :

- 5 un noyau de CPU (10) possédant un premier, un deuxième et un troisième bord périphériques, lesquels premier et deuxième bords périphériques sont placés de part et d'autre dudit noyau de CPU et sont reliés par ledit troisième bord périphérique ;
- une RAM (1) contiguë audit premier bord périphérique dudit noyau de CPU ;
- 10 une ROM (2) contiguë audit deuxième bord périphérique dudit noyau de CPU ; et
- un dispositif à options d'entrée-sortie (11) qui est en mesure d'assurer la liaison avec divers dispositifs périphériques et est contiguë audit troisième bord périphérique dudit
- 15 noyau de CPU et aux bords périphériques parallèles desdites mémoires RAM et ROM.

2. Microprocesseur selon la revendication 1, caractérisé en ce que ledit noyau de CPU comprend un décodeur d'instruction (5) contiguë audit deuxième bord périphérique.

- 20 3. Microprocesseur selon la revendication 2, caractérisé en ce que ledit noyau de CPU comprend en outre divers blocs de fonction se trouvant respectivement perpendiculaires auxdits premier et deuxième bords périphériques et disposés côte à côte et parallèlement entre eux.

25 4. Microprocesseur selon la revendication 3, caractérisé en ce que lesdits blocs de fonction se trouvent sensiblement parallèles audit dispositif à options d'entrée-sortie.

5. Microprocesseur selon la revendication 4, caractérisé en ce que lesdits blocs de fonction comportent un registre (7) de

30 dispositif de mesure de temps.

6. Microprocesseur selon la revendication 4, caractérisé en ce que lesdits blocs de fonction comportent un registre d'entrée-sortie série (8).

7. Microprocesseur selon la revendication 4, caractérisé en ce que lesdits blocs de fonction ont tous la même longueur de bits et sensiblement le même nombre de bytes.

5 8. Microprocesseur selon la revendication 1, caractérisé en ce qu'il comprend en outre plusieurs unités d'entrée-sortie périphériques se reliant audit dispositif à options d'entrée-sortie, et ladite RAM possède un bus d'adresse (D_1-D_8) qui sert également à adresser lesdites unités d'entrée-sortie périphériques.

10 9. Microprocesseur selon la revendication 8, caractérisé en ce que ledit noyau de CPU possède un décodeur d'adresse de RAM servant à localiser les adresses dans lesdites unités d'entrée-sortie périphériques, lequel décodeur d'adresse de RAM possède des lignes de décodage d'adresse s'étendant jusque dans ledit dispositif à options d'entrée-sortie.

FIG. 1

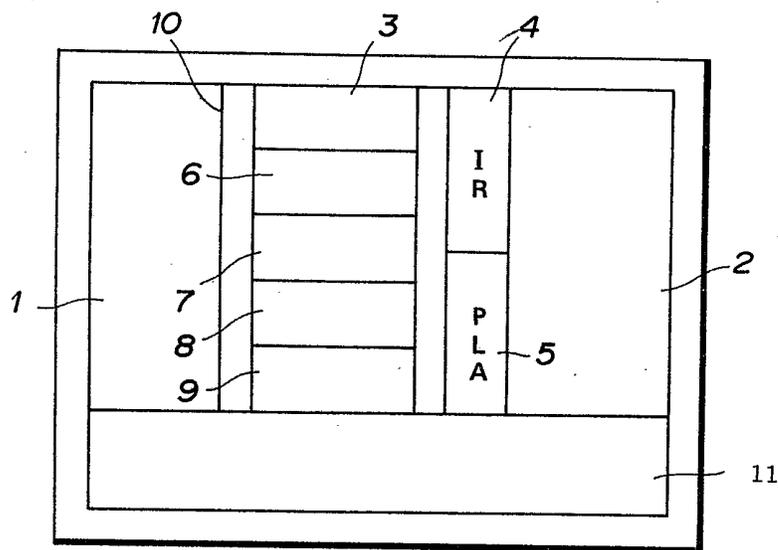


FIG. 3

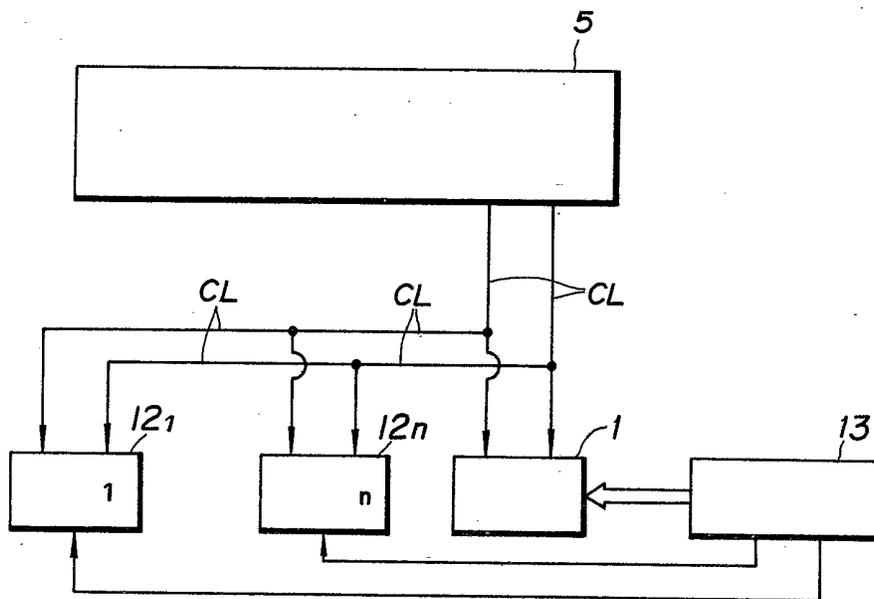


FIG. 2

