



(12) 发明专利

(10) 授权公告号 CN 116936710 B

(45) 授权公告日 2023.12.19

(21) 申请号 202311206423.4

H01L 33/00 (2010.01)

(22) 申请日 2023.09.19

(56) 对比文件

(65) 同一申请的已公布的文献号
申请公布号 CN 116936710 A

- CN 215988811 U, 2022.03.08
- JP 2012054422 A, 2012.03.15
- US 2010244082 A1, 2010.09.30
- US 2020388728 A1, 2020.12.10
- US 2022320366 A1, 2022.10.06
- WO 0054342 A1, 2000.09.14
- WO 2008035932 A1, 2008.03.27
- CN 217062124 U, 2022.07.26
- CN 107833878 A, 2018.03.23
- CN 111540818 A, 2020.08.14
- CN 115440867 A, 2022.12.06

(43) 申请公布日 2023.10.24

(73) 专利权人 江西兆驰半导体有限公司
地址 330000 江西省南昌市高新技术产业
开发区天祥北大道1717号

(72) 发明人 李文涛 鲁洋 林潇雄 胡加辉
金从龙

(74) 专利代理机构 北京清亦华知识产权代理事
务所(普通合伙) 11201
专利代理师 郑菁

审查员 贾翠乐

(51) Int. Cl.

H01L 33/44 (2010.01)

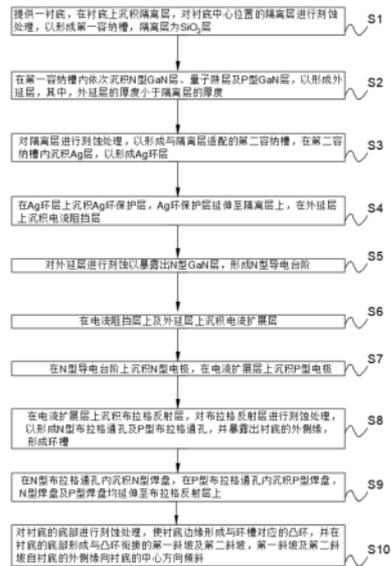
权利要求书2页 说明书9页 附图5页

(54) 发明名称

一种倒装发光二极管芯片及其制备方法

(57) 摘要

本发明涉及半导体技术领域,尤其涉及一种倒装发光二极管芯片及其制备方法;包括以下步骤:提供一衬底,在衬底上沉积隔离层,对隔离层进行刻蚀形成第一容纳槽;在第一容纳槽内沉积外延层;在隔离层上沉积Ag环层;在Ag环层上沉积Ag环保护层,在外延层上沉积电流阻挡层;对部分外延层进行刻蚀形成N型导电台阶;在电流阻挡层上沉积电流扩展层;在N型导电台阶上沉积N型电极,在电流扩展层上沉积P型电极;在电流扩展层上沉积布拉格反射层;对衬底底部进行刻蚀形成第一斜坡及第二斜坡。本发明利用隔离层隔离外延层,无需制备隔离槽隔离外延层,有效避免了因外延层非辐射复合的增加,从而导致外延层材料内量子效率降低的问题。



1. 一种倒装发光二极管芯片的制备方法,其特征在于,包括以下步骤:

提供一衬底,在所述衬底上沉积隔离层,对所述衬底中心位置的所述隔离层进行刻蚀处理,以形成第一容纳槽,所述隔离层为 SiO_2 层;

在所述第一容纳槽内依次沉积N型GaN层、量子阱层及P型GaN层,以形成外延层,其中,所述外延层的厚度小于所述隔离层的厚度;

对所述隔离层进行刻蚀处理,以形成与所述隔离层适配的第二容纳槽,在所述第二容纳槽内沉积Ag层,以形成Ag环层;

在所述Ag环层上沉积Ag环保护层,所述Ag环保护层延伸至所述隔离层上,在所述外延层上沉积电流阻挡层;

对所述外延层进行刻蚀以暴露出所述N型GaN层,形成N型导电台阶;

在所述电流阻挡层上及所述外延层上沉积电流扩展层;

在所述N型导电台阶上沉积N型电极,在所述电流扩展层上沉积P型电极;

在所述电流扩展层上沉积布拉格反射层,对所述布拉格反射层进行刻蚀处理,以形成N型布拉格通孔及P型布拉格通孔,并暴露出所述衬底的外侧缘,形成环槽;

在所述N型布拉格通孔内沉积N型焊盘,在所述P型布拉格通孔内沉积P型焊盘,所述N型焊盘及所述P型焊盘均延伸至所述布拉格反射层上;

所述在所述N型布拉格通孔内沉积N型焊盘,在所述P型布拉格通孔内沉积P型焊盘,所述N型焊盘及所述P型焊盘均延伸至所述布拉格反射层上的步骤之后还包括:

对所述衬底的底部进行刻蚀处理,使所述衬底边缘形成与所述环槽对应的凸环,并在所述衬底的底部形成与所述凸环衔接的第一斜坡及第二斜坡,所述第一斜坡及所述第二斜坡自所述衬底的外侧缘向所述衬底的中心方向倾斜;

对衬底的底部进行刻蚀处理的步骤之前,还包括:对衬底进行减薄处理;具体的:

先对所述衬底进行减薄,达到目标厚度,然后在所述衬底上涂布第一光刻胶,接着涂布第二光刻胶,第一光刻胶粘度小于第二光刻胶粘度,然后曝光、显影去除掉位于所述衬底边缘的第一光刻胶和第二光刻胶,暴露出芯片边缘的所述衬底,然后利用电感耦合等离子体刻蚀工艺去除掉暴露出所述衬底的一部分,剩余一部分所述衬底,形成芯片周围的所述凸环,所述凸环的上端面为所述环槽的内底面,所述凸环的厚度介于 $15\mu\text{m}$ - $20\mu\text{m}$ 之间,刻蚀掉的所述衬底部分形成两段不同角度的所述第一斜坡及所述第二斜坡,所述第一斜坡远离芯片中心的一端与所述凸环下端面靠近芯片中心的一端连接,所述第二斜坡远离芯片中心的一端与所述第一斜坡靠近芯片中心的一端连接,所述第二斜坡靠近芯片中心的一端与所述衬底下端面连接,所述衬底下端面为平面,所述第一斜坡与所述衬底的底部所夹锐角角度大于所述第二斜坡与所述衬底的底部所夹锐角,所述第一斜坡与所述衬底的底部所夹锐角介于 60° - 80° ,所述第二斜坡与所述衬底的底部所夹锐角介于 20° - 60° ;

在所述衬底上沉积隔离层包括以下步骤:

在反应腔内通入第一 N_2 ,将射频功率开启至 30w - 60w ,并持续 30s - 60s ,所述第一 N_2 的流量介于 200sccm - 300sccm ;

对反应腔抽真空并同时通入第二 N_2 ,使反应腔内部压力维持在 120Pa - 180Pa ,所述第二 N_2 的流量介于 1500sccm - 2000sccm ;

对反应腔同时通入 SiH_4 和 N_2O ,将射频功率开启至 90w - 120w ,并持续预设的时间,所述

SiH_4 的流量介于 90sccm-100sccm, 所述 N_2O 的流量介于 1800sccm-2000sccm;

将射频功率降低至 30w-60w, 对反应腔通入 O_2 。

2. 根据权利要求 1 所述的倒装发光二极管芯片的制备方法, 其特征在于, 所述 Ag 环层的截面呈倒立的梯形结构, 所述 Ag 环层上端面的宽度介于 4 μm -5 μm , 所述 Ag 环层下端面的宽度介于 2 μm -3 μm , 所述 Ag 环层上端面与所述隔离层的外侧壁之间的距离介于 3 μm -5 μm 。

3. 根据权利要求 1 所述的倒装发光二极管芯片的制备方法, 其特征在于, 所述 Ag 环层的厚度介于所述外延层厚度的 1.1 倍-1.2 倍, 且所述 Ag 环层的厚度小于所述隔离层的厚度。

4. 根据权利要求 1 所述的倒装发光二极管芯片的制备方法, 其特征在于, 所述隔离层与所述外延层的厚度比为 1.2-1.5。

5. 根据权利要求 1 所述的倒装发光二极管芯片的制备方法, 其特征在于, 所述 Ag 环保护层及所述电流阻挡层的制备包括以下步骤:

根据 PECVD 工艺采用 SiH_4 和 NH_3 在所述隔离层、所述外延层及所述 Ag 环层表面沉积 400 \AA -500 \AA 的 SiN 层;

采用 SiH_4 和 N_2O 在所述 SiN 层表面沉积 2000 \AA -3000 \AA 的 SiO_2 层;

对所述 SiN 层及所述 SiO_2 层进行刻蚀处理, 以形成所述 Ag 环保护层及所述电流阻挡层。

6. 根据权利要求 1 所述的倒装发光二极管芯片的制备方法, 其特征在于, 所述电流扩展层的外侧壁到所述第一容纳槽的内壁的距离介于 3 μm -7 μm 。

7. 根据权利要求 1 所述的倒装发光二极管芯片的制备方法, 其特征在于, 所述环槽远离所述衬底的中心一侧为开口结构, 所述环槽的底面宽度介于 3 μm -5 μm 。

一种倒装发光二极管芯片及其制备方法

技术领域

[0001] 本发明涉及半导体技术领域,尤其涉及一种倒装发光二极管芯片及其制备方法。

背景技术

[0002] 发光二极管芯片具有能耗小、体积小、发光效率高、可靠性高、容易集成等诸多优点,被广泛的应用于普通照明、特种照明、景观照明、商业显示屏、交通信号灯、消费电子显示等多个领域,倒装发光二极管芯片更是具有可超大电流使用、散热能力强、抗静电能力强等优点。

[0003] 倒装发光二极管由于使用共晶焊接的方式封装,需要在芯片四周制备隔离槽,去除掉芯片四周的外延层,以免共晶焊接过程中锡膏与外延层粘连造成倒装发光二极管芯片短路失效;现有的制备隔离槽的方法为使用电感耦合等离子体刻蚀(ICP)工艺去除掉芯片四周的外延层形成隔离槽,利用的主要刻蚀气体为 Cl_2 ,辅助气体为 Ar_2 和 BCL_3 ;利用此工艺去除掉隔离槽里的外延层的过程中,隔离槽周围的外延层会应为气体粒子的物理轰击或气体粒子注入到隔离槽周围的外延层,导致隔离槽周围外延层材料内部产生晶格缺陷,这些缺陷在外延层材料内部形成了深能级,以空穴缺陷的形式存在,大幅增加了隔离槽周围外延层的非辐射复合,减小了辐射复合,造成外延层材料内量子效率降低。

发明内容

[0004] 为了解决上述技术问题,本发明提供了一种倒装发光二极管芯片及其制备方法。

[0005] 本发明采用以下技术方案:一种倒装发光二极管芯片的制备方法,包括以下步骤:

[0006] 提供一衬底,在所述衬底上沉积隔离层,对所述衬底中心位置的所述隔离层进行刻蚀处理,以形成第一容纳槽,所述隔离层为 SiO_2 层;

[0007] 在所述第一容纳槽内依次沉积N型GaN层、量子阱层及P型GaN层,以形成外延层,其中,所述外延层的厚度小于所述隔离层的厚度;

[0008] 对所述隔离层进行刻蚀处理,以形成与所述隔离层适配的第二容纳槽,在所述第二容纳槽内沉积Ag层,以形成Ag环层;

[0009] 在所述Ag环层上沉积Ag环保护层,所述Ag环保护层延伸至所述隔离层上,在所述外延层上沉积电流阻挡层;

[0010] 对所述外延层进行刻蚀以暴露出所述N型GaN层,形成N型导电台阶;

[0011] 在所述电流阻挡层上及所述外延层上沉积电流扩展层;

[0012] 在所述N型导电台阶上沉积N型电极,在所述电流扩展层上沉积P型电极;

[0013] 在所述电流扩展层上沉积布拉格反射层,对所述布拉格反射层进行刻蚀处理,以形成N型布拉格通孔及P型布拉格通孔,并暴露出所述衬底的外侧缘,形成环槽;

[0014] 在所述N型布拉格通孔内沉积N型焊盘,在所述P型布拉格通孔内沉积P型焊盘,所述N型焊盘及所述P型焊盘均延伸至所述布拉格反射层上。

[0015] 本发明一实施例的倒装发光二极管芯片的制备方法,通过沉积为 SiO_2 层的隔离

层,再根据GaN层无法在SiO₂层上成膜的特性,外延层只会生长在未被隔离层覆盖的衬底上,即第一容纳槽内,位于芯片四周的隔离层上并不会生长外延层,并使隔离层的厚度大于外延层的厚度,从而使得隔离层能够有效对外延层进行隔离,不会出现现有工艺中采用ICP工艺制备隔离槽,造成隔离槽周围外延层的非辐射复合增加,导致外延层材料内量子效率降低的问题,保证了芯片的稳定性;Ag环层可以反射外延层侧面发出的光,使其从衬底面发出,从而增强倒装发光二极管芯片的轴向光强;Ag环保护层与隔离层及衬底配合,使Ag环层被绝缘材料环绕,使得Ag环层不被氧化、腐蚀、防止Ag环层金属迁移;通过设置环槽,再配合第一斜坡及第二斜坡,可以在后续切割裂片的过程中,减小劈刀劈裂的力度,避免劈刀力度太大造成Ag环保护层边缘和隔离层边缘破裂,导致外界水气沿裂缝进入对外延层及Ag环层造成腐蚀的情况。

[0016] 进一步的,所述在所述N型布拉格通孔内沉积N型焊盘,在所述P型布拉格通孔内沉积P型焊盘,所述N型焊盘及所述P型焊盘均延伸至所述布拉格反射层上的步骤之后还包括:

[0017] 对所述衬底的底部进行刻蚀处理,使所述衬底边缘形成与所述环槽对应的凸环,并在所述衬底的底部形成与所述凸环衔接的第一斜坡及第二斜坡,所述第一斜坡及所述第二斜坡自所述衬底的外侧缘向所述衬底的中心方向倾斜。

[0018] 进一步的,在所述衬底上沉积隔离层包括以下步骤:

[0019] 在反应腔内通入第一N₂,将射频功率开启至30w-60w,并持续30s-60s,所述第一N₂的流量介于200sccm-300sccm;

[0020] 对反应腔抽真空并同时通入第二N₂,使反应腔内部压力维持在120Pa-180Pa,所述第二N₂的流量介于1500sccm-2000sccm;

[0021] 对反应腔同时通入SiH₄和N₂O,将射频功率开启至90w-120w,并持续预设的时间,所述SiH₄的流量介于90sccm-100sccm,所述N₂O的流量介于1800sccm-2000sccm;

[0022] 将射频功率降低至30w-60w,对反应腔通入O₂。

[0023] 进一步的,所述Ag环层的截面呈倒立的梯形结构,所述Ag环层上端面的宽度介于4um-5um,所述Ag环层下端面的宽度介于2um-3um,所述Ag环层上端面与所述隔离层的外侧壁之间的距离介于3um-5um。

[0024] 进一步的,所述Ag环层的厚度介于所述外延层厚度的1.1倍-1.2倍,且所述Ag环层的厚度小于所述隔离层的厚度。

[0025] 进一步的,所述隔离层与所述外延层的厚度比为1.2-1.5。

[0026] 进一步的,所述Ag环保护层及所述电流阻挡层的制备包括以下步骤:

[0027] 根据PECVD工艺采用SiH₄和NH₃在所述隔离层、所述外延层及所述Ag环层表面沉积400Å-500Å的SiN层;

[0028] 采用SiH₄和N₂O在所述SiN层表面沉积2000Å-3000Å的SiO₂层;

[0029] 对所述SiN层及所述SiO₂层进行刻蚀处理,以形成所述Ag环保护层及所述电流阻挡层。

[0030] 进一步的,所述电流扩展层的外侧壁到所述第一容纳槽的内壁的距离介于3um-7um。

[0031] 进一步的,所述环槽远离所述衬底的中心一侧为开口结构,所述环槽的底面宽度介于3um-5um。

[0032] 进一步的,所述第一斜坡与所述衬底的底部所夹锐角介于 60° - 80° ,所述第二斜坡与所述衬底的底部所夹锐角介于 20° - 60° 。

[0033] 本发明还提出一种倒装发光二极管芯片,采用上述的倒装发光二极管芯片的制备方法制备而成。

附图说明

[0034] 为了更清楚地说明本发明实施例中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动性的前提下,还可以根据这些附图获得其他的附图。

[0035] 图1为本发明的倒装发光二极管芯片的制备方法的流程图;

[0036] 图2为本发明的倒装发光二极管芯片的制备方法中等离子体增强化学气相沉积的方法的流程图;

[0037] 图3为图1中步骤S1后的结构示意图;

[0038] 图4为图1中步骤S2后的结构示意图;

[0039] 图5为图1中步骤S3后的结构示意图;

[0040] 图6为图1中步骤S4后的结构示意图;

[0041] 图7为图1中步骤S5后的结构示意图;

[0042] 图8为图1中步骤S6后的结构示意图;

[0043] 图9为图1中步骤S7后的结构示意图;

[0044] 图10为图1中步骤S8后的结构示意图;

[0045] 图11为图1中步骤S9后的结构示意图;

[0046] 图12为图1中步骤S10后的结构示意图。

[0047] 附图标记说明:

[0048] 10、衬底;101、环槽;102、凸环;103、第一斜坡;104、第二斜坡;11、隔离层;111、第一容纳槽;112、第二容纳槽;12、外延层;121、N型GaN层;122、量子阱层;123、P型GaN层;124、N型导电台阶;13、Ag环层;14、电流阻挡层;141、Ag环保护层;15、电流扩展层;161、P型电极;162、N型电极;17、布拉格反射层;171、P型布拉格通孔;172、N型布拉格通孔;181、P型焊盘;182、N型焊盘。

具体实施方式

[0049] 下面详细描述本发明的实施例,所述实施例的示例在附图中示出,其中自始至终相同或类似的标号表示相同或类似的元件或具有相同或类似功能的元件。下面通过参考附图描述的实施例是示例性的,旨在用于解释本发明的实施例,而不能理解为对本发明的限制。

[0050] 在本发明实施例的描述中,需要理解的是,术语“长度”、“宽度”、“上”、“下”、“前”、“后”、“左”、“右”、“竖直”、“水平”、“顶”、“底”“内”、“外”等指示的方位或位置关系为基于附图所示的方位或位置关系,仅是为了便于描述本发明实施例和简化描述,而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作,因此不能理解为对

本发明的限制。

[0051] 此外,术语“第一”、“第二”仅用于描述目的,而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此,限定有“第一”、“第二”的特征可以明示或者隐含地包括一个或者更多个该特征。在本发明实施例的描述中,“多个”的含义是两个或两个以上,除非另有明确具体的限定。

[0052] 在本发明实施例中,除非另有明确的规定和限定,术语“安装”、“相连”、“连接”、“固定”等术语应做广义理解,例如,可以是固定连接,也可以是可拆卸连接,或成一体;可以是机械连接,也可以是电连接;可以是直接相连,也可以通过中间媒介间接相连,可以是两个元件内部的连通或两个元件的相互作用关系。对于本领域的普通技术人员而言,可以根据具体情况理解上述术语在本发明实施例中的具体含义。

[0053] 实施例一

[0054] 参照图1至图12,本发明第一实施例,一种倒装发光二极管芯片的制备方法,包括以下步骤:

[0055] S1:提供一衬底10,在衬底10上沉积隔离层11,对衬底10中心位置的隔离层11进行刻蚀处理,以形成第一容纳槽111,隔离层11为 SiO_2 层;

[0056] 进一步的,在衬底10上沉积隔离层11包括以下步骤:

[0057] S11:在反应腔内通入第一 N_2 ,将射频功率开启至30w-60w,并持续30s-60s,第一 N_2 的流量介于200sccm-300sccm;通过产生等离子体对反应腔进行清洁;

[0058] S12:对反应腔抽真空并同时通入第二 N_2 ,使反应腔内部压力维持在120Pa-180Pa,第二 N_2 的流量介于1500sccm-2000sccm;通过营造低真空的 N_2 氛围,避免反应腔内杂质气体影响后续的 SiO_2 成膜效果;

[0059] S13:对反应腔同时通入 SiH_4 和 N_2O ,将射频功率开启至90w-120w,并持续预设的时间, SiH_4 的流量介于90sccm-100sccm, N_2O 的流量介于1800sccm-2000sccm;这个过程中 SiH_4 和 N_2O 反应沉积 SiO_2 薄膜,持续时间根据需要制备的隔离层11厚度进行设置;

[0060] S14:将射频功率降低至30w-60w,对反应腔通入 O_2 ,电离的氧离子与 SiO_2 薄膜表面的悬挂键反应,达到清洁 SiO_2 薄膜表面的效果,避免后续制备外延层12过程中, SiO_2 薄膜表面的悬挂键影响外延层12晶体质量。

[0061] 对衬底10中心位置的隔离层11进行刻蚀处理,以形成第一容纳槽111的步骤具体包括:在隔离层11表面利用旋涂法涂布光刻胶,然后曝光、显影去除掉部分光刻胶,暴露出衬底10中心位置隔离层11,然后利用BOE腐蚀液,腐蚀掉暴露出的隔离层11,形成第一容纳槽111,然后去除剩余的光刻胶,暴露出剩余光刻胶下面的位于衬底10四周的隔离层11。

[0062] 本实施例中,在S11步骤中,射频功率开启至45w,持续45s,第一 N_2 的流量为250sccm;在S12步骤中,反应腔内部压力维持在150Pa左右,第二 N_2 的流量介于1800sccm;在S13步骤中,射频功率开启至100w, SiH_4 的流量介于95sccm, N_2O 的流量介于1900sccm;在S14步骤中,射频功率降低至45w。

[0063] S2:在第一容纳槽111内依次沉积N型Ga N 层121、量子阱层122及P型Ga N 层123,以形成外延层12,隔离层11的厚度介于外延层12厚度的1.2倍-1.5倍;具体的:

[0064] 利用MOCVD(金属有机化学气相沉积)工艺沉积外延层12,外延层12从下倒上依次为Si掺杂的N型Ga N 层121、周期性排布的InGa N /Ga N 量子阱层122、Mg掺杂的P型Ga N 层123,由

于GaN无法在SiO₂上成膜的特性,故外延层12只会生长在未被隔离层11覆盖的衬底10上,位于芯片四周的隔离层11上并不会生长外延层12,这样便利用隔离层11在外延层12四周形成了隔离外延层12的作用,解决了现有工艺中利用ICP工艺制备隔离槽隔离外延层12,造成的隔离槽边缘外延层12非辐射复合的增加导致外延层12材料内量子效率降低的问题。

[0065] 本实施例中,隔离层11的厚度为外延层12厚度的1.3倍,隔离层11的厚度适中才能保证隔离层11对外延层12的隔离效果。

[0066] S3:对隔离层11进行刻蚀处理,以形成与隔离层11适配的第二容纳槽112,在第二容纳槽112内沉积Ag层,以形成Ag环层13;进一步的,Ag环层13的截面呈倒立的梯形结构,Ag环层13上端面的宽度介于4 μ m-5 μ m,Ag环层13下端面的宽度介于2 μ m-3 μ m,Ag环层13上端面与隔离层11的外侧壁之间的距离a介于3 μ m-5 μ m;进一步的,Ag环层13的厚度介于外延层12厚度的1.1倍-1.2倍,且Ag环层13的厚度小于隔离层11的厚度;具体的:

[0067] 在外延层12及衬底10四周的隔离层11上涂布光刻胶,然后曝光、显影去除掉部分隔离层11之上的光刻胶,然后利用电感耦合等离子体刻蚀工艺或者BOE湿法腐蚀工艺去除掉暴露出的隔离层11直至衬底10形成第二容纳槽112,接着利用电子束蒸镀工艺蒸镀Ag金属,在暴露出的第二容纳槽112内形成一Ag环层13,然后利用蓝膜剥离工艺去除掉光刻胶上面的Ag金属,然后去除光刻胶;

[0068] 倒立梯形的Ag环层13可以反射外延层12侧面发出的光,使其从衬底10面发出,从而增强倒装发光二极管芯片的轴向光强,Ag环层13的厚度介于1.1倍-1.2倍的外延层12厚度,且其厚度小于隔离层11厚度,这样一来既可以保证Ag环层13反射所有外延层12侧面的光,又可以使后续的Ag环保护层141更好的覆盖Ag环层13,防止其氧化、迁移。

[0069] 本实施例中,Ag环层13上端面的宽度为4 μ m,Ag环层13下端面的宽度为2 μ m,Ag环层13上端面与隔离层11的外侧壁之间的距离a为4 μ m;Ag环层13的厚度介于外延层12厚度的1.1倍。

[0070] S4:在Ag环层13上沉积Ag环保护层141,Ag环保护层141延伸至隔离层11上,在外延层12上沉积电流阻挡层14;进一步的,Ag环保护层141及电流阻挡层14的制备包括以下步骤:

[0071] 根据PECVD工艺采用SiH₄和NH₃在隔离层11、外延层12及Ag环层13表面沉积400Å-500Å的SiN层;

[0072] 采用SiH₄和N₂O在SiN表面沉积2000Å-3000Å的SiO₂层;

[0073] 对SiN层及SiO₂层进行刻蚀处理,以形成Ag环保护层141及电流阻挡层14。

[0074] 具体的,利用PECVD工艺先利用SiH₄和NH₃在外延层12及隔离层11和Ag环层13表面沉积400Å-500Å的SiN层,然后继续利用SiH₄和N₂O在SiN表面沉积2000Å-3000Å的SiO₂层,然后在SiO₂层表面涂布光刻胶,然后曝光、显影去除掉部分光刻胶,暴露出部分SiO₂层,然后利用BOE湿法腐蚀工艺去除掉暴露出的SiO₂层及其下方的SiN层,然后去除剩余光刻胶,暴露出部分外延层12上方未被湿法腐蚀的SiN层和SiO₂层,和位于隔离层11和Ag环层13上方的SiN层和SiO₂层,位于外延层12上方未被湿法腐蚀的SiN层和SiO₂层为电流阻挡层14,起防止电流垂直贯穿至外延层12的作用,位于隔离层11和Ag环层13上方的SiN层和SiO₂层为Ag环保护层141,起保护Ag环层13不被氧化、腐蚀、防止Ag环层13金属迁移的作用,这样一来所述Ag环层13侧面接触绝缘的隔离层11,顶面接触绝缘的Ag环保护层141,底面接触绝缘的衬底

10,使Ag环层13四面被绝缘材料包围,很好的阻止了Ag环层13与外界接触发生氧化、腐蚀、金属迁移的问题;先通入 SiH_4 和 NH_3 沉积SiN层,然后再通入 SiH_4 和 N_2O 沉积 SiO_2 层,能够避免 N_2O 中的氧离子接触Ag环层13表面,导致Ag环层13表面氧化的情况。

[0075] 本实施例中,Ag环保护层141及电流阻挡层14中SiN层的厚度为450Å, SiO_2 层的厚度为2500Å。

[0076] S5:对外延层12进行刻蚀以暴露出N型GaN层121,形成N型导电台阶124;具体的:

[0077] 在电流阻挡层14及未被电流阻挡层14覆盖的外延层12和Ag环保护层141表面涂布光刻胶,然后曝光、显影去除掉部分外延层12表面的光刻胶,然后利用电感耦合等离子体刻蚀工艺去除掉暴露出的外延层12中的P型GaN层123和量子阱层122,暴露出部分N型GaN层121,作为N型导电台阶124与后续的N型电极162形成电性连接。

[0078] S6:在电流阻挡层14上及外延层12上沉积电流扩展层15;进一步的,电流扩展层15的外侧壁到第一容纳槽111的内壁的距离b介于3um-7um;具体的:

[0079] 利用磁控溅射工艺在电流阻挡层14及未被电流阻挡层14覆盖的外延层12和Ag环保护层141和N型导电台阶124表面沉积氧化铟锡(ITO层),然后在ITO层表面涂布光刻胶,然后曝光、显影去除掉部分光刻胶,暴露出Ag环保护层141、N型导电台阶124及部分外延层12表面的ITO层,然后利用ITO腐蚀液去除掉这部分暴露的ITO层,形成电流扩展层15,电流扩展层15的外侧壁到第一容纳槽111的内壁的距离为安全距离b,介于3um-7um,防止电流扩展层15热膨胀过程中顶破隔离层11。

[0080] 本实施例中,电流扩展层15的外侧壁到第一容纳槽111的内壁的距离b为5um。

[0081] S7:在N型导电台阶124上沉积N型电极162,在电流扩展层15上沉积P型电极161;具体的:

[0082] 在电流扩展层15及N型导电台阶124和Ag环保护层141表面涂布负性光刻胶,然后曝光、显影去除掉部分N型导电台阶124和部分电流扩展层15上的光刻胶,然后利用电子束蒸镀Ni/Al/Pt/Au/Ti金属,然后利用蓝膜剥离技术去除掉剩余光刻胶上面的金属,然后去除光刻胶,便得到位于N型导电台阶124之上的N型电极162和位于电流扩展层15之上的P型电极161。

[0083] 本实施例中,N型电极162和P型电极161均由Ti层组成。

[0084] S8:在电流扩展层15上沉积布拉格反射层17,对布拉格反射层17进行刻蚀处理,以形成N型布拉格通孔172及P型布拉格通孔171,并暴露出衬底10的外缘侧,形成环槽101;进一步的,环槽101远离衬底10的中心一侧为开口结构,环槽101的底面宽度c介于3um-5um;具体的:

[0085] 利用电子束蒸镀工艺在电流扩展层15及Ag环保护层141和N型电极162、P型电极161上制备周期性层叠的 SiO_2 层和 TiO_2 层构成的布拉格反射层17,然后在布拉格反射层17上涂布光刻胶,然后曝光、显影去除掉部分光刻胶,暴露出N型电极162及P型电极161之上的部分布拉格反射层17和衬底10边缘的部分布拉格反射层17,然后利用电感耦合等离子体刻蚀工艺去除掉暴露出的布拉格反射层17,以及位于衬底10边缘去除掉的布拉格反射层17下方的Ag环保护层141和隔离层11,直至暴露出衬底10的外缘侧,从而形成环槽101,然后去除剩余光刻胶,这样便得到了位于N型电极162之上的N型布拉格通孔172和位于P型电极161之上的P型布拉格通孔171;

[0086] 环槽101靠近芯片中心的侧壁由在竖直方向上平齐的隔离层11、Ag环保护层141及布拉格反射层17组成,且距离衬底10边缘距离 c 介于 $3\mu\text{m}$ - $5\mu\text{m}$,在这一步去除布拉格反射层17边缘与Ag环保护层141边缘和隔离层11边缘是为了防止后续切割裂片的过程中,Ag环保护层141边缘和隔离层11边缘破裂,外界水气沿裂缝进入对外延层12及Ag环层13造成腐蚀。

[0087] 本实施例中,环槽101靠近芯片中心的侧壁到衬底10边缘的距离 c 为 $4\mu\text{m}$;

[0088] S9:在N型布拉格通孔172内沉积N型焊盘182,在P型布拉格通孔171内沉积P型焊盘181,N型焊盘182及P型焊盘181均延伸至布拉格反射层17上;具体的:

[0089] 在布拉格反射层17及N型布拉格通孔172和P型布拉格通孔171及芯片边缘暴露出的衬底10表面涂布负性光刻胶,然后曝光、显影去除掉部分光刻胶,然后利用电子束蒸镀工艺依次蒸镀Al/Ti/Ni/Au金属,然后利用蓝膜剥离工艺去除掉位于剩余光刻胶上面的金属,然后去除光刻胶,便得到N型焊盘182和P型焊盘181,P型焊盘181靠近芯片边缘的边缘与布拉格反射层17边缘在竖直方向上平齐,N型焊盘182靠近芯片边缘的边缘与布拉格反射层17边缘在竖直方向上平齐。

[0090] 本实施例中,N型焊盘182和P型焊盘181均由Al层组成。

[0091] S10:对衬底10的底部进行刻蚀处理,使衬底10边缘形成与环槽101对应的凸环102,并在衬底10的底部形成与凸环102衔接的第一斜坡103及第二斜坡104,第一斜坡103及第二斜坡104自衬底10的外侧缘向衬底10的中心方向倾斜;进一步的,第一斜坡103与衬底10的底部所夹锐角介于 60° - 80° ,第二斜坡104与衬底10的底部所夹锐角介于 20° - 60° ;进一步的,对衬底10的底部进行刻蚀处理的步骤之前,还包括:对衬底10进行减薄处理;具体的:

[0092] 先对衬底10进行减薄,达到目标厚度,然后在衬底10上涂布第一光刻胶,接着涂布第二光刻胶,第一光刻胶粘度小于第二光刻胶粘度,然后曝光、显影去除掉位于衬底10边缘的第一光刻胶和第二光刻胶,暴露出芯片边缘的衬底10,然后利用电感耦合等离子体刻蚀工艺去除掉暴露出衬底10的一部分,剩余一部分衬底10,形成芯片周围的凸环102,凸环102的上端面为环槽101的内底面,凸环102的厚度 d 介于 $15\mu\text{m}$ - $20\mu\text{m}$ 之间,刻蚀掉的衬底10部分形成两段不同角度的第一斜坡103及第二斜坡104,第一斜坡103远离芯片中心的一端与凸环102下端面靠近芯片中心的一端连接,第二斜坡104远离芯片中心的一端与第一斜坡103靠近芯片中心的一端连接,第二斜坡104靠近芯片中心的一端与衬底10下端面连接,衬底10下端面为平面,第一斜坡103与衬底10的底部所夹锐角角度大于第二斜坡104与衬底10的底部所夹锐角,第一斜坡103与衬底10的底部所夹锐角 α 介于 60° - 80° ,第二斜坡104与衬底10的底部所夹锐角 β 介于 20° - 60° ;

[0093] 刻蚀掉部分芯片边缘的衬底10形成厚度为 d 的凸环102,是为了减少后续切割划片过程中激光的功率,避免划片功率过大时激光通过Ag环层13散射至外延层12而损伤外延层12;

[0094] 第一斜坡103与第二斜坡104的角度设置是为了后续切割裂片过程中,减小劈刀劈裂的力度,避免劈刀力度太大造成隔离层11边缘破裂,外界水汽沿裂缝腐蚀Ag环层13和外延层12。

[0095] 本实施例中,凸环102的厚度 d 为 $18\mu\text{m}$,第一斜坡103与衬底10的底部所夹锐角 α 为 65° ,第二斜坡104与衬底10的底部所夹锐角 β 为 34° 。

[0096] 对制备芯片的晶圆进行切割划片时,用 1064nm 的激光从芯片衬底10面射入芯片边

缘衬底10的内部形成改质层,激光射入深度为 $1/3d$,激光功率介于 $0.05W-0.1W$,接着对制备芯片的晶圆进行裂片,利用裂片机将劈刀在从芯片衬底10面沿芯片边缘劈入将芯片裂开,劈刀劈入的深度为 $1/3d$,为劈刀施加力度的电机功率介于 $5W-10W$,劈刀劈裂面的宽度介于 $3\mu m-6\mu m$ 。本实施例中,激光功率为 $0.08W$,为劈刀施加力度的电机功率介于 $8W$,劈刀劈裂面的宽度介于 $5\mu m$ 。

[0097] 本发明还提出一种倒装发光二极管芯片,采用上述的倒装发光二极管芯片的制备方法制备而成。

[0098] 本发明一实施例的倒装发光二极管芯片的制备方法,通过沉积为 SiO_2 层的隔离层11,再根据GaN层无法在 SiO_2 层上成膜的特性,外延层12只会生长在未被隔离层11覆盖的衬底10上,即第一容纳槽111内,位于芯片四周的隔离层11上并不会生长外延层12,并使隔离层11的厚度大于外延层12的厚度,从而使得隔离层11能够有效对外延层12进行隔离,不会出现现有工艺中采用ICP工艺制备隔离槽,造成隔离槽周围外延层12的非辐射复合增加,导致外延层12材料内量子效率降低的问题,保证芯片的稳定性,提高了倒装发光二极管芯片的光效;Ag环层13可以反射外延层12侧面发出的光,使其从衬底10面发出,从而增强倒装发光二极管芯片的轴向光强;Ag环保护层141与隔离层11及衬底10配合,使Ag环层13被绝缘材料环绕,使得Ag环层13不被氧化、腐蚀、防止Ag环层13金属迁移;通过设置环槽101,再配合第一斜坡103及第二斜坡104,可以在后续切割裂片的过程中,减小劈刀劈裂的力度,避免劈刀力度太大造成Ag环保护层141边缘和隔离层11边缘破裂,导致外界水气沿裂缝进入对外延层12及Ag环层13造成腐蚀的情况。

[0099] 本实施例制备方法制备的倒装发光二极管芯片与对照例制备的倒装发光二极管芯片尺寸规格相同,经测试仪器测试光效较对照例提升了 1.7% ,具体结果如表1所示。

[0100] 实施例二

[0101] 本实施例与实施例一的不同之处在于:本实施例中隔离层11的厚度为外延层12的厚度的 1.2 倍,Ag环层13的厚度为外延层12的厚度的 1.2 倍,电流扩展层15的外侧壁到第一容纳槽111的内壁的距离 b 为 $3\mu m$,环槽101的底面宽度 c 为 $3\mu m$,第一斜坡103与衬底10的底部所夹锐角 α 为 60° ,第二斜坡104与衬底10的底部所夹锐角 β 为 20° ;经测试仪器测试光效较对照例提升了 0.9% ,其他项电学性能良好,具体结果如表1所示。

[0102] 实施例三

[0103] 本实施例与实施例一的不同之处在于:本实施例中隔离层11的厚度为外延层12的厚度的 1.4 倍,电流扩展层15的外侧壁到第一容纳槽111的内壁的距离 b 为 $6\mu m$,第一斜坡103与衬底10的底部所夹锐角 α 为 70° ,第二斜坡104与衬底10的底部所夹锐角 β 为 50° ;经测试仪器测试光效较对照例提升了 1.5% ,其他项电学性能良好,具体结果如表1所示。

[0104] 实施例四

[0105] 本实施例与实施例一的不同之处在于:本实施例中隔离层11的厚度为外延层12的厚度的 1.5 倍,Ag环层13的厚度为外延层12的厚度的 1.2 倍,电流扩展层15的外侧壁到第一容纳槽111的内壁的距离 b 为 $7\mu m$,环槽101的底面宽度 c 为 $5\mu m$,第一斜坡103与衬底10的底部所夹锐角 α 为 80° ,第二斜坡104与衬底10的底部所夹锐角 β 为 60° ;经测试仪器测试光效较对照例提升了 1.1% ,其他项电学性能良好,具体结果如表1所示。

[0106] 对照例

[0107] 本对照例的倒装发光二极管芯片采用ICP工艺制备隔离槽,通过测试仪器测试应用该发光二极管的光效为223lm/W。

[0108] 表1:各实施例及对照例的部分参数比对以及对光效提升的对比表

[0109]

参数 实施例	隔离层的厚度为外延层的厚度的倍数	Ag环层的厚度为外延层的厚度的倍数	距离b的长度(μm)	距离c的长度(μm)	第一斜坡与衬底所夹锐角α(°)	第二斜坡与衬底所夹锐角β(°)	光效提升
实施例一	1.3	1.1	5	4	65	34	1.7%
实施例二	1.2	1.2	3	3	60	20	0.9%
实施例三	1.4	1.1	6	4	70	50	1.5%
实施例四	1.5	1.2	7	5	80	60	1.1%
对照例	采用ICP工艺制备隔离槽						-

[0110] 从表1可知,本发明通过沉积为SiO₂层的隔离层11,再根据GaN层无法在SiO₂层上成膜的特性,外延层12只会生长在未被隔离层11覆盖的衬底10上,即第一容纳槽111内,位于芯片四周的隔离层11上并不会生长外延层12,并使隔离层11的厚度大于外延层12的厚度,从而使得隔离层11能够有效对外延层12进行隔离,不会出现现有工艺中采用ICP工艺制备隔离槽,造成隔离槽周围外延层12的非辐射复合增加,导致外延层12材料内量子效率降低的问题,保证芯片的稳定性,提高了倒装发光二极管芯片的光效;Ag环层13可以反射外延层12侧面发出的光,使其从衬底10面发出,从而增强倒装发光二极管芯片的轴向光强;Ag环保护层141与隔离层11及衬底10配合,使Ag环层13被绝缘材料环绕,使得Ag环层13不被氧化、腐蚀、防止Ag环层13金属迁移;通过设置环槽101,再配合第一斜坡103及第二斜坡104,可以在后续切割裂片的过程中,减小劈刀劈裂的力度,避免劈刀力度太大造成Ag环保护层141边缘和隔离层11边缘破裂,导致外界水气沿裂缝进入对外延层12及Ag环层13造成腐蚀的情况。

[0111] 在本说明书的描述中,参考术语“一个实施例”、“一些实施例”、“示例”、“具体示例”、或“一些示例”等的描述意指结合该实施例或示例描述的具体特征、结构、材料或者特点包含于本发明的至少一个实施例或示例中。在本说明书中,对上述术语的示意性表述不一定指的是相同的实施例或示例。而且,描述的具体特征、结构、材料或者特点可以在任何一个或多个实施例或示例中以合适的方式结合。

[0112] 在不出现冲突的前提下,本领域技术人员可以将上述附加技术特征自由组合以及叠加使用。

[0113] 以上所述仅为本发明的较佳实施例而已,并不用以限制本发明,凡在本发明的精神和原则之内所作的任何修改、等同替换和改进等,均应包含在本发明的保护范围之内。

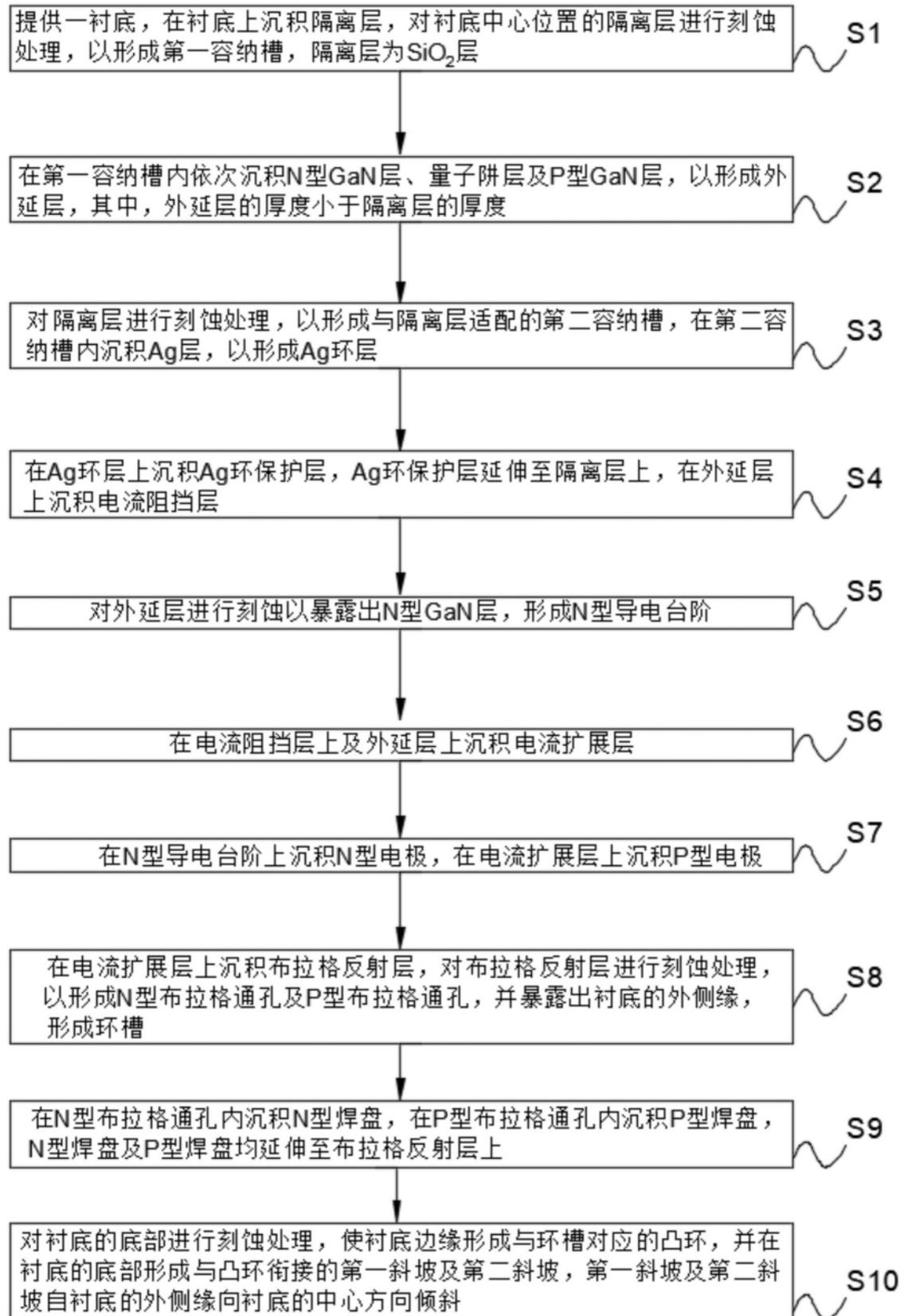


图1

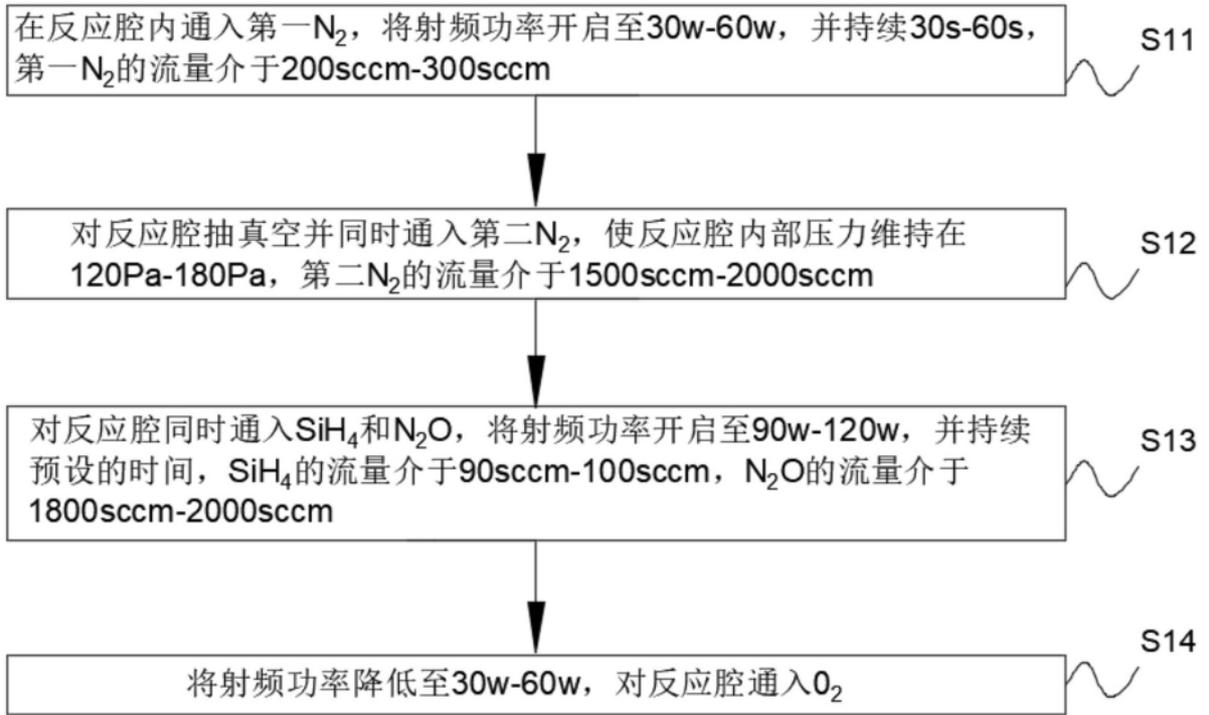


图2

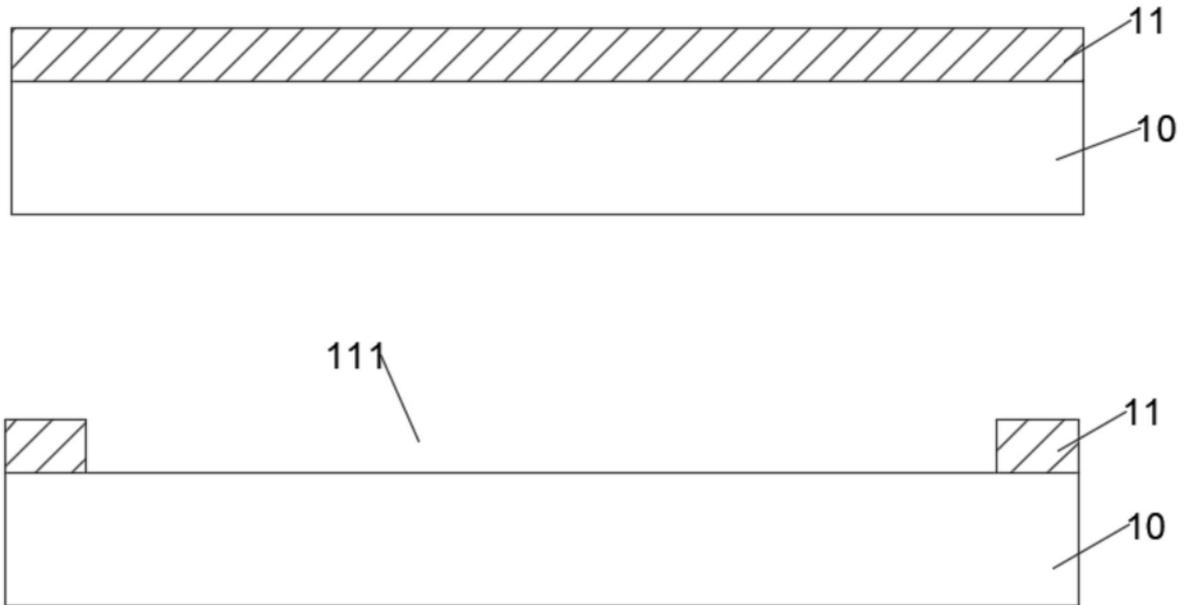


图3

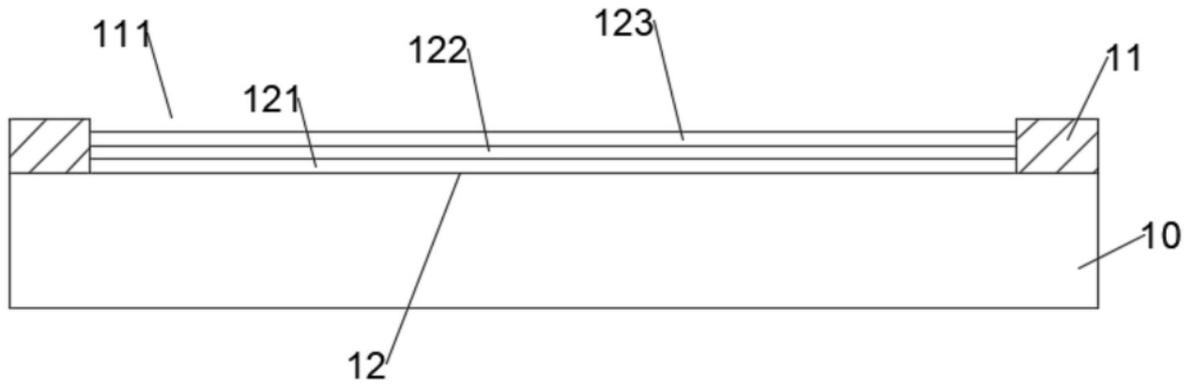


图4

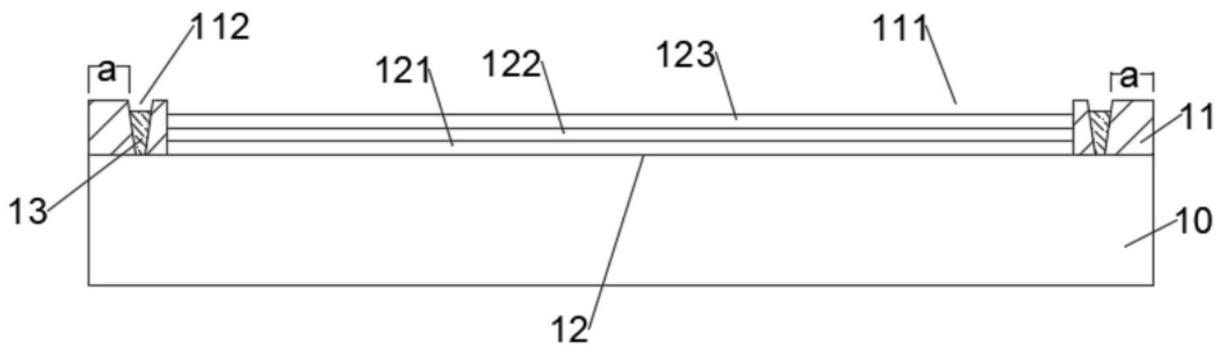


图5

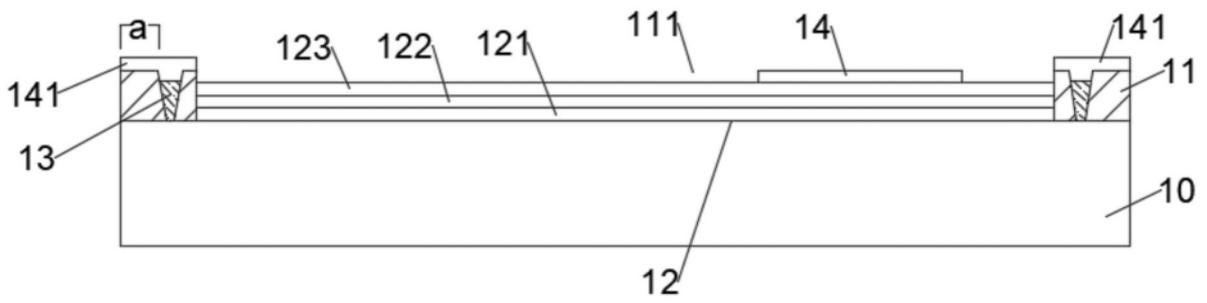


图6

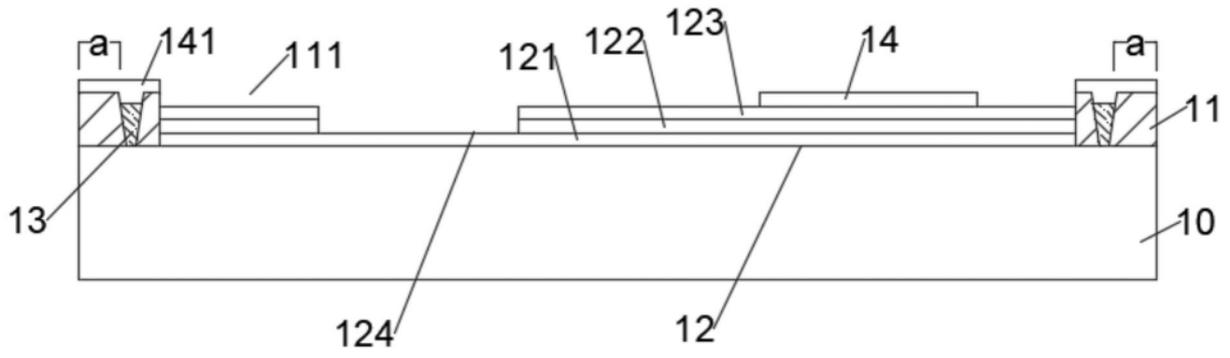


图7

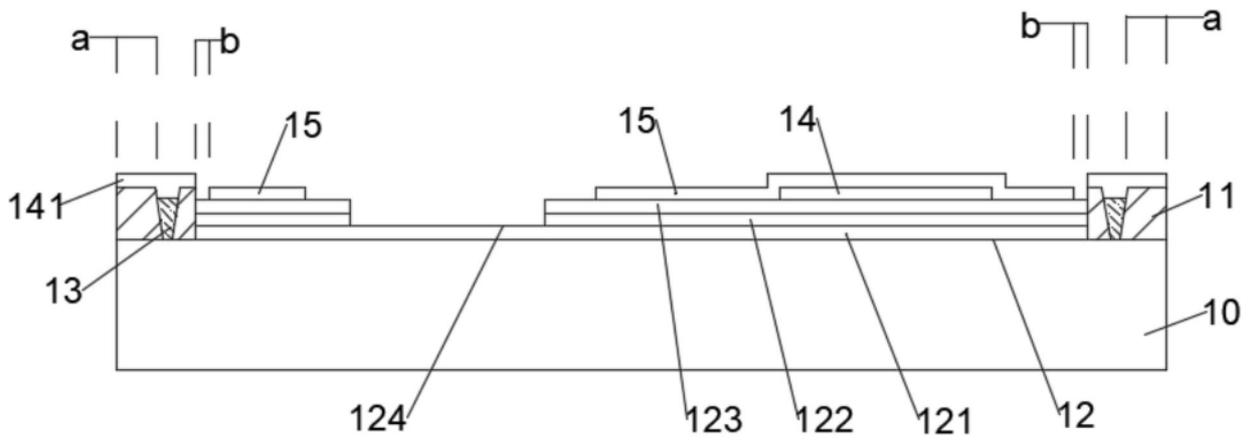


图8

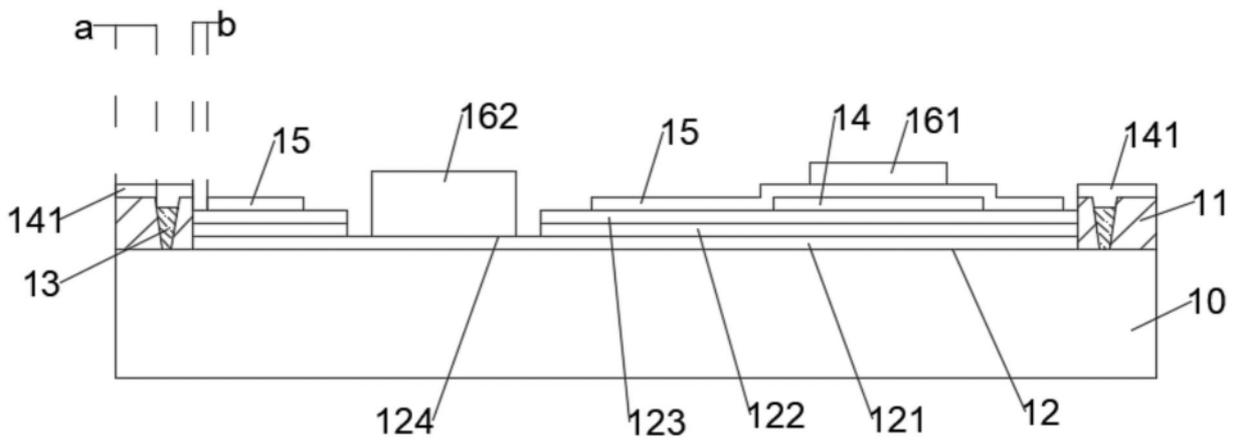


图9

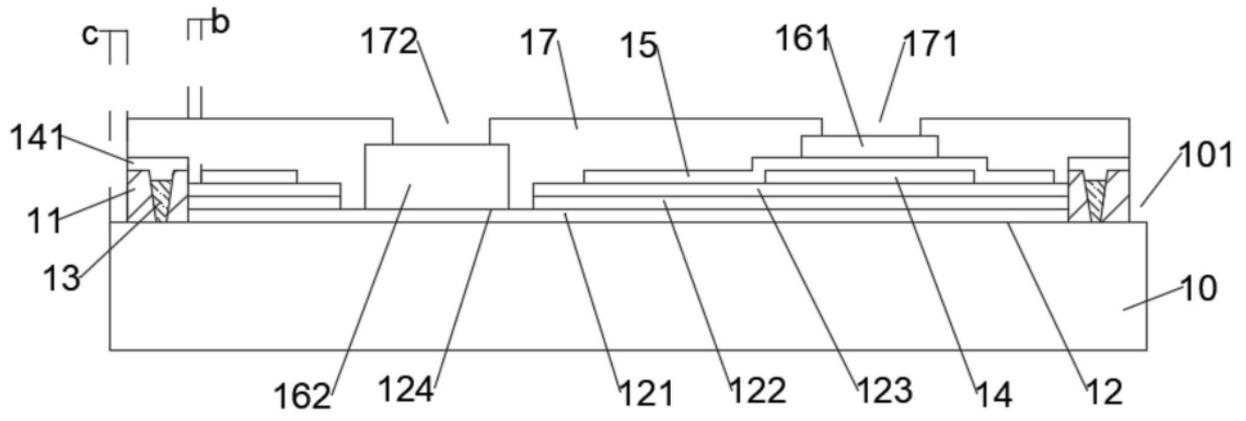


图10

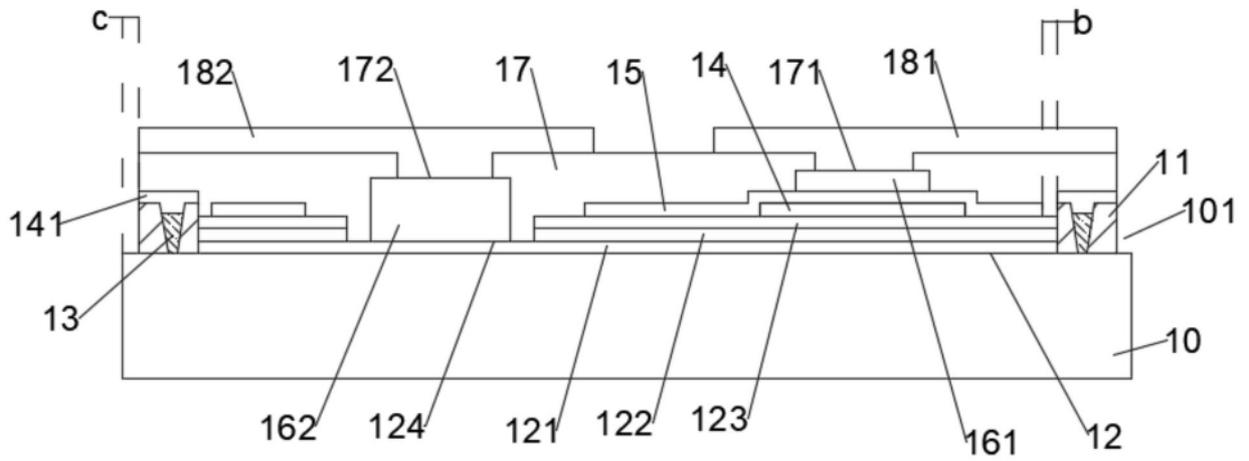


图11

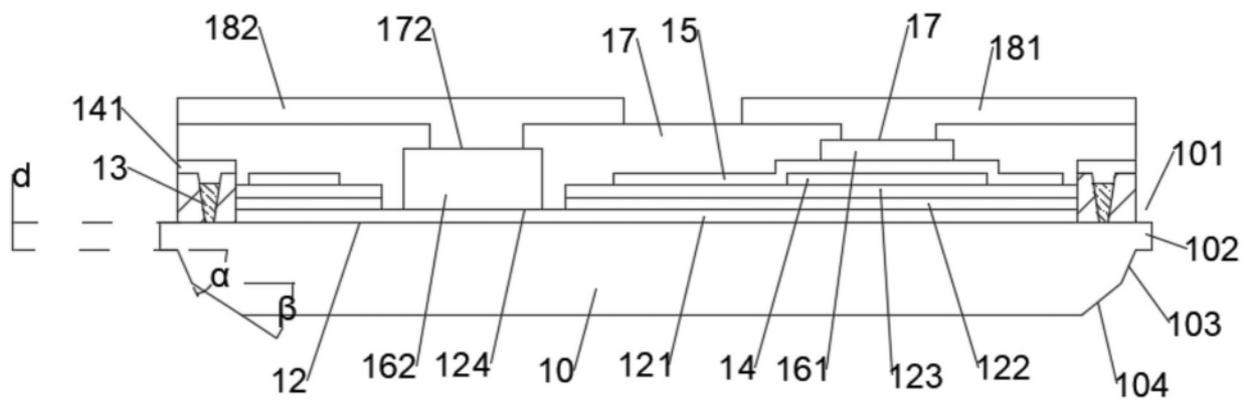


图12